

## System IC 기술 동향

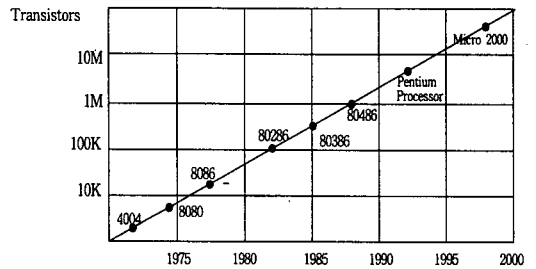
유 영 옥  
서두로직(주) 대표이사

### I. 직접 회로 기술의 발전

1998년은 transistor가 발명된지 50년 되는 해다. 1948년에 J.Bardeen과 W.H Brattain은 10Ω cm 비저항을 가진 Germanium 절편위에 point-contact형의 emitter와 collector를 0.005~0.025 cm 거리에서 접촉시키므로써 첫 transistor(a semiconductor triode)를 발명 하였다<sup>[1]</sup>. 그 후 Silicon transistor의 기술이 개발되어서 1960년에 Hoerni에 의해서 Silicon Planar Transistor가 발명되었고<sup>[2]</sup>, 1958년에 J.S. Kilby에 의해서 집적회로(integrated circuit) 발명된 후<sup>[3]</sup> IC/VLSI는 비약적인 발전을 지속하고 있다.

Intel의 Gordon Moore는 소위 Moor's Law를 1965년에 발표하면서, 당시 50개 소자의 Component의 집적도가 1975년에는 65,000개 transistor의 집적도가 될 것이라고 예측했다<sup>[4]</sup>. Moore는 "The future of integrated electronics is the future of electronics itself."라고 갈파하면서, IC가 컴퓨터와 통신 또 온갖 제품에 활용될 것으로 예측하였다. 30년전에 System IC를 예견하였고, 오늘날의 무선통신 시대에 IC의 쓰임새를 정확하게 본 것은 놀라운 일이다.

IC 기술의 발달은 특히 대표적인 것으로 Intel의 microprocessor의 발전으로 대변된다<sup>[5]</sup>. System IC의 대표적인 예로 Intel의 microprocessor는 그림 1에서와 같이 1972년의 Intel 초기 4bit microprocessor인 4004에서, 92년의 Pentium Processor, 2000년의 Micro 2000까지 그대로 Moor's Law가 적용되고 있다. 586 이상에서는



〈그림 1〉 System IC의 대표적인 Intel microprocessor 발전 모양

Sound, graphics, image, modem, peripheral 등의 기능들이 CPU에 집적되는 경향으로 System IC를 선도하고 있다. 한편 CPU 주변의 이러한 I/O 블록을 제공하던 반도체 회사들이 어려움에 봉착하고 있다.

미국의 The National Technology Roadmap for Semiconductor(NTRS) 1994에 따르면, IC를 제조하는 수준에서의 특성 parameta들은 표 1과 같다<sup>[6]</sup>.

한편 2010년 이후에는 집적도가 18개월만에 2배로 증가되는 것은 어렵다고 본다. Wafer 크기의 증가, Process throughput, 전반적인 장비의 효율성, 생산수율, 그리고 어떤 생산성을 올릴 수 있는 요인등이 계속되기 어렵고 어떤 부문은 이론적인 한계에 도달한다.

전반적인 기술특성에 따른 Roadmap은 표 2와 같다<sup>[7]</sup>. 98년 현재 100만 gate 수준의 ASIC(0.25 μm)이 설계되어 생산되고 있는 수준이고, 2004년에는 0.13μm 기술이 memory에 채택되고, ASIC의 집적도는 현재의 3배인 300만 gate(1200만 transistor)/cm<sup>2</sup> 수준으로 올라간다. 100만 gate 수

〈표 1〉 DRAM과 microprocessor의 Roadmap

Parameta	DRAM		$\mu$ Processor	
	2005	2010	2005	2010
Miniman Feature	130(nm)	70	130	70
Chip Area	600	1400	400	600
Function per Chip	4G(bits)	64	150M(xstrs)	800M
Mask Levels	> 22	> 24	> 22	> 24
Metal Levels	3	4	6	7
Cost per function	1( $\mu\text{C}/\text{bit}$ )	0.2	0.1(m $\text{C}/\text{xstr}$ )	0.02

〈표 2〉 DRAM, Microprocessor, ASIC의 Roadmap

Year of First DRAM shipment	98	2001	2004	2010	Driver
Minimum Feature size( $\mu\text{m}$ )	0.25	0.18	0.13	0.07	
Memory					D
Bist/Chip(DRAM/Flash)	256M	1G	4G	64G	
Cost/Bit @ volume(millicents)					
Logic(High Volume Microprocessor)					L( $\mu\text{P}$ )
Logic Transistors/ $\text{cm}^2$ (packed)	7M	13M	25M	90M	
Bits/ $\text{cm}^2$ (cache SRAM)	6M	20M	50M	300M	
Cost/Transistor @ volume(millicents)	0.5	0.2	0.1	0.02	
Logic(Low Volume ASIC)					L(A)
Transistors/ $\text{cm}^2$ (auto layout)	4M	7M	12M	40M	
Nonrecurring engineering cost/transistor(millicents)	0.1	0.05	0.03	0.01	

준의 ASIC을 설계한다는 것은 전체를 gate 수준부터 한다는 것은 거의 불가능하다. 한사람이 400~1000gates를 최대한의 EDA 툴을 이용하여서 1주일에 설계한다면, 1000~2500 man week이 필요하고, 이것은 20~50 man year로 되어서 10명의 설계자가 2~5년이 걸리는 것이다. 이는 많은 설계자가 자기일을 하면서 상대방의 설계에 영향을 받거나 주면서 생기는 지연은 전혀 고려하지 않은 것이다. 이러한 설계시간을 단축하고자 근자에 설계재사용 및 IP(Intellectual Property)를 이용한 설계방식이 크게 대두되고 있다. 수백만 gate 수준의 System IC/ASIC 설계에서는 더욱 더 큰 문제로 대두된다.

이러한 집적도의 상승은 어떻게 더 많은 시스템

구성품/기능을 더 빠르게 chip상에 집적시키는가 (System-on-chip)하는 문제로 초점을 맞추어진 다. 현재의 LSI 수준급 mega function들이 대체로 10K gate에서 20K gate 정도이면, 이들을 100개 이상 묶어서 설계 제작 해야하는 문제가 제기되는 것이다.

Bell Lab의 J.A. Morton은 1962년에 2012년을 내다보면서, "Device designers and circuit people are suddenly bumping heads as they begin to work on integrated circuits.... indeed, it is likely that functional device invention will produce new science as did the transistor"라고 하였다<sup>[6]</sup>. 현재의 System IC/ASIC 설계자들이 반도체 IC 설계자들과 공동으로 대형 IC 설계를

하는 것을 묘사했고, IP를 이용하여 빠르게 System IC(System-on-Chip:SOC)를 설계하는 것을 예측한 듯하다.

## II. System IC의 동향 및 설계 방식

System IC 또는 System ASIC은 말 그대로 모든 전자시스템에 적용되어지고 있다. 흔히 전자산업업 통신, 컴퓨터 및 멀티미디어, 가정용, 산업 및 제어용, 그리고 국방 및 우주항공분야 등으로 나뉘고 있다. 집적도가 100만 gate가 되어서, 그동안 별개 부품으로 PCB 보드상에서 시스템을 설계하고 제작하였는데, 이제는 이를 IC 상에 집적해야만 경쟁력이 생기게 되었다. Chip 집적도가 2000만 transistor로 올라가고, 설계해야할 시스템의 기능은 더욱 다양하고, 복잡해지며, 반면에 시장 출하 시간(time to market)은 9~12개월도 더욱 짧아지면, 이들을 잘 설계할 수 있는 인력은 제한되는 것이다. 이러한 수준의 System IC를 설계하는 것을 SOC(System-on-chip) 기술이라고 부르고, 시스템 설계자, IC 설계자, IC 제조사, EDA tool 제공자들 모두가 이에 대한 요소기술인 IP를 제공하고자 한다.

System IC의 대표로 Intel의 microprocessor를 꼽는데, 80486이 100만 transistor 집적도를 넘어섰고, Pentium II에서는 700만개 transistor의 집적도를 보인다. 한편 공정기술은 98년에 0.25 $\mu$ m 수준으로 올라가서 2000만 transistor를 집적할 수 있게 되었다. 이에따라서 지금까지 별도 Chip으로 공급되던 주변 I/O, DSP, memory, multimedia 기능들을 하나의 Chip으로 집적해 가는 경향이 뚜렷해졌다.

Multimedia IC 분야 또한 SOC 경향을 띄어가고 있다. A/D Converter, PLL, MPEG/JPEG, embedded ROM/RAM과 Controller 등이 한 개의 chip에 실현되고 있다. 통신분야에서도 무선통신터미널도 A/D processor, PLL, CDMA/TDMA modem, Vocoder, controller 등 각종 IP

들의 한 개의 chip에 실현된다. DVD, Digital camera, 각종 set-up box 등도 여러개의 IP나 기존 설계를 수정보완하고, 또 새로운 설계/IP를 만들어 붙여서, 더욱 복잡하나, 사용자에게는 편리한 기능의 SOC를 개발해 나가는 경향이다. LSI Logic의 W.Corrigan 회장은 어제의 SIC(표준제품)이 오늘의 IP이고, 오늘의 SIC가 내일의 IP가 된다고 요약한다.

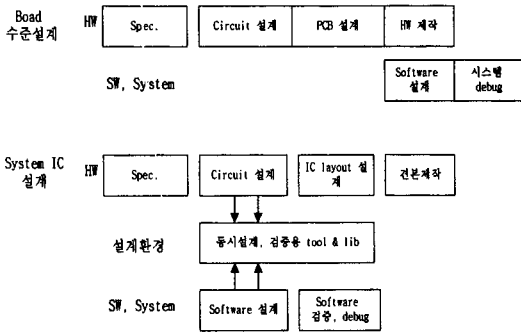
현실적인 SOC 설계방식은, 반도체/ASIC 제조 회사들이 자체 IP를 사용고객들의 top-down 설계 방식/tool에 제공하고, 공동설계를 하는 것이다. 이 과정에서 더 필요한 IP는 IP vendor나 EDA vendor와 상의하여 외부구입으로 처리할 수 있다. IP vendor나 EDA vendor가 제공하는 설계방식/툴을 이용하여 여기에 맞게 IP를 조합하고, 새로 개발해 나가는 방법이 현실적이라 생각한다.

한편 기존 설계된 회로를 재사용하기 위해서, 전혀 공개된 자료가 없을 때는 reverse engineering 방법, 표준사양이 정해져있거나 공개된 사양이 있을 때는 새로 설계방법(clean-room approach), 회로가 복잡하고 공개된 자료가 있을 때는 두 방법을 혼용해서 쓰는 것이 좋다. 기존의 설계된 회로(VHDL, Verilog, netlist, layout 등)가 있을 때는 설계변환(migration) 방법을 쓰기도 한다.

## III. System 수준의 CAD

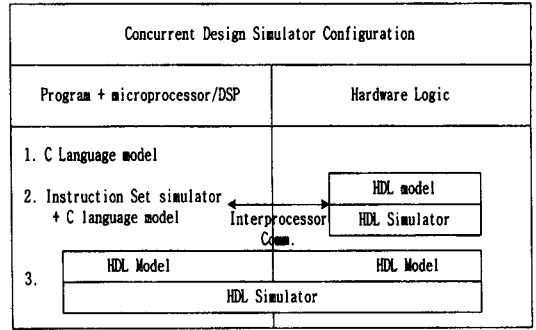
중전의 별개 부품으로 공급되던 microprocessor, DSP, memory, 각종 I/O 기능, analog 기능 등이 한 개의 IC로 집적되면서, 이들을 동시에 시뮬레이션하고 검증하는 CAD tool이 더욱 필요해졌다. 이러한 기능들이 chip 상에서 동시에 구현되기 위해서는, Chip 상의 bus spec, 구동능력, 상호연결선 등 고려하여야할 사항들이 무척 많아진다. 또 이러한 기능들을 묶어서 제어하는 program도 동시에 개발해야 하는 상황이 되고 있다. 즉 Hardware.Software 동시 설계를 해야하는데, 이를 위한 CAD 환경이 필요하다(그림 2). 통상적으

로 Software 개발은 board 개발이 끝나면 하게 된다. PCB 상에서는 Software와 관련되는 hardware 부분을 다시 쉽게 고칠 수 있으므로 별도 설계를 해도 큰 문제가 되지 않는다. IC의 제작 기간은 길고, 특히 System IC에서는 다양한 기능이 한꺼번에 집적되어서 견본 제작 가격(NRE)도 올라간다. 따라서 IC 견본 제작전에 Software 개발이 동시에 진행되어야 하고, 이에 필요한 hardware 구성도 조정되어야 한다.



(그림 2) Hardware, Software 동시설계로 개발기간을 단축

Hardware Software 동시설계 및 시뮬레이션을 위해서는 HDL simulator와 software debugger를 결합해야 한다. HDL simulator는 자체 spec과 외부 접속을 위해서 programming language interface(PLI)와 application programming interface(API)를 가진다. 이러한 접속기능을 이용하여서, HDL model과 microprocessor 및 DSP의 C language program을 접속하여 동시 시뮬레이션을 할 수 있다. 이러한 동시 설계 시뮬레이터를 실현하는데에 microprocessor나 추가 설계되는 hardware logic을 model화 하는데에 그림 3과 같이 3가지가 있다<sup>[9]</sup>. 첫째, 전체를 C language model로 하는 방법, 둘째는 hardware logic을 HDL model로 하고, C language model로 된 microprocessor/DSP와 interprocessor communication으로 접속하는 것이다. 두가지 형의 시뮬레이터의 내부 동작을 조절할 필요없이 접속되어 시뮬레이션 된다.



(그림 3) Concurrent Design Simulator의 세가지 방식

세 번째는 microprocessor/DSP나 hardware logic을 HDL model로 기술하고, 이들을 같은 HDL simulator로 simulation하는 것이다. 첫 번째 경우는 가장 simulation 속도가 빠르고, 세 번째 경우에는 hardware 설계에서 가장 정확도가 높다. 이러한 simulator를 쓰는 경우 각 microprocessor/DSP가 해당 simulator에 model로 공급되어야 한다.

System IC의 설계 크기가 커지고, 검증해야 할 패턴의 수가 많아지게 되어서 시뮬레이션 속도가 늦어지게 된다. 대형 시스템을 event driven simulator로 하게 되는 경우에 수준간에서 수달, 심한 경우에는 수년이 걸릴 수도 있다. 이에 대한 해결책으로 Hardware accelerator가 쓰이는데, 대체로 software simulator 보다 10~100배의 속도를 내어서 설계 시간을 단축하게 된다.

한편 Software로 simulation 시간을 단축하기 위해서, 지연시간을 고려하지 않고 기능만 검증하는 cycle-based simulator도 쓰인다. 이 경우에는 timing verifier를 별도로 써야하고, dynamic timing 문제도 검사할 수 없다. 동기식 회로가 주로 쓰이는 micro processor 설계에 주로 쓰이는데 역시 event-driven에 비해서 10~100배의 속도를 낸다. hardware workstation을 수대~수십대를 LAN으로 연결하여 parallel cycle-based simulation으로 쓰이기도 한다.

검증속도를 높이기 위해서 Formal verification/check을 쓰기도 하는데 설계 회로의 크기가 수십

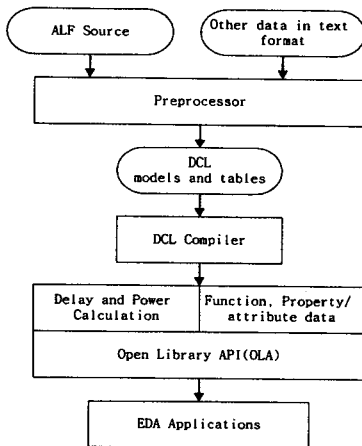
만 이상 커지면 역시 처리속도가 늦어진다. 근래에 FPGA 기술을 이용한 logic emulation을 쓰는데, 이는 시뮬레이션 속도보다 수십만배~수백만배의 속도를 낸다. 설계하는 hardware logic을 emulator로 만든 후 Software를 개발하는 동시 설계방식에 유용하나 emulation 준비를 하는데 많은 시간이 걸린다. Quickturn, IKOS, Aptix 등이 emulation machine을 제공하고 있고, 설계자가 직접 FPGA device를 이용하여 만들어 쓰기도 한다.

ASIC library는 System IC를 위해서 꼭 필수적인데, 이에 대한 표준이 정해져 있지 않아서, 시스템설계자나, 반도체/ASIC 제조 회사나, EDA 업체 모두가 어려운 문제에 봉착해 있었다. 많은 ASIC 제조업체들이 많은 EDA 업체 tool에 각각의 library를 제공해야 하는 어려움이 있다. Synopsys의 자회사인 Logic Modeling Corp (LMC)에서, 자체 Library로 여러 EDA 업체들을 지원해왔으나, 더욱 많아지는 EDA 업체와 ASIC 제조업체, 더욱 종류가 다양해지는 ASIC library들과 IP, 제조 공정에 따른 각종 version 등 현실을 따라가기에는 역부족이었다.

Silicon Integration Initiative(SI2)의 ASIC Council에서는 이문제를 해결하고자, Open Library API(OLA)라는 접속도구를 제안하여 컴파일된 ASIC library를 모든 EDA tool에 지원되

게 하고자 한다. 이 컴파일된 언어방식을 0.25 micron이하로 내려가는 deep submicron ASIC library 지원을 용이하게 한다<sup>[12]</sup>. 이에 대한 개념도를 그림 4에 보였다.

이 OLA를 지원하면, 기존에 잘자리 잡은 EDA 업체나 새로 탄생한 EDA 업체도 많은 ASIC library들을 일시에 지원할 수 있게 된다. 컴파일된 library 방식은 기능적인 기술에다가 ASIC Council에서 이미 지원중인 Delay and Power Calculation(DPC)으로 기술되어 컴파일된 timing 및 power data도 포함하게 된다. OLA는 초기에 OVI(Open Verilogi International)에 의해서 개발된 Advanced Library Fromat(ALF)를 사용한다. ALF data는 컴파일되어서, IBM에서 개발된 Delay Calculation Lanaguage(DCL)에서 지원하는 format으로 변화되어질 것이다. ASIC Council은 현재 IBM, LSI Logic, Lucent Technology, Motorola, NEC, TI 및 VLSI Technology 등 7개 회사에 의해서 운영되고 있다. OLA는 IEEE P1481 위원회에서 표준화되고 있는 DCL에 근거한 DPC API의 개선된 version이 될 것이다. EDA Vendor는 DCL을 license받고 OLA specification을 받아서 API를 지원하면 된다. 현재의 산업표준인 Synopsys의 .lib에 대해서 ALF가 얼마만큼 여러 회사들의 지원을 받을지는 더 두고 보아야 한다. ALF는 현재 Ambit, Avant!, Cadence 및 Mentor에 의해 지지되고 있다.



(그림 4) OLA 지원 개념도

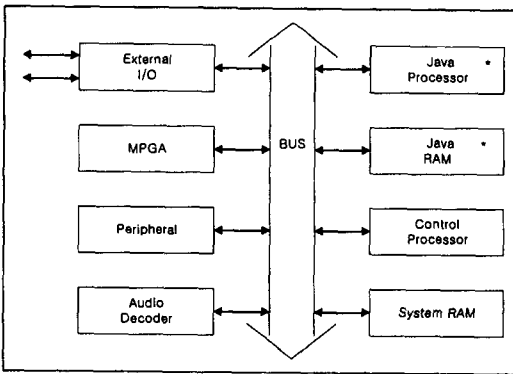
#### IV. System IC를 위한 IP 기술

복잡해지고, 다기능을 가지는 System IC (System-on-chip)를 종전보다 빨리 설계해내는데에 핵심요소가 Intellectual Property(IP)이다. IP는 시스템설계의 한 조각으로 재사용목적으로 설계되어 있다. 종전의 microprocessor, micro controller, DSP, graphic, IO, ROM, RAM, garphics, image processor, communication등의 LSI/mega cell 기능들 재사용할 수 있는 IP로 준

비된다. IP는 시스템 설계방법/흐름도에 따라서 각 단계에 쓰이는 EDA tool에 별다른 수정없이 바로 쓰일 수 있게 준비되고 또 관리 되어져야 한다.

IP의 가장 중요한 가치는 System IC를 빠른 시간에 만들어 내는 것(time to market)이다. 10만 gate수준의 system IC를 설계할 때, 종전 수준으로 하면 한사람이 주당 400~1000 gate을 설계 20~50 man year가 든다. 한편 IP를 이용하면 4000~10,000 gate를 한 주에 설계할 수 있어서 4man year가 들어서 6 설계자가 같이 설계를 한다면 약 8개월이 걸린다<sup>[11]</sup>. 그림 5에서 Integrated Intellectual Property 회사는 System IC를 설계하는데, 8개 IP 중 6개는 외부에서 사오고, 2개는 자체에서 개발하여, 전체 시스템 개발시간을 단축하였다.

IP는 Soft IP, Firm IP 및 Hard IP로 나누어지



<그림 5> Reusable IP를 이용한 SOC 설계예(IIP 회사)

\* IIP의 자체 설계, 나머지는 외부에서 구입

는데, Soft IP는 modular RTL code, synthesis scripts, constraints, timing diagram, integration documentation으로 이루어진다. Firm IP는 gate level netlist인데, timing results, floor planning data, simulation scripts, integration documents를 포함한다. Hard IP는 layout으로 되어 있는데, tool data, foundary data, routing data, integration 문서를 포함하고 있어서, 곧 바로 다른 layout 설계와 집적하여 IC를 설계할 수 있게 되어있다. Soft IP는 기능 블록이어서 유연성이 있고, 요구사항에 짜 맞추기 쉽고, technology independent하다. 물리적인 설계 자료가 없어서 실제 layout까지는 시간이 많이 걸린다. Firm IP는 floorplanning 자료를 가지고 있고, gate 수준의 시뮬레이션 결과가 있어서 물리적 layout을 빨리할 수 있다. gate 수준 설계라서 유연성이 부족하고 technology specific하다. Hard IP는 곧 그 layout이 Chip 제작되어 입증되어 있기 때문에 바로 제조에 들어갈 수 있다. 고치기가 힘들고, 가격이 비싸다. 이들 IP를 표로 나타낸 것이 표 3과 같다<sup>[10]</sup>.

IP의 공급자는 세 곳이 있는데 ASIC 제조회사, IP 전문회사, EDA 업체 등이다. 종래의 ASIC 제조회사들은 기존의 ASIC library 등과 System 업체들과 개발한 System block들을 근거로 하여 재 사용할 수 있는 IP들을 많이 준비하고 있다. 종래의 최종제품이던 MPEG II, JPEG, Momdem등이 이제는 하나의 IP로 쓰일 수 있게 만들어진다. LSI Logic, VLSI Technology, Alcatel Microelectronics, Fujitsu, Toshiba 등이 이에 포함된다. Gate 규모가 커지는 Xilinx, Altera, Actel 회사등도 빨리 실현해 볼 수 있는 FPGA

<표 3> 각 IP의 비교

Type of IP	Flexibility to change	Risk Factor	Cost	Manufacturability
Soft IP	High	High	Low	Low
Firm IP	Medium	Medium	Medium	Medium
Hard IP	Low	Low	High	High

IP(Firm IP)들을 제공한다. IP 제공 전문업체들은 종전에 대부분 설계 자문회사들인데, 축적된 설계경험과 규정화시킨 설계방법 및 tool을 이용하여 각 분야별 특정한 IP들을 제공한다. 이들 중 대표적인 회사들이 IIP, Artisan, Logic Version, Sand Microelectronics, Macro Design 회사등이다. EDA Vendor들도 IP에 대한 해결책을 제시하고 있다. Synopsys는 자체 Synthesis tool을 중심으로 하여 고객들이 IP를 만드는 것을 도우는 역할을 한다<sup>[12]</sup>. Mentor Graphics사는 주로 IP들을 공급하는 역할을 맡고 있는데, parameterized DSP Soft core들을 interactive web-based system을 통해서 사용자들이 자기에게 맞는 DSP IP를 만들게 한다<sup>[13]</sup>. 또 Cadence는 주로 IP를 이용하여 Design Service를 하고, Hard IP를 재생하는 기술을 공급한다<sup>[14]</sup>.

IP를 만드는데에 그 방법론과 설계틀이 중요한 역할을 한다.

IIP는 IP 설계 및 검증용 tool로서, Summit Design, Verilint/interHDL, Synopsys, Quickturn 등의 tool을 쓰고 있다<sup>[11]</sup>. Summit의 VisualHDL은 FSM Coverage, Code Coverage에 쓰이고, interHDL의 Verilint는 coding guideline check으로 쓰인다. 실제 Simulation 또는 Synthesize 하기전에 이러한 tool로 미리 check하는 것은 그만큼 효율을 높여준다. Synopsys는 simulation 및 synthesis용으로, Quickturn은 emulation 및 cycle-based simulation용으로 쓰인다. 즉 IP들은 설계 방법/툴에 따라서 재사용 또는 공동으로 사용할 수 있게 만들어져야 하고, 환경변수, tool 설정/작동 등에 대한 script file도 포함되어야 한다. Synopsys와 Mentor Graphics는 체계적인 재사용방법을 정립하여 Reuse Methodology Manual(RMM)을 공동으로 개발하였다<sup>[12]</sup>. RMM은SOC 개발 흐름에 대한 개관, 초기 설계에 관련된 설계방법과 툴을 약기했다. 그 다음 Soft IP를 개발하는 과정을 설명하였는데, 툴, 설계지침, coding 지침, 논리합성지침 및 Verification 기술 등이 포함된다. 다음 Hard IP를 생성하는 방법인데 Soft IP와 비슷하게 되어있고, 추가적으로

GDS II file, 시뮬레이션/타이밍 모델을 제공한다. 그 다음에는 이러한 IP 들을 System IC(SOC)에 이용하는 절차를 시스템 수준의 검증에 초점을 맞추어서 기술하였다. 추가로 test, 합성기법, 과제 및 데이터 관리에 대한 설명이 들어있다. Vivtual Socket Interface Alliance(VSI)는 IP에 대한 data forma, test methodologies, interface에 관련된 공개된 표준 사양을 결정하고, 개발하고, 인준하고, 시험하며, 또 보급을 추진한다. 이의 목적은 시스템 수준의 IC의 설계와 개발을 하는데 있어서 여러 다른곳에서 전자회로블럭(IP)을 섞어 맞추어 재사용하게 하는데 있다. 한편 VSIA는 IP 블록의 내부설계, 부시스템 구성품의 기능적인 구성, 제조공정, EDA tool에 대한 방법론, 알고리즘 및 기법에 대한 사양등은 개발하지 않지 않는다. 산하에 전문 실무위원회들이 있는데, The Development Working Group(DWG)는 98년 3월에 The On-Chip-Bus(OCB) 사양을 만들었고, IP portection, test, system 수준 설계 등에 대한 spec을 만들 예정이다. 또 The Implementation/Verification(I/V) DWG와 The Analog/Mixed Signal(AMS) DWG에서 VCLEF GDS II, SPEF, VCHSPICE, Analog Extension to the Architecture Document 등에 대해서 규정을 만들고 있다.

## V. System IC에 대한 장래

기억소자에 대응하여 microprocessor는 logic IC의 대명사로 되어있었다. 90년 후반에 들어오면서 수십만 gate~100만 gate급을 단일 chip 상에 실현하는 공정 기술이 개발되고 있다. 5년 후인 2003년에는 24M transistor가 1cm<sup>2</sup>상에 실현되리라고 SIA Report 1997은 전망하고 있다. 시간이 갈수록 과거 PCB 보드상에 실현되었던 시스템은, 단일 Chip상에 실현되어, SOC 시대로 들어가고 있다. 또한 시장 진입 시간(Time-to-market)은 경쟁적으로 줄이려고 노력하고 있다.

SOC에 대한 중요 요소로서 SI2는 chip위 및 설계 재사용에서의 표준안, IP의 licensing(royalty 등), IP 보호, IP 성능에 대한 품질, 설계방법/툴에 대한 정립, 시스템수준 응용에 대한 지원, 응용 영역에 대한 시장분석 등을 들고 있다.

또한 IP 또는 core를 쓰는 System IC(SOC)에서는 Software 개발이 더욱 더 중요한 문제로 대두되어진다. Hardware Software codesign/cosimulation 방법을 택해야 하는데, simulation의 speed가 큰 문제로 된다. Synchronous logic에서는 처음부터 cycle-based simulation을 고려한 coding을 하여 설계를 해야할 것이다. simulation 속도를 높이기 위해서 hardware accelerator를 쓰거나 emulator를 쓰기도 한다. 또 simulator와 emulator를 같이 써서 codesign 환경을 만들기도 한다. 실제 표준형 IC나 ASIC을 hardware modeler에 바로 꽂아서 simulator의 모델로 쓰기도 한다.

Intel이 microprocessor core를 중심으로 I/O 기능, multimedia 기능, 통신기능 등을 붙여서, SOC화 하므로서 주변의 기능을 IC화 하던 chip set 회사들을 어려움에 몰아넣었다. 국내에서 삼성, LG, 현대 등에서 Merged memory logic, embedded memory logic 기술을 개발하여, 이를 기반으로 하는 System IC 기술을 발전시키고 있어서 그 가능성이 커보인다. 특히 삼성은 analog IP 까지 집적하여 logic + memory + analog로서 SOC에 대한 해결책을 제시하고 있다. 국내 Fabless ASIC 회사들의 모인인 ASIC 설계회사협회(ADA)의 IP 기술분과에서, 국내에서 IP 개발과 SOC에의 응용에 대한 표준기술서를 만드는 것을 추진하고 있다. 현재 자체적으로 보유하고 있는 기존의 설계회로들을 IP로 만들어서 공동으로 이용하는 방안도 추진되고 있다. 국내의 여러 대학교에 위치한 IC Design and Education Center (IDEC)에서도 기왕의 설계를 표준 IP에 맞추어서 설계를 하고, 교육도 하는 것이 유망하리라 본다. 또한 ADA 공동으로 VSIA등을 참고하여 국내 IP 표준안 및 IP 개발 기술서를 만드는 것도 가치있는 일이라 믿는다.

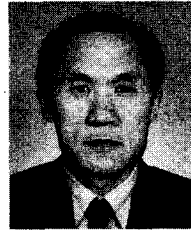
## 참 고 문 헌

- [1] J. Bardeen, W.H. Brattain "The Transistor, A Semiconductor Triode" Physical Review, vol. 74, no. 2. pp230-231, July 15, 1948.
- [2] J.A. Hoerni "Planar silicon diodes and transistor" IRE Trans. Electron Devices, vol. ED-8, p178, Mar. 1961.
- [3] J.S. Kilby "Invention of the integrated circuit" IEEE Trans. Electron Devices, vol. ED-23, pp648-653, July 1976.
- [4] Gordon E. Moore "Cramming More Components into Integrated Circuits" Electronics, pp114-117, April 19, 1965.
- [5] Probir K. Bondyopadhyay "Moor's Law Governs the Silicon Revolution" Proc. IEEE, vol. 86, No. 1, pp78-81, January 1998.
- [6] Pallab K. Chatterjee and Robert R. Doering "The Future of Microelectronics" Proc. IEEE, vol. 86, No. 1, pp176-183, Jan. 1998.
- [7] The 1994 revision of the National Technology Roadmap for Semiconductors.
- [8] J.A. Morton "Functional Components and Integrated Circuits Invention Today, Synthesis in 2012 AD" Proc. IRE, vol. 50, no. 5, pp601-601, May 1962.
- [9] "Chipmakers, Tool Vendors Support Concurrent Design for System ASIC" Nikkei Electronics, pp48-53, November 1997.
- [10] David Lammers "Libraries tilt ASIC, EDA power balance" EE Times, pp1, 150, Feb 23, 1998.
- [11] Samir Palnitkar "To IP or Not to IP" IVC/VIUF '98 Tutorial 7, March 19, 1998.



- [12] Michael Keating, Nick Ruddick  
 "Synopsys-Mentor Graphics 'Design For Reuse' Partnership : Reuse Methodology Manual" The Proceedings IP 98, pp291-298, March 23-24, 1998.
- [13] Rick Sivty "Parameterized Core Configuration and Delivery over the Web" The Proceedings IP 98, pp219-224, March 23-24, 1998.
- [14] Mark Scheitrum "IP usage in a design services model" The Proceedings IP 98, pp287, March 23-24, 1998.
- [15] Jan Rabaey, VSI Alliance "A system-level perspective on reuse" The Proceedings IP 98, pp119.
- [16] Mark Hahn, VSI Alliance "What are the requirements for authoring standards?" The Proceedings IP 98, pp279.

## 저자 소개



柳 泳 昱

1946년 6월 2일생, 1965년 3월~1973년 2월 한양대학교, 전자공학과, 학사, 1973년 3월~1975년 8월 한국과학원, 전기 및 전자공학과 (반도체분야), 석사, 1975년 8월~1977년 1월 한국과학기술연구소, 반도체기술개발센터, 연구원, 1977년 2월 - 1985년 1월 한국전자기술연구소, LSI 설계실, 선임연구원, 실장, 1982년 1월~1985년 7월 한국전자기술연구소, 미국사무소장 VLSI Technology, Inc.(Design Center 근무), 1985년 2월~1989년 1월 한국전자통신연구소, 자동설계기술개발부, 연구위원, 1989년 1월~1990년 3월 Valid Logic Systems Inc. 한국지사장, 1990년 4월~현재 (주)서두로직, 대표이사 (주)서두로직 전자기술연구소, 소장(겸), 1994년 7월~현재 President CEO, MyCAD, Inc., Sunnyvale Ca, USA, 1997년 6월~현재 서두인칩(주), 대표이사