

14 비트 분해능을 갖는 2차 Sigma-Delta 변조기 설계를 위한 구성요소의 최대에러 허용 범위 조사

正會員 조 병 옥*, 최 평*, 손 병 기*

Investigation of Maximum Permitted Error Limits for Second Order Sigma-Delta Modulator with 14-bit Resolution

Byung-Woog Cho*, Pyung Choi*, Byung-Ki Sohn* *Regular Members*

요 약

저주파의 아날로그 신호를 디지털 신호로 변환하기 위해 sigma-delta 아날로그-디지털 변환기의 이용이 용이하다. 이 변환기는 변조기와 디지털 필터로 구성되는데 여기에서는 변조기에 대해 언급한다. 14 비트 분해능을 갖는 2차 sigma-delta 변조기를 설계하기 위한 변조기의 구성요소 즉 연산증폭기, 적분기, 내부 ADC 및 DAC의 최대 허용 에러 범위를 규정하였다. 이를 위하여 먼저 이상적인 변조기를 모델링하고, 다음으로 변조기의 성능을 저하시키는 여러 가지 에러 요인 즉 연산증폭기의 최대 출력 제한, DC 이득, slew rate, 축전기의 불일치에 의한 적분기 이득 에러와 내부 ADC 및 DAC의 에러 등을 이상적인 모델에 적용하여 성능을 검증하였다. 이러한 에러 허용 범위에 대한 조사를 바탕으로 sigma-delta 변조기 설계 시 요구되는 구성 요소의 사양을 결정할 수 있으며, 제조 과정에서 나타나는 에러 성분에 대한 한계를 규정하여 최종 제작될 변조기의 성능을 확신할 수 있다.

ABSTRACT

Sigma-delta converter is frequently used for converting low-frequency analog to digital signal. The converter consists of a modulator and a digital filter, but our work is concentrated on the modulator. In this works, to design second-order sigma-delta modulator with 14bit resolution, we define maximum error limits of each components (operational amplifier, integrator, internal ADC, and DAC) of modulator. It is first performed modeling of an ideal second-order sigma-delta modulator. This is then modified by adding the non-ideal factors such as limit of op-amp output swing, the finite DC gain of op-amp, op-amp slew rate, the integrator gain error by the capacitor mismatch, the ADC error by the comparator offset and the mismatch of resistor string, and the non-linear of

*경북대학교 전자·전기공학부
論文番號:97420-1124
接受日字:1997年 11月 24日

DAC. From this modeling, as it is determined the specification of each devices required in design and the fabrication error limits, we can see the final performance of modulator.

I. 서 론

최근 오디오신호를 처리하는 분야에 사용되는 아날로그-디지털 변환기(analog-to-digital converter)와 디지털-아날로그 변환기(digital-to-analog converter)는 약 20kHz의 낮은 주파수 대역에서 높은 분해능을 요구되어지고 있으며 여러 가지 형태의 ADC가 개발되어 다양한 분야에서 사용되고 있다. 현재 개발되어 이용되고 있는 ADC로는 flash ADC[1], subranging ADC[2], successive approximation ADC[3]와 sigma-delta ADC[4, 5] 등이 있다. 이중 앞의 세 가지 ADC는 나이퀴스트 비(Nyquist rate) 변환기법을 이용하고 있으며, 고속신호처리에 유리하다. 그러나, 이 ADC들은 공정 의존도가 높고 부수적인 회로가 필요하며, 특히 높은 해상도를 얻기 어렵다는 단점을 가지고 있다. 이에 반해 나이퀴스트 비보다 훨씬 높은 샘플링 주파수를 사용하는 sigma-delta ADC는 처리 가능한 신호의 주파수 영역이 저주파수 대역으로 제한되지만, 소자의 부정합에 둔감하고 분해능과 직결되는 신호 대 잡음비(signal-to-noise ratio: 이하 SNR로 칭함)가 우수한 특성을 갖는다.

Sigma-delta ADC의 분해능을 향상시키기 위해 많은 연구가 진행되고 있다. 비록 sigma-delta ADC가 sigma-delta 변조기(sigma-delta modulator: 이하 SDM으로 칭함)와 디지털 필터로 구성되지만, 디지털 설계 기술의 향상으로 이 ADC의 성능은 주로 변조기에 의해 결정된다. SDM의 SNR을 증가시키기 위해 여러 가지 방법이 있다. 단일 비트 양자화기를 갖는 변조기는 고차의 루프 필터를 사용하거나 샘플링 주파수를 증가에 의해 SNR를 개선할 수 있다. 3차 이상의 루프 필터를 갖는 변조기는 안정도 문제가 발생할 수 있으며, 샘플링 주파수의 증가는 소비 전력 및 우수한 성능을 갖는 구성 소자를 필요로 하게 된다[6]. 이에 반해 멀티 비트의 내부 양자화기를 갖는 2차 SDM은 안정도를 확보할 수 있을 뿐만 아니라, 양자화 잡음이 단일 비트 SDM에 비해 훨씬 랜덤(random)해져 일정 샘플링 주파수에서 보다 높은 SNR을 얻을 수 있다[7]. 또한 이 SDM은 핵심 소자인 연산 증폭기

에 대한 요구사항이 느슨해지는 장점이 있다[8].

실제 SDM을 설계할 시 여러 가지 요인에 의해 성능의 저하가 일어난다. 즉 제조공정시 부정합에 의해 변조기의 이득이 설계한 값과 일치하지 않거나, 연산 증폭기의 이득에 따라서도 SDM 성능이 저하될 수 있다. 또한 멀티 비트 양자화기의 비선형성에 의해서도 성능저하가 발생한다[7].

본 논문에서는 14 비트 분해능을 갖는 2차 SDM을 설계하기 위하여 먼저 멀티 비트 양자화기를 가지는 이상적인 SDM을 모델링하고, 내부 양자화기의 비트 수 및 과표본비(over-sampling ratio)에 따른 SDM의 성능변화를 조사하였다. 이를 통해 2차 SDM이 14 비트의 분해능을 갖도록 내부 양자화기의 비트 수 및 과표본비를 결정하였다. 또한 설계 및 공정 상에서 발생할 수 있는 여러 가지 에러 요인 즉 연산증폭기의 유한 이득, slew rate, 출력 제한, 직분기의 이득 에러와 내부 ADC 및 DAC의 에러 성분들을 이상적인 모델에 적용하여 SDM 성능에 미치는 영향을 조사하여 이상적인 SDM의 성능을 유지할 수 있는 소자의 사양이나, 최대 허용 에러 범위를 규명한다.

II. 이 론

SDM은 최대 입력주파수(f_{imax})의 두배가 되는 나이퀴스트 주파수(f_n)보다 훨씬 높은 주파수로 샘플링 함으로 oversampled 변조기라고도 한다. 이 SDM은 주로 switched-capacitor 형태로 구현되며, 연산 증폭기, 스위치, 축전기(capacitor), 내부 양자화기로 구성된다. 1차 변조기를 사용하여 16 비트의 분해능을 갖는 ADC를 구현할 경우 샘플링 주파수와 나이퀴스트 주파수 비 즉 과표본비(oversampling ratio)가 2800배 이상이 되어야 한다[9]. 이에 따라 음성신호(약 20kHz)를 처리하기 위해 필요한 샘플링 주파수는 112MHz 이 된다. 이로 인해 변조기를 구성하는 요소들의 주파수 특성이 향상되어야 하며, 특히 전력소모가 증가하게 된다. 최근 연구된 바에 의하면 샘플링 주파수는 주로 나이퀴스트 주파수의 수십 내지 수백 배가 사용되고 있다[6, 8]. 과표본비를 일정하게 유지한 상

테에서 변조기의 분해능을 향상시키는 방법으로는 변조기의 차수를 증가시키는 방법과 내부 양자화기의 비트 수를 늘이는 방법이 주로 연구되고 있다[6, 7].

분해능을 향상하기 위해 3차 이상의 차수로 변조기를 구성할 경우 변조기의 안정성이 문제가 되어 변조기 이득 설계시 세심한 고려가 요구된다. 이에 반해 2차 변조기는 항상 안정하며 내부 양자화기의 비트 수를 증가시켜 성능을 향상시킬 수 있다.

본 논문에서는 변조기의 차수를 2차로 하고 내부 양자화기의 비트 수를 달리하여 SDM의 성능 평가를 행하였다. 그림 1은 일반적인 2차 SDM을 시간영역에서 표현한 개략도이다.

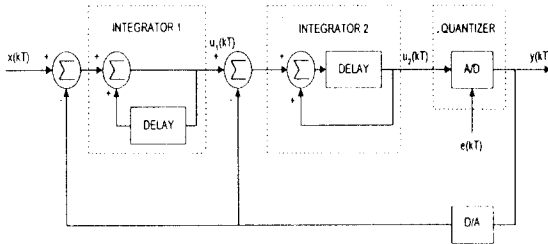


그림 1. 시간 영역으로 표현된 2차 SDM의 개략도
Fig. 1 Block diagram of second order SDM in time domain

그림 1에 보인 2차 SDM의 신호전달과정을 식(1)~(4)에 나타내었다.

$$y(kT) = u_2(kT) + e(kT) \quad (1)$$

$$u_2(kT) = u_2(kT - T) + u_1(kT - T) - y(kT - T) \quad (2)$$

$$u_1(kT) = x(kT) - y(kT) + u_1(kT - T) \quad (3)$$

$$y(kT) = x(kT - T) + e(kT - 2T) - 2e(kT - T) + e(kT) \quad (4)$$

where,

$e(kT)$: quantization error, T : one period

식(4)를 Z-변환(transform)하면 식(5)와 같이 표현된다.

$$Y(Z) = Z^{-1}X(Z) + Z^{-2}E(Z) - 2Z^{-1}E(Z) + E(Z) \quad (5)$$

$$Y(Z) = Z^{-1}X(Z) + (1 - Z^{-1})^2 E(Z) \quad (6)$$

식(6)에서 보듯이 양자화 에러 $E(Z)$ 는 고주파 쪽으로 밀려나게 되어 저주파 대역에서 SDM의 SNR이 향상된다. 식(4)에 나타난 에러 성분에 대한 스펙트럼 밀

도 $N(f)$ 는 아래의 식으로 표현된다.

$$N(f) = E(f) (1 - e^{-j\omega T})^2 \quad (7)$$

그리고 양자화된 신호가 f_s 의 주파수로 샘플링 될 때 모든 잡음의 전력(power)은 0에서 $f_s/2$ 의 주파수 대역에 있게 된다. 이때 이것이 백색 잡음(white noise)일 경우 샘플링된 잡음의 스펙트럼 밀도는 다음과 같다.

$$E(f) = e_{rms} \left(\frac{2}{f_s} \right)^{1/2} = e_{rms} \sqrt{2T}, f_s = 1/T \quad (8)$$

where, e_{rms} : root mean square of quantization error
 f_s : sampling frequency

식(7), (8)로부터 $|N(f)|$ 는 다음과 같이 표현된다.

$$|N(f)| = 4e_{rms} \sqrt{2T} \sin^2 \frac{\omega T}{2} \quad (9)$$

입력신호 범위 내에서 잡음의 평방근(root mean square)은 다음과 같이 표현된다.

$$n_o = e_{rms} \frac{\pi^2}{\sqrt{3}} (2f_o T)^{5/2}, f_s^2 \gg f_o^2 \quad (10)$$

where, f_o : maximum input frequency

위의 식으로부터 2차 SDM의 경우 14비트의 분해능을 갖기 위해서는 128배 이상의 과표본비가 요구된다. 소비전력을 고려하여 낮은 과표본비에서 고분해능을 가지는 SDM을 구현하기 위해 내부 양자화기의 비트 수를 증가시켜야 한다.

그림 2는 Z 영역에서 표현된 2차 SDM의 개략도이다. 보편적으로 앞단의 적분기 이득을 작게 하여 입력 범위를 증가시킬 목적으로 그림 1을 그림 2처럼 구현하고 있으나, 이 역시 연산중폭기의 최대 출력 변화 폭을 고려하여 적분기 이득의 조절이 필요하다. 적분기 이득 조절에 관한 내용은 IV 절에서 언급하기로 한다.

III. 과표본비와 내부양자화기의 비트 수에 따른 2차 SDM의 성능 변화

그림 3은 모델링에 사용되는 회로를 보인 것이다.

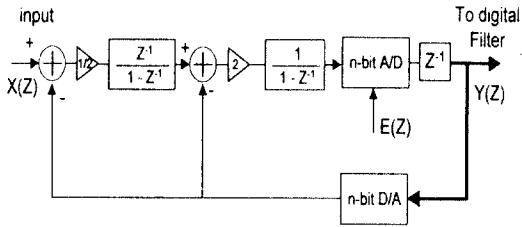


그림 2. Z 영역에서의 2차 SDM의 개략도
Fig. 2 Block diagram of second order SDM in Z-domain

이론에서 제시된 수식을 이용하여 14 비트의 분해능을 갖도록 과표본비와 내부 양자화기의 비트 수를 결정할 수 있으나, 이들의 시간응답을 MATLAB을 이용하여 구현함으로써 실제 회로와 동일하게 동작하는 모델을 구성하였다. 이를 이용하여 이상적인 SDM이 원하는 성능을 갖는데 필요한 과표본비와 내부 양자화기의 비트 수를 결정할 수 있을 뿐만 아니라, 내부 소자들의 시간응답을 조사하여 SDM이 허용하는 최대 에러 범위를 규정할 수 있다.

그림 4(a), (b)는 3비트의 내부 양자화기를 가지는 2차 SDM에 5.5kHz의 sine 신호를 인가하여 출력신호의 시간 응답을 FFT(fast fourier transform)한 결과이다. 이때 과표본비는 64배로 하였다. 그림 4(a)는 입력 주파수 범위 내에서 입력 신호를 자세히 보인 것이고, (b)는 주파수 범위를 확장하여 에러 신호가 증가하는 경향을 보인 것이다. 낮은 주파수 범위에서 양자화 잡음(quantization noise)이 상당히 낮게 유지되며, 고주파 영역으로 갈수록 양자화 잡음이 증가됨을 알 수 있다. 이러한 고주파 영역의 에러 성분들은 변조기 뒷단에 연결될 디지털 필터에 의해 제거될 수 있다.

그림 5는 과표본비를 64배로 고정된 상태에서 입력 신호의 크기에 따른 2차 SDM의 SNR을 보인 것이다. 내부 양자화기의 비트 수에 따라 입력 범위(input range)가 증가되었다. 14비트의 분해능을 갖는데 필요한 입력범위 즉 84dB 이상을 갖기 위해서 내부 양자화기는 3비트 이상 되어야 한다.

내부 양자화기의 비트 수를 3비트로 하는 2차 SDM의 과표본비를 16에서 128배까지 변화시키면서 SDM의 SNR을 조사하였다(그림 6). 이 결과로부터 과표본비의 증가에 따라 SDM의 SNR이 비례적으로 증가함을 알 수 있다. 또한 과표본비가 64배 이상이 되어야

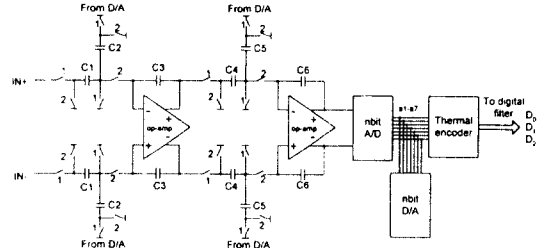
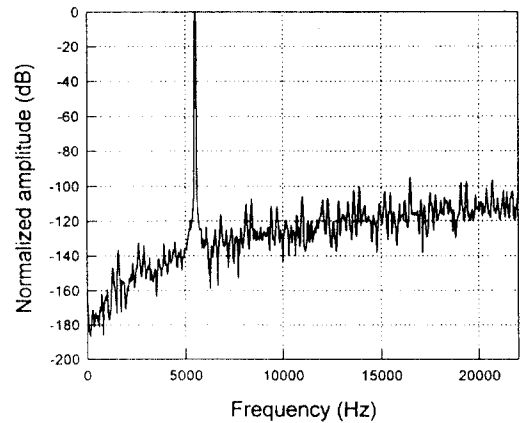
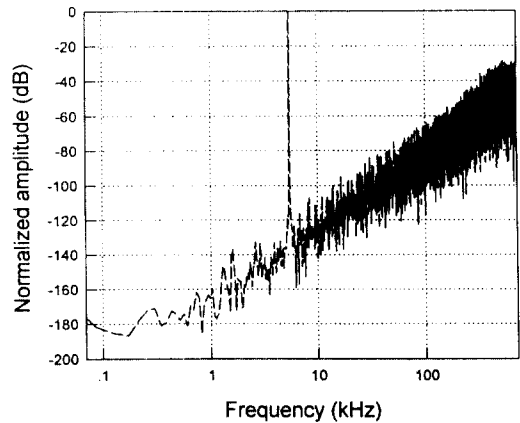


그림 3. N-비트 내부 양자화기를 가지는 2차 SDM의 회로도
Fig. 3 Schematic of second order SDM with internal n-bit quantizer



(a)



(b)

그림 4. 3비트 내부 양자화기를 가지는 2차 SDM의 FFT 결과($f_i = 5.5\text{kHz}$)
(a) 22kHz, (b) 700kHz
Fig. 4 FFT results of second order SDM with internal 3bit quantizer($f_i = 5.5\text{kHz}$)
(a) 22kHz, (b) 700kHz

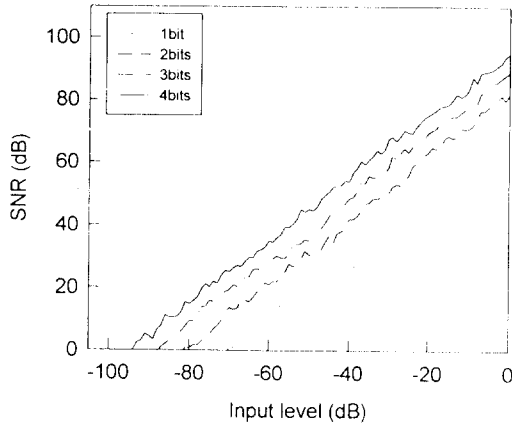


그림 5. 내부 양자화기의 비트 수에 따른 SNR
Fig. 5 SNR vs. the number of internal quantizer

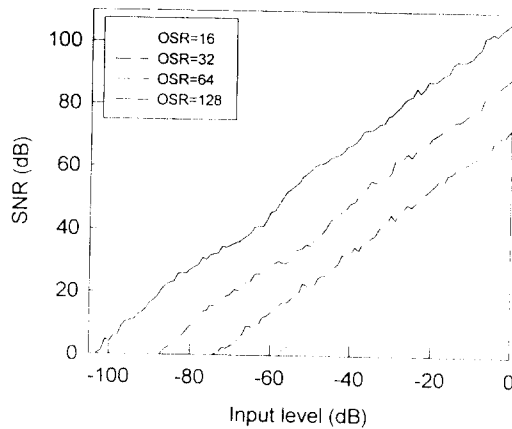


그림 6. 과표본비에 따른 SNR
Fig. 6 SNR vs. oversampling ratio(OSR)

14비트의 분해능을 얻을 수 있다.

IV. 구성 요소의 에러에 따른 변조기 성능 변화 및 허용 에러 범위 조사

SDM은 연산증폭기, 스위치, 축전기, 내부 ADC 및 내부 DAC 등으로 구성된다. 그러나, 모든 구성요소들은 이상적으로 설계될 수 없으며, 제조시 발생하는 에러에 의해 설계된 성능이 저하되는 경향을 보인다. 본 논문에서는 다양한 에러 성분을 이상적인 모델에 적용하여 SDM의 성능 변화를 조사하여 14비트의 분

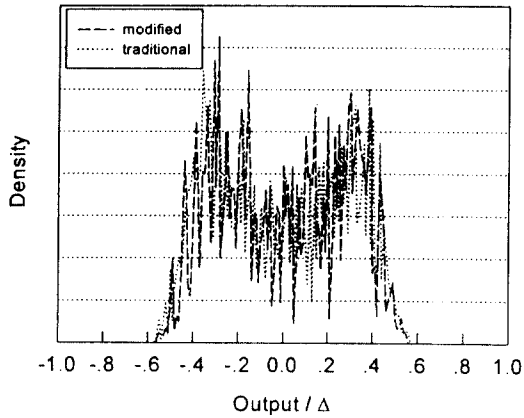
해능을 얻는데 필요한 최대 에러 범위를 규정하였다. 고려된 에러 성분은 다음과 같다. 먼저 SDM의 핵심 소자인 연산증폭기의 성능 중에서 출력 범위의 제한, 유한한 DC 이득, slew rate에 의한 영향을 조사하였으며, 다음으로 축전기의 부정합에 의해 발생하는 적분기 이득 에러, 내부 ADC 오프셋(offset) 및 내부 DAC의 비선형성에 의한 에러 등이 고려되어졌다. 여기에서 사용된 내부 양자화기는 3비트이며, 과표본비는 64배로 동일하게 하였다.

1. 연산증폭기 최대 출력 범위의 제한

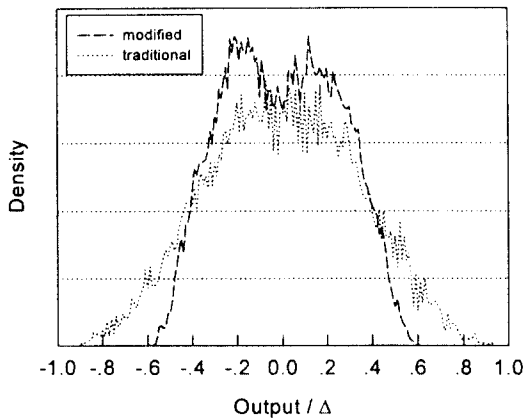
Switched-capacitor(이하 SC로 칭함)형태로 적분기를 구현할 경우 적분기 이득은 샘플링 축전기(sampling capacitor)와 적분 축전기(integrating capacitor)의 비로 결정된다. 큰 이득을 갖는 적분기의 경우 적분기 출력은 연산증폭기의 최대 출력 범위(output swing)에 의해 제한된다. 그림 2와 같은 적분기 이득을 갖는 SDM의 경우 적분기 출력이 연산증폭기의 최대 출력 범위 이상의 큰 값을 가질 수 있기 때문에 SDM의 성능이 왜곡될 수 있다. 적분기의 최대 출력이 연산증폭기의 최대 출력 범위 내에 있도록 적분기 이득의 조절(scaling)할 필요가 있다. 본 논문에서는 연산증폭기의 최대 출력 범위를 공급전압의 0.6배 즉 공급전압이 0V에서 5V일 경우 연산증폭기의 최대 출력 범위를 1V에서 4V로 규정하고, 적분기의 이득을 적절히 조절하여 적분기의 출력이 연산증폭기의 최대 출력 범위 내에 유지되도록 하였다. 그림 7은 그림 2와 같은 이득을 갖는 SDM과 이를 연산증폭기 최대 출력 범위를 고려하여 적분기 이득을 조절한 SDM의 출력 확률 밀도를 비교한 것이다. 이득이 조절된 SDM의 1차 및 2차 적분기는 모두 정해진 범위 내에서 출력을 나타내었다.

2. 연산증폭기의 DC 이득 영향

이상적인 연산증폭기의 DC 이득은 무한대가 되어 누설(leak)에 의한 성능 저하는 없을 것이다. 실제 연산증폭기는 DC 이득이 유한한 값을 가지며, 제조공정의 에러에 의해 더욱 성능이 저하되는 것이 일반적이다. 연산증폭기 DC 이득이 유한한 값을 가질 경우 식 (12)와 같이 적분기의 이득이 변화한다.



(a)



(b)

그림 7. 전형적인 적분기 이득을 갖는 경우와 수정된 경우의 적분기 출력 확률 분포 비교(Δ : 최대치)

(a) 첫번째 적분기, (b) 두번째 적분기

Fig. 7 Comparison of integrator output probability density for traditional and modified case(Δ : maximum value)

(a) first integrator, (b) second integrator

$$G_i = \frac{\gamma}{\beta} \quad (11)$$

$$G_n = \frac{\gamma A_{DC}}{1 + \beta A_{DC}} \quad (12)$$

where,

A_{DC} : DC gain of op-amp

G_i : gain of integrator with ideal op-amp

G_n : gain of integrator with non-ideal op-amp

γ : forward path gain of integrator

β : feedback path gain of integrator

식(12)를 바탕으로 연산증폭기의 DC 이득(ADC)을 1에서 1000까지 변화시켜 SDM의 성능을 평가하였다(그림 8). 그림 8에서 보인 것처럼 연산증폭기의 DC 이득이 증가할수록 이상적인 경우에 근접하며, 이득의 감소에 따라 최대 SNR이 낮아진다. 이로부터 SDM의 성능을 유지하기 위해서는 100 이상의 연산증폭기의 DC 이득이 요구됨을 알 수 있다.

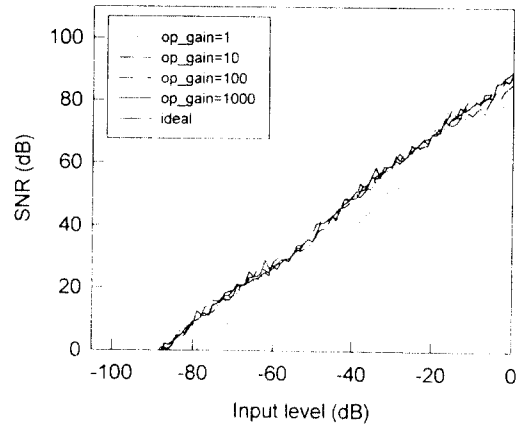


그림 8. 연산증폭기 DC 이득에 따른 SNR

Fig. 8 SNR vs. DC gain of op-amp

3. 연산증폭기 slew rate

SC 형태로 구현된 적분기는 연산증폭기가 축전기를 충·방전한다. 연산증폭기의 출력전류가 축전기를 충분히 충·방전해야만 적분기가 정상적으로 동작할 것이다. 출력전류가 충분하지 못할 경우 적분기 출력이 왜곡된다. 전술한 이러한 현상들은 연산증폭기의 slew rate에 따른 SDM의 SNR을 조사함에 의해 설명될 수 있다. Slew rate의 영향은 그림 9에 보인다. 연산증폭기의 slew rate이 $10V/\mu s$ 이상이 되면 SDM은 거의 이상적인 모델과 같은 SNR을 갖는다.

4. 적분기 이득 에러

SDM에 사용되는 적분기는 연산증폭기, 축전기 및 스위치로 구성된다. 이 적분기의 이득은 샘플링 하는

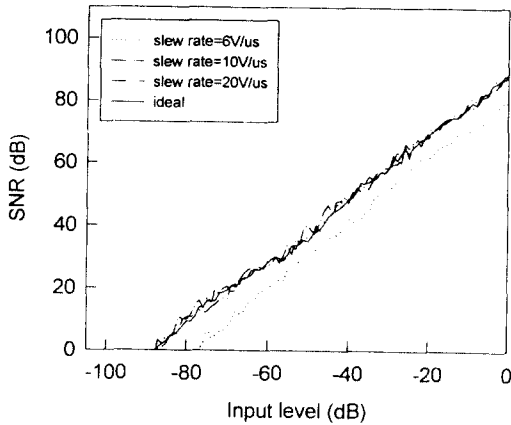


그림 9. 연산증폭기 slew rate에 따른 SNR
Fig. 9 SNR vs. slew rate of op-amp

축전기와 적분하는 축전기의 비로 결정된다. 제조공정시 축전기의 값은 에러를 가지게 되며 이는 직접적으로 적분기 이득에 변화시켜 SDM의 성능에 영향을 준다. 그림 10은 적분기 이득 에러에 따라 SDM의 성능을 조사한 것이다. 이득의 증가는 적분기 출력이 연산증폭기 최대 출력 범위를 초과시켜 높은 입력 범위에서 SNR이 떨어지게 한다. 그리고, 이득의 감소는 전체적인 SDM의 신호크기를 작게 하여 SNR을 감소시킨다. 이로부터 14비트의 분해능을 갖기 위해서는 적분기 이득 에러를 10%이하로 하여야 함을 알 수 있다.

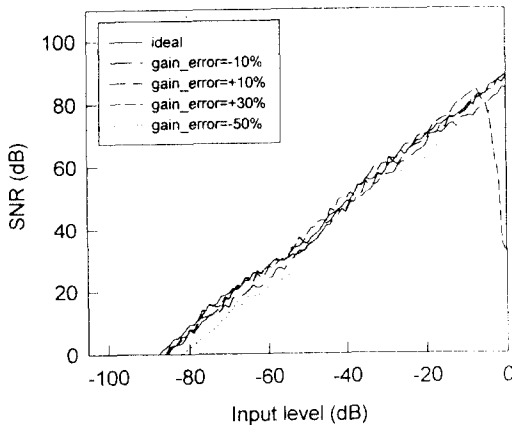


그림 10. 적분기 이득 에러에 따른 SNR
Fig. 10 SNR vs. gain error of integrator

5. 내부 ADC 옵셋 에러의 영향

내부 ADC는 대부분 저항과 비교기의 조합으로 이루어진다. 저항간의 오차 및 비교기의 옵셋에 의해 ADC의 에러가 발생된다. 그림 11은 3비트 ADC에 옵셋을 주어 SDM의 성능 변화를 보인 것이다. ADC의 에러 성분은 폐환되어 점차적으로 줄어들어 SDM의 성능에 그다지 영향을 주지 못하였다. 그림 10에 보인 것처럼 0.5LSB이하의 에러는 그다지 SDM의 성능에 영향을 주지 못하였다.

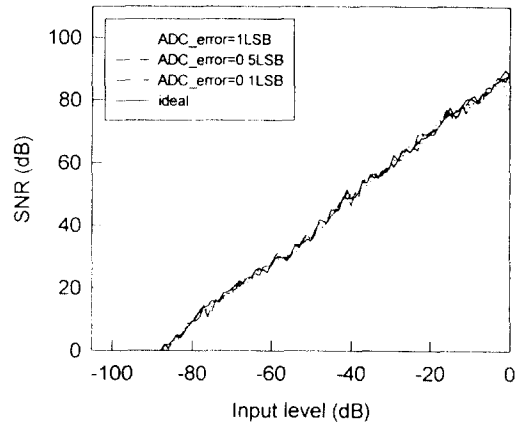


그림 11. 내부 ADC 옵셋 에러에 따른 SNR
Fig. 11 SNR vs. offset error of internal ADC

6. 내부 DAC 비선형성 에러의 영향

SDM의 출력신호는 DAC를 통해 각 각의 적분기로 폐환된다. DAC이 에러는 입력신호에 잡음이 더해지는 것과 마찬가지로 SDM의 성능에 상당한 영향을 끼치게 된다. 그림 12는 DAC에 에러성분을 첨가하여 SDM의 성능을 조사한 것이다. 0.5LSB 이상의 에러는 SNR을 저하시킨다. 특히 2LSB의 DAC 에러를 갖는 SDM은 입력범위가 제한되고, 높은 입력에서 SNR이 더욱더 감소되어진다.

7. 14비트 분해능을 갖기 위한 에러 허용 범위

설계와 제조시 발생하는 에러성분을 고려하여, 표 1과 같이 에러 허용 범위를 결정하였다. 표 1에 언급된 에러 성분을 모두 고려한 경우와 이상적인 SDM의 성능을 비교하였다(그림 13). 그림 13에 보인 것처럼 여러 가지 에러 성분을 포함한 SDM은 87dB의 최대 SNR을 가졌으며, 입력 범위는 88dB였다. 이러한

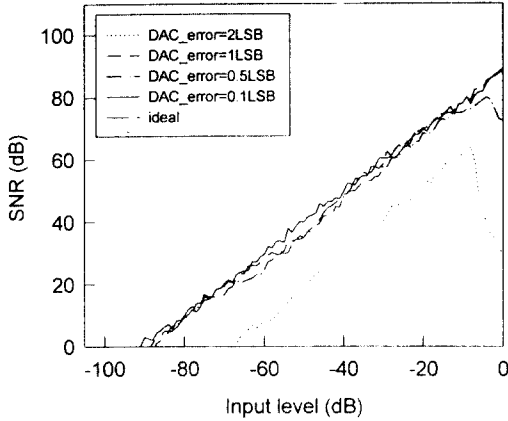


그림 12. 내부 DAC 비선형성 에러에 따른 SNR
Fig. 12 SNR vs. non-linear error of internal DAC

성능을 갖는 SDM은 14비트의 분해능을 갖는 sigma-delta ADC에 사용될 수 있을 것이다.

표 1. 에러 허용 범위
Table 1. Permitted error limit

Errors	Permitted limit
Output swing of op-amp	>60% of the supply voltage
DC gain of op-amp	> 100
Slew rate of op-amp	>10 V/ μ s
Gain error of integrator	< 10%
Internal ADC offset	< 0.5 LSB
Internal DAC non-linear error	< 0.5 LSB

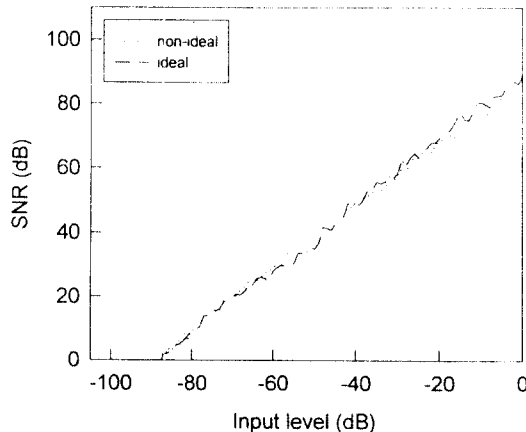


그림 13. 허용 에러 범위 내에서 SDM의 SNR
Fig. 13 SNR of SDM within the permitted error limit

V. 결 론

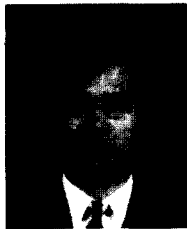
저주파의 아날로그 신호를 디지털 신호로 변환하는데 용이한 sigma-delta ADC는 변조기의 설계에 의해 그 성능이 좌우된다. SDM의 성능을 향상시키는 방법으로는 여러 가지가 시도되고 있지만, 본 논문에서는 2차의 루프 필터를 기본으로 하여 내부 양자화기의 비트 수를 늘여 그 성능을 개선하고자 하였다. 설계에 앞서 실제 SDM의 동작과 같이 모델링 함으로써 설계 및 제조시 발생하는 다양한 성능저하요인에 대한 허용범위를 규정할 수 있게 된다. 이를 통해 최종 제작되는 SDM의 성능을 확신할 수 있을 것이다.

본 논문에서는 SDM의 여러 가지 성능저하요인 중 연산증폭기 최대 출력 범위, 연산증폭기 DC이득, 연산증폭기 slew rate, 적분기 이득, 내부 ADC 및 DAC에 대한 에러 성분을 이상적인 SDM 모델에 첨가하여 성능저하 정도를 비교하였으며, 이를 토대로 허용 에러 범위를 규정하였다. 3비트 내부 양자화기를 갖는 2차 SDM이 14비트의 분해능을 갖기 위해서는 연산증폭기의 최대 출력 범위는 공급전압의 60% 이상, 100이상의 연산증폭기 DC이득, 연산증폭기의 slew rate이 10V/ μ s 이상, 10%이하의 적분기 이득 에러 그리고 0.5LSB이하의 내부 ADC 및 DAC 에러 범위 내로 설계 및 제작되어야 함을 알 수 있었다. 이러한 모델링에 의해 제작될 SDM의 성능을 미리 예측할 수 있을 뿐만 아니라, 원하는 성능을 얻기 위한 각각의 구성 요소의 사양과 공정 상에서 허용되는 에러 범위를 규정할 수 있다.

참 고 문 헌

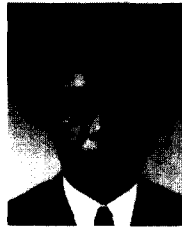
1. A. Yukawa, "A CMOS 8-bit high-speed A/D converter IC," *IEEE J. Solid-State Circuits*, vol. SC-20, no. 3, pp. 775-779, 1985.
2. S. Hosotani, T. Miki, A. Maeda, and N. Yamawa, "An 8-bit 20ms/s CMOS A/D converter with 50-mW power consumption," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 167-172, 1990.
3. K. Bacrania, "Digital error correction to increase speed of successive approximation," *IEEE ISSCC Dig. Tech. Papers XXIX*, pp. 140-141, 1986.

4. J. C. Candy, "A use of double integration in sigma-delta modulation," *IEEE Trans. Commun.*, vol. COM-33, no. 3, pp. 249-258, 1985.
5. S. R. Norsworthy, I. G. Post, and H. S. Fetterman, "A 14-bit 80-kHz sigma-delta A/D converter: modeling, design and performance evaluation," *IEEE J. Solid-State Circuits*, vol. 24, no. 2, pp. 256-266, 1989.
6. L. A. Williams III and B. A. Wooley, "A third-order sigma-delta modulator with extended dynamic range," *IEEE J. Solid-State Circuits*, vol. 29, no. 3, pp. 193-202, 1994.
7. F. Chen and B. H. Leung, "A high resolution multibit sigma-delta modulator with individual level averaging," *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp. 453-460, 1995.
8. M. Sarhang-Nejad and G. C. Temes, "A high-resolution multibit $\Sigma\Delta$ ADC with digital correction and relaxed amplifier requirements," *IEEE J. Solid-State Circuits*, vol. 28, no. 6, pp. 648-660, 1993.
9. J. C. Candy and G. C. Temes, *Oversampling delta-sigma data converters: Theory, Design and Simulation*, IEEE Press, pp. 1-25, 1992.



조 병 옥(Byung-Woog Cho) 정회원
 1991년 2월: 경북대학교 공과대학 전자공학과 공학사
 1993년 2월: 경북대학교 본대학원 전자공학과 공학석사
 1993년 3월~현재: 경북대학교 본대학원 전자공학과 박사과정

※주관심분야: 센서신호 처리회로 설계, VLSI 설계 등
 e-mail: bwcho@palcong.kyungpook.ac.kr



최 평(Pyung Choi) 정회원
 1980년 2월: 연세대학교 공과대학 전자공학과 공학사
 1985년 3월: The Ohio State University 전자공학과 공학석사
 1990년 6월: Georgia Institute of Technology, 전자공학과 공학박사

1986년 3월~1990년 2월: Georgia Institute of Technology 연구조교
 1990년 9월~현재: 경북대학교 전자공학과 조교수
 ※주관심분야: Analog 및 Digital ICs 설계, ASIC 설계, Device 및 System 모델링



손 병 기(Byung-Ki Sohn) 정회원
 1960년 3월: 경북대학교 사범대학 물리학과 이학사
 1962년 2월: 경북대학교 본대학원 물리학과 이학석사
 1976년 10월~현재: 경북대학교 전자공학과 교수
 1979년 8월~1980년 8월: University of Arizona, Microelectronics 연구소 객원교수

1982년 5월~1984년 1월: 한국전자기술연구소 위촉책임 연구원
 1986년 3월~1988년 3월: 경북대학교 공과대학 학장
 1990년 4월~현재: 센서기술연구소(ERC) 소장
 1996년 3월~1998년 2월: 경북대학교 대학원 원장
 ※주관심분야: 반도체재료, 센서공학 전반