

랜덤 트래픽과 버스티 트래픽 환경에서 ATM 입력 버퍼링 스위치 최대 수율 향상 방식들의 성능 비교 및 분석

準會員 손 장 우*, 正會員 이 현 태**, 이 준 호***,
이 재 용****, 이 상 배****

Performance Comparison of Various Input-Buffered ATM Switch Architectures under Random and Bursty traffic

Jang-Woo Son*, Hyen-Tae Lee**, Jun-Ho Lee***,
Jae-Yong Lee****, Sang-Bae Lee**** *Regular Members*

요 약

본 논문에서는 입력 버퍼링 스위치의 최대 수율 향상 방안으로서 제안되어진 다양한 성능 향상 방식들을 입력 버퍼와 스위칭 패브릭의 구조, 성능 향상 요인, 성능 한계 요인, 경합 중재 방식 그리고 최대 수율의 측면에서 비교 분석하며 특히, 랜덤 트래픽과 버스티 트래픽 환경에서 각 방식들의 성능 우열 관계를 도출하고 그 원인 분석을 제시한다. 또한 각 방식들이 높은 수율을 얻기 위해 큰 성능 향상 인자가 요구되며 성능 향상 인자를 2로 했을 때 성능 향상이 두드러지나 3이상이면 성능 향상 폭이 좁아진다는 점에 착안하여, 한 방식만 사용하지 않고 각 방식들을 결합하여 구성함으로써 구현의 용이성과 낮은 비용을 유지하면서 높은 성능을 얻을 수 있는 다양한 결합 구조를 제시하고 분석한다.

결합 구조로서 제안된 목적지별 큐잉 기반 입출력단 확장 구조는 출력단 그룹수를 2로 하고 출력단 확장을 2로 하는 경우 랜덤 트래픽과 버스티 트래픽 환경하에서 100%의 수율을 보여 적은 비용으로 출력 버퍼링 스위치의 성능을 얻을 수 있음을 확인하였다.

*연세대학교 전자공학과
**목원대학교 정보통신공학과
***서울산업대학교 전자공학과
****연세대학교 기계전자공학부
論文番號:97274-0807
接受日字:1997年 8月 7日

ABSTRACT

In this paper, we compare various input-buffered ATM switch architectures in aspect of structures of input buffer and switching fabric, the reasons for performance improvement and degradation, arbitration scheme and maximum throughput, and present comparative merits and demerits of each architecture under random and bursty traffic.

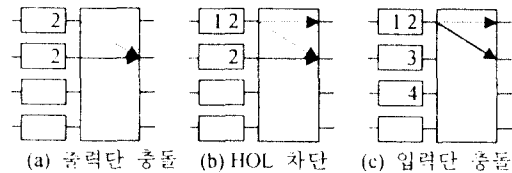
We also analyze the performance of combined architectures of windowing scheme, destination-queueing based input-port expansion scheme and output-port expansion scheme, and show that it is possible to achieve 100% throughput with combined scheme of destination-queueing based input-port expansion scheme and output-port expansion scheme when the number of output group is 2 and output port expansion ratio is 2.

I. 서 론

회선 교환과는 달리, 패킷 교환 방식인 ATM 스위치에서는 각 스위치 입력단으로의 셀의 도착은 각 입력단간에 중재되어 들어오지 않고 스위치는 셀의 도착 패턴을 미리 알 수 없다. 따라서 동일 목적지를 가진 두 개 이상의 셀이 동일 슬롯에서 들어오는 경우가 필연적으로 발생한다. 이를 출력단 충돌이라고 하며 스위치는 출력단 충돌없이 출력 링크로 전송될 수 있는 셀을 결정해서 전송하고 나머지 차단된 셀은 스위치내에 어디엔가 버퍼링을 해야 한다. 이러한 버퍼링 방식은 버퍼의 위치에 따라 크게 입력 버퍼링, 출력 버퍼링, 입출력 버퍼링 그리고 공유 버퍼링으로 크게 구분할 수 있다.

버퍼 메모리와 스위칭 패브릭에 시간적인 스피드업이나 공간적인 확장이 필요한 출력 버퍼링 방식과 공유 버퍼링 방식과 달리 입력 버퍼링 방식에서는 입력 버퍼와 스위칭 패브릭이 링크 속도로 동작하므로 스피드업이 필요없다는 장점을 갖는다. 그러나 입력 버퍼링 방식은 위와 같은 장점을 가지고 있지만 다음과 같은 세 가지 이유로 최대 수율이 제한된다. 첫째로는 모든 패킷 스위치의 문제로서 입력단에 도착한 셀들의 목적지 출력단이 동일한 경우 하나는 전송되고 나머지는 입력단에 저장된다. 이를 출력단 충돌이라고 하며 그림 1(a)에 예가 나타나 있다. 둘째로 입력 버퍼에 저장된 셀의 목적지 출력단이 다른 입력단의 셀에 의해 선점되어 있지 않아도 그 선두셀이 출력단 충돌로 인해 차단되어 있으면 전송이 불가능해지는 이른바 HOL(Head-of-Line) 차단으로 예가 그림 1(b)에 나타나 있다. 세번째로는 입력 버퍼링 방식에서는

한 입력단에서 하나의 셀만 전송 가능하므로 그림 1(c)의 경우처럼 출력단 1이 다른 입력단에 의해 선점되어 있지 않아도 전송될 수 없다. 이를 입력단 충돌이라고 한다. 이러한 이유로 입력 버퍼링 스위치의 최대 수율은 58.6%로 제한된다[1].



▶ 전송 차단 → 전송

그림 1. 입력 버퍼링 스위치의 성능 저하 요인

이 현상들은 입력단에 하나의 FIFO(First In First Out)큐를 두고 $N \times N$ 패브릭을 사용하는 경우 발생하므로 이 조건을 완화시킴으로써 앞에서 언급된 세 가지 성능 저하 요인을 감소 또는 제거시켜 입력 버퍼링 스위치의 최대 수율을 향상시키려는 연구가 광범위하게 수행되어져 왔다.

Oie[2]는 랜덤 트래픽 인가시 출력단 확장 방식의 최대 수율을 유도하였고 Liew[3]는 버스티 트래픽 인가시 최대 수율을 유도하였다. 또한 Liew[4]는 시뮬레이션을 통해 윈도우 기반 입력단 확장 방식의 랜덤 및 버스티 트래픽 인가시 성능을 분석하였다. Hluchyj[1]은 input smoothing방식을 제안하였고 Li[5]는 이 구조에 입력 버퍼와 출력 버퍼를 두는 구조를 제안하고 랜덤 트래픽 인가시 최대 수율을 유도하였다.

Hluchyj[1]은 윈도우 방식은 제안하고 시뮬레이션

을 통해 랜덤 트래픽 인가시 윈도우 방식의 최대 수율을 구하였으며 Chen[6]은 랜덤 트래픽 인가시 윈도우 사이즈에 대한 최대 수율은 유도하였고 Liew[4]는 시뮬레이션을 통해 버스티 트래픽 인가시 윈도우 방식의 성능을 분석하였다. Choi[7]는 윈도우 방식과 출력단 확장 방식의 결합 구성의 랜덤 트래픽 인가시 최대 수율을 유도하였다.

Kolias[8]는 목적지별 큐잉 방식을 제안하였고 Yeung[9]은 랜덤 트래픽 인가시 출력단 그룹수에 대한 목적지별 큐잉 방식의 최대 수율을 유도하였으며 Mckeown[10]은 입력단에 목적지별로 구분된 N개의 FIFO큐를 각 입력단에 두는 경우 100%의 수율을 보임을 증명하였다. Son[11]은 목적지별 큐잉 기반 입력단 확장 방식을 제안하고 출력단 그룹수에 대한 랜덤 트래픽 인가시 최대 수율을 유도하였다.

그러나 목적지별 큐잉 기반 입력 버퍼링 스위치 구조(목적지별 큐잉 방식과 목적지별 큐잉 기반 입력단 확장 방식)에 대한 버스티 트래픽 인가시의 최대 수율을 분석한 연구는 아직 없으며 또한 랜덤 및 버스트 트래픽 환경에서 윈도우 방식, 목적지별 큐잉 방식, 윈도우 기반 입력단 확장 방식, 목적지별 큐잉 기반 입력단 확장 방식, 스피드업 방식 그리고 출력단 확장 방식 등들을 종합적으로 정성적 및 정량적인 비교에 관한 연구는 아직 미비하다.

따라서 본 논문에서는 다양한 입력 버퍼링 방식들에 대해 각 방식의 구조, 중재 방식, 랜덤 트래픽과 버스티 트래픽 환경에서 성능 향상 요인, 성능 한계 요

인, 최대 수율 등의 측면에서 그 성능을 비교 분석하며 특히, 랜덤 및 버스티 트래픽 환경하에서 각 방식들의 성능 우열 관계를 도출하고 그 원인 분석을 제시한다.

또한 각 방식들이 높은 수율을 얻기 위해서는 큰 성능 향상 인자가 필요하며, 성능 향상 인자를 2로 했을 때 성능 향상이 두드러지나 3이상이면 성능 향상 폭이 좁아진다는 점에 착안하여 각 방식들의 결합 구성을 통해 구현의 용이성과 낮은 비용을 유지하면서 높은 성능을 얻을 수 있는 다양한 결합 구조를 제시하고 구현, 비용과 성능의 측면에서 분석한다.

논문의 구성은 다음과 같다. 2장에서는 입력 버퍼링 스위치의 수율 향상 방식들에 대해 살펴보고 3장에서 그 성능, 구현 그리고 비용 측면에서 비교 분석한다. 4장에서는 각 방식들의 결합 구조로서 목적지별 큐잉 기반 입출력 확장 구조를 제시하며 다양한 결합 구조들과 성능을 비교해 보고 5장에서 결론을 맺는다.

II. 입력 버퍼링 스위치의 성능 향상 방식

이 장에서는 입력 버퍼링 스위치의 성능을 향상시키는 기존의 방식들을 입력 버퍼와 스위칭 패브릭의 구조, 경합 중재 방식, 성능 향상 요인, 그리고 성능 한계 요인 등의 측면에서 비교해본다.

2.1 윈도우방식, FIRO(w)방식 [1], [4]

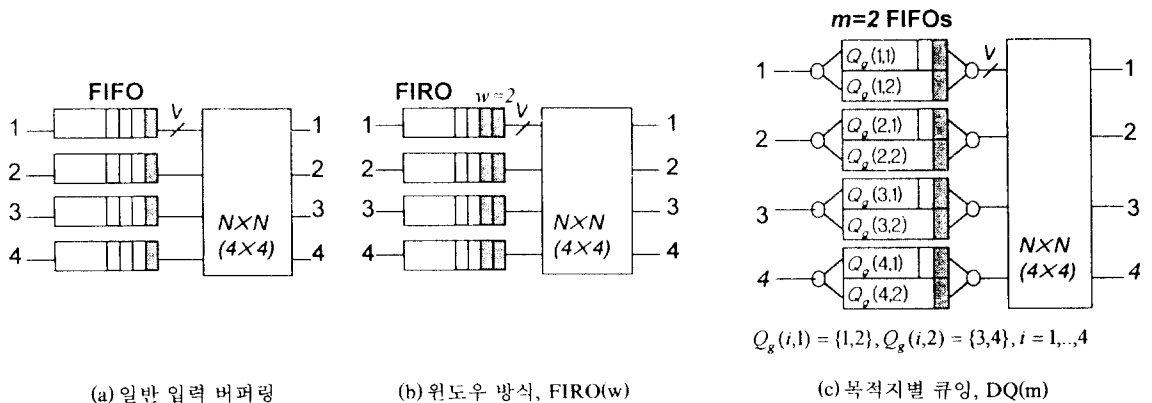


그림 2. 입력 버퍼링 스위치의 성능 향상 구조

그림 2(b)의 윈도우 방식의 스위치 구조에서는 입력단에 도착되는 셀은 도착되는 순서대로 저장되고 HOL 위치에서 w (윈도우 크기)이내의 셀이 임의의 순서로 선택되어 전송된다. 이를 위해 윈도우 방식은 도착 셀을 도착 순서대로 입력 버퍼에 저장하고 저장된 셀은 임의의 순서로 선택되어 읽을 수 있는 FIRO (First In Random Out) 구조의 입력 버퍼를 사용한다. 한 입력단에서 최대 w 개의 셀이 경합에 참여하며 이들중 하나의 셀만이 출력단으로 전송 가능하다.

wN 개의 셀에 대한 중재는 다음과 같이 순차적인 w 차 경합을 통해 수행된다. 각 입력큐 내의 HOL 셀들이 1차 경합에 참여하고 여기서 선택되지 않는 입력큐의 두 번째 셀들이 2차 경합에 참여하는 방식으로 w 차의 경합을 통하여 입력단 충돌과 출력단 충돌없이 전송될 셀을 선택한다. 이로 인해 동일 입력단내의 목적지가 같은 셀들간에 전송 순서가 보장되며 한 입력단에서 하나의 셀만 선택되게 된다.

셀선택 자유도(한 입력단당 경합에 참여할 수 있는 최대 셀수)가 w 이고 w 이내에서는 임의의 순서로 전송가능하므로 HOL차단이 줄어들어 성능이 향상되며 윈도우 크기 w 를 증가시키면 100%에 가까운 성능을 얻을 수 있다[1].

2.2 목적지별 큐잉 방식, DQ(m) 방식[8], [9]

입력단은 목적지 출력단 그룹 $j=1, \dots, m$ (m 은 출력단 그룹수)별로 구분된 m 개의 FIFO큐 $Q_g(i, j)$, $j=$

목적지 출력단 그룹번호 $= 1, \dots, m$)로 구성되며 $Q_g(i, j)$ 는 목적지 출력단 그룹이 j 인, 즉 목적지 출력단이 $\{(j-1)N/m + 1, \dots, jN/m\}$ 인 셀을 저장한다. 스위치에는 총 mN 개의 FIFO큐가 존재하고 mN 개의 HOL 셀이 경합에 참여하지만 한 입력단에서는 한 개의 셀만 전송 가능하므로 스위치 패브릭은 $N \times N$ 이면 된다. 또한 한슬롯당 한 입력단에서 한번의 쓰기와 읽기만 필요하게되 물리적으로 m 개의 FIFO큐를 두거나 m 배 빠른 버퍼를 사용하지 않고 하나의 큐를 논리적으로 m 개로 구분하여 운용할 수 있다는 장점을 갖는다. 또한 목적지별 큐잉으로 전송 순서가 보장된다.

본 논문에서는 이 방식을 DQ(m)방식이라고 정의하며 그림 2(c)에 $N=4$, $m=$ 출력단 그룹수 $= 2$ 인 경우가 도시되어 있다. $m=1$ 인 경우 일반 입력 버퍼링 스위치(그림 2(a))[1]가 되며, $m=2$ 인 경우 Odd/Even 스위치[8]에 해당이 되고 $m=N$ 인 경우 N FIFO구조(그림 2(d))[1]에 해당한다.

m 개의 출력단 그룹의 mN 개의 HOL 셀에 대한 중재는 다음과 같이 순차적인 m 차 경합 과정을 통해 수행된다. 1차 경합에서 목적지 출력단 그룹 J 즉, $Q_g(i, j=J)$ 큐의 HOL셀들(여기서 $i=1, \dots, N$)이 경합에 참여하고 여기에서 선택되지 않은 입력단의 $Q_g(i, j=J+1, \text{if } J+1=m; j=\text{mod}(J+1, m), \text{otherwise})$ 큐의 HOL 셀들이 2차 경합에 참여하는 방식으로 m 차 경합을 통해 m 개의 셀을 중재한다. 다음 슬롯에서는 다음 목적지 출력단 그룹의 큐, $Q_g(i, j=J+1, \text{if } J+1$

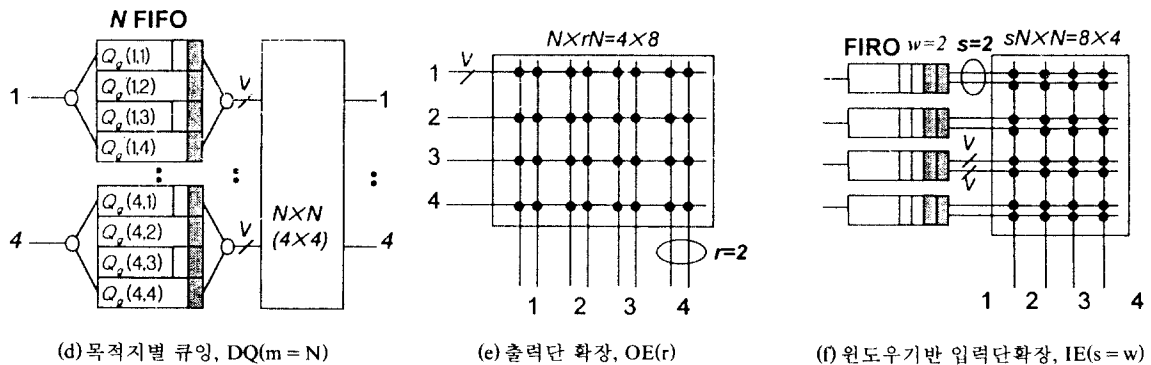


그림 2. 입력 버퍼링 스위치의 성능 향상 구조(계속)

$= m; j = \text{mod}(J + 1, m), \text{ otherwise})$ 부터 1차 경합을 시작하여 출력단 그룹간에 공정성을 유지한다.

그림 2(c)에서 첫번째 경합에서는 그룹 1의 셀(목적지=1, 2)만 경합에 참여하여 그룹 1류의 HOL셀들은 그룹2 셀들(목적지=3, 4)에 의해 HOL차단되지 않고 그룹 1셀에 의해서만 HOL차단이 발생한다. 따라서 전체적인 HOL차단이 줄어들어 스위치 수율이 향상된다. 그러나 1) 동일류를 공유하는 그룹1셀로 인한 HOL차단은 여전히 존재하며 2) 첫번째 경합에서 선택되지 않은 입력단만 두번째 경합에 참여하므로 그룹2 셀들은 전송 기회가 줄어들게 되어(입력단 충돌) 그룹2 출력단의 수율이 저하된다는 성능 한계 요인이 있다. 즉, 한 입력단에서 한 슬롯 시간에 하나의 셀만 전송 가능하므로 그룹 1의 셀 전송과 그룹 2의 셀 전송이 독립적이지 못하여 발생하는 현상으로 입력단 충돌 문제이다.

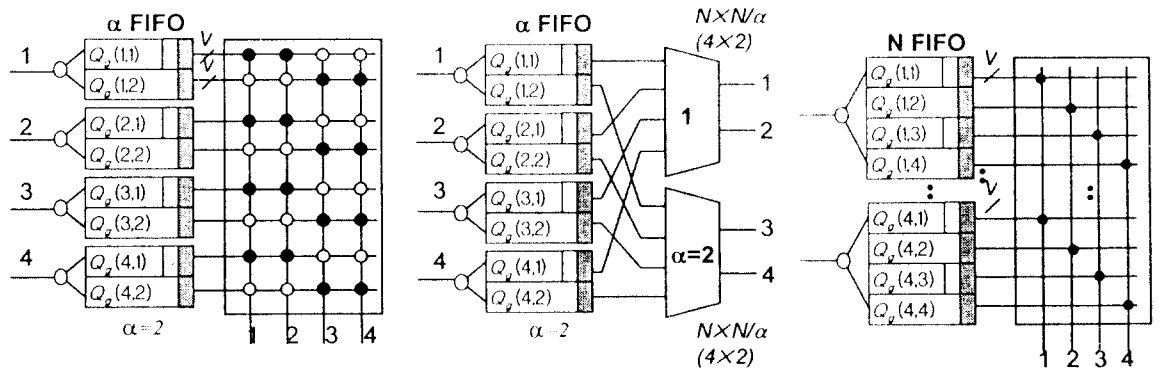
2.3 출력단 확장 방식, OE(r)방식 | 2-3 |

그림 2(e)의 출력단 확장 방식에서는 매 출력단마다 r개의 경로가 존재해서 한 출력단으로의 부하가 r개의 경로로 분산된다. 이로 인해 매 슬롯당 최대 r개의 셀이 동일 목적지 출력단으로 전송 가능해지며

따라서 출력단 경합이 줄어들어 수율이 향상되게 된다. 이를 위해 시간적인 스퍼드업(스위칭 패브릭과 출력 버퍼가 rV의 대역폭을 갖는 경우, V는 입출력 링크 대역폭) 또는 공간적인 확장(스위칭 패브릭이 $N \times rN$ 규모의 스위칭 패브릭과 출력단당 독립적인 r개의 버퍼를 두는 경우)이 필요하며 본 논문에서는 후자의 경우를 가정하며 간단히 OE(r)방식이라고 표기한다.

2.4 반 입력단 확장 방식, IE(s=w)방식 [4]

입력단 확장 방식은 각 입력 버퍼에서 서로 다른 목적단 주소를 가진 최대 s개의 셀까지 한 슬롯 시간에서 처리될 수 있는 스위칭 패브릭 구조로 정의할 수 있으며 입력단 충돌이 감소하여 스위치 수율이 향상된다. 이 경우 입력 버퍼의 구성에 따라 다음과 같은 두 가지 형태의 구성이 가능하다. 첫째로는 입력 버퍼를 FIRO(w=s)큐로 구성하고 윈도우 방식으로 경합을 중재하는 구성으로 그림 2(f)에 도시되어 있으며 한 입력단에서 s개의 셀이 윈도우 방식으로 경합에 참여하고 한 입력단에서 s개의 셀이 전송 가능하다. 이 경우 스위칭 패브릭의 입력포트로 들어오는 셀들이 N개 출력단 모두로 라우팅될 수 있으므로



$Q_g(i,1) = \{1,2\}, Q_g(i,2) = \{3,4\}, i = 1, \dots, 4$

(g) 목적지별 큐잉기반 입력단 확장, DQ(α)

(h) e의 증가

(i) 완전 입력단 확장, DQ(α=N)

■ 출력경합에 참여하는 셀

● 사용되는 크로스포인트

○ 사용되지 않는 크로스포인트

그림 2. 입력 버퍼링 스위치의 성능 향상 구조(계속)

$sN \times N$ 규모의 스위칭 패브릭이 필요하다[4]. 이 구성을 본 논문에서는 윈도우 기반 입력단 확장 방식이라고 정의하며 간단히 IE(s=w)방식이라고 표기한다. 두 번째로는 각 입력단에 물리적으로 구분된 s 개의 FIFO큐를 두고 s 개의 FIFO큐의 HOL셀들이 경합에 참여하는 구성이다. 두 번째 구성은 2.5에서 자세히 다룬다.

2.5 목적지별 큐잉 기반 입력단 확장 방식, DQ(α) 방식[9], [11]

각 입력단에는 목적지 출력단 그룹 $j=1, \dots, \alpha$ (α 는 출력단 그룹수)별로 구분된 α 개의 FIFO큐 $Q_k(i, j)$ (여기서, i =입력단번호, j =목적지 출력단그룹번호= $1, \dots, \alpha$)가 병렬적으로 존재하며 $Q_k(i, j), j=1, \dots, \alpha$ 는 목적지 출력단 그룹이 j 인, 즉 목적지 출력단이 $\{(j-1)N/\alpha + 1, \dots, jN/\alpha\}$ 인 셀을 저장한다. 그림 2(g)에 $N=4, \alpha=2$ 인 경우가 도시되어 있다. 본 논문에서는 이 방식을 목적지별 큐잉 기반 입력단 확장 방식이라고 정의하며 간단히 DQ(α)방식이라고 표기한다. $\alpha=1$ 인 경우 일반 입력 버퍼링 스위치[1]와 같고 $\alpha=2$ 인 경우 [10]와 동가이며 $\alpha=N$ 인 경우(그림 2 (i)) [12]에 해당한다.

DQ(m) 방식과는 달리 각 출력단 그룹큐 $Q_k(i, j), j=1, \dots, \alpha$ 는 스위칭패브릭의 입력 포트에 연결되며 이 때 스위칭 패브릭은 일반 입력단 확장 구조처럼 $\alpha N \times N$ 의 규모가 된다. 그러나 여기서 그림 2(g)에서 보듯이 각 입력단의 출력단 그룹 j 에서 전송된 셀들은 N/α 개의 출력단(즉, $(j-1)N/\alpha, \dots, jN/\alpha$)로만 라우팅되므로 $Q_k(i, j)$ 에서 $\alpha N \times N$ 스위칭 패브릭(크로스바)으로 입력된 크로스바 매트릭스의 행내의 $N - N/\alpha$ 개의 크로스포인트는 사용되지 않는다는 점을 관측할 수 있다. 즉, 목적지별 큐잉 기반 입력단 확장 구조의 스위칭 패브릭은 그림 2(h)처럼 독립적인 α 개의 서브 스위치($N \times N/\alpha$)로 이루어진 경우와 동가가 된다. 즉 입력단 확장 효과를 얻으면서 스위치 패브릭의 비용(이 논문에서는 스위치 패브릭의 비용을 크로스 포인트 수로 가정하였다)이 일반 입력 버퍼링의 경우와 같은 N^2 (= $\alpha(N \times N/\alpha)$)개만 필요하다는 장점을 갖는다.

DQ(α)방식에서는 매 슬롯마다 한 입력단에서 목적지 출력단 그룹당 하나씩 최대 α 개의 셀이 경합에 참여하고 α 개의 셀이 전송 가능하다. 매 슬롯당 총 αN 개의 HOL셀이 경합에 참여하나 각 출력단 그룹의 HOL셀의 전송이 각 출력단 그룹 전용 서브 스위치를 통해 전송되므로 이들에 대한 중재가 다른 출력단 그

표 1. 입력 버퍼링 스위치 성능 향상 방식들 비교

	η	η_c		#from an input	#to an output	입력버퍼	스위칭패브릭규모, cp수	경합중재시간	전송순서보장
		랜덤	버스티						
OIQ	l	l	l	l	l	FIFO	$N \times N, N^2$	l round	$\eta = 1$
FIRO(w)	w	$\approx w$	$< w$	l	l	FIRO	$N \times N, N^2$	w rounds	순차적 중재
DQ(m)	m	m	m	l	l	mFIFO	$N \times N, N^2$	m rounds	목적지별큐잉
IE(s=w)	w	$\approx w$	$< w$	w	l	FIRO	$sN \times N, sN^2$	w rounds	순차적 중재
DQ(α)	α	α	α	α	l	α FIFO	$\alpha(N \times N/\alpha), N^2$	l round	목적지별큐잉
OE(r)	l	l	l	l	r	FIFO	$N \times N, rN^2$	l round	$\eta = 1$
SU(v)	v	$\approx v$	$< v$	v	v	FIFO(v 배속)	$N \times N(v$ 배속)	v rounds	순차적 중재

- OIQ(ordinary input queueing): 일반 입력 버퍼링
- η : 셀선택 자유도(한 입력단에서 경합에 참가할 수 있는 최대 셀 수, 이 값이 커지면 HOL 차단이 준다.)
- η_c : 실질적 셀 선택자유도(한 입력단에서 경합에 참가하는 셀들의 서로 다른 목적지수)
- # from an input: 한 슬롯당 한 입력단에서 전송 가능한 셀 수(이 값이 커지면 입력단 충돌이 준다.)
- # to an output: 한 슬롯당 한 출력단에서 전송 가능한 셀 수(이 값이 커지면 출력단 충돌이 준다.)
- cp 수: 크로스포인트 수(본 논문에서는 스위칭 패브릭의 비용으로 크로스바스위치의 크로스포인트수로 사용하였다.)

룹과는 무관하게 되어 윈도우 방식이나 DQ(m)방식 처럼 wN, mN 개의 셀을 w, m 번의 라운드에 걸쳐 순차적으로 중재할 필요가 없이 한번의 라운드에 경합 중재가 독립적으로 동시에 이루어져 고속의 중재가 가능하다(출력단 그룹별로 하나씩 α 개의 중재기가 있는 경우).

DQ(α)방식은 DQ(m)방식처럼 목적지별 큐잉으로 인해 전체적인 HOL차단이 줄고 전송 순서가 보장되며 버스티 트래픽에 대한 대처 능력이 뛰어나다. 그러나 DQ(m)방식과는 달리 한 입력단내의 각 출력단 그룹의 셀의 전송이 그 입력단내의 다른 출력단 그룹의 HOL셀의 전송과 독립적이므로 DQ(m) 구조의 두 번째 성능 한계 요인(입력단 충돌)이 사라져 이로 인해 DQ(m) 구조보다 수율이 향상된다.

이외에 스피드업 방식[4]과 input smoothing 방식[1]이 있다.

각 방식들의 입력 버퍼 및 스위치 패브릭의 구성, 경합 중재 시간, 전송 순서 보장 방법, 셀선택 자유도, 랜덤 및 버스티 트래픽 환경에서 실질적 셀선택 자유도, 한 슬롯당 한 입력단에서 그리고 한 출력단으로 전송 가능한 셀 수에 관한 비교가 표 1에 정리되어 있다.

III. 입력 버퍼링 스위치 성능 향상 방식들의 성능 비교

본 장에서는 랜덤 트래픽과 버스티 트래픽 환경에서 각 방식의 최대 수율을 비교 분석한다. 랜덤 트래픽 인가시 최대 수율은 기존의 수학적 분석을 통해 얻은 최대 수율값을 이용하였고 버스티 트래픽 인가시 최대 수율은 시뮬레이션을 통해 구하였다. 시뮬레이션에 사용된 버스티 트래픽 모델은 [4], [8]에서 사용한 균등 기하 버스티 트래픽(uniform geometric bursty traffic)모델을 사용하였다.

3.1 랜덤 트래픽 인가시 최대 수율 비교

표 2와 그림 3에서 보이듯이 랜덤 트래픽 인가시 각 방식의 최대 수율은 성능 향상 인자의 증가에 따라 모두 향상되지만 향상 정도에 차이가 있으며 다음과 같은 우열관계가 있다.

$$FIFO < FIRO(w) < DQ(m) < IE(s=w) < DQ(\alpha) < OE(r) < SU(w)$$

윈도우 방식과 목적지별 큐잉 방식의 성능은 거의 동일하며 입력단 확장보다는 출력단 확장의 성능 향상이 더 뛰어나다. 일반 입력버퍼링 방식에서는 HOL차단, 입력단 충돌, 출력단 충돌로 인해 수율이 58.6%로 제한된다. FIRO(w)와 DQ(m)방식의 수율은 w 와 m 의 증가에 따라 일반 입력 버퍼링보다 향상된다. 이는 두 방식의 셀선택 자유도, w, m 이 1보다 커서 HOL 차단이 줄기 때문이다.

또한 주목할만한 결과는 w 와 m 의 증가에 따른 두 방식의 성능 향상($w=m$ 의 경우)이 랜덤 트래픽의 경우 거의 동일하다는 것이다. 그 이유는 그림 6에서 설명이 되며 여기서 $N=4$ 이고 출력단 그룹수를 2, 윈도우 사이즈를 2라고 가정하자. 이 경우 DQ(m)방식에서 출력단 {1, 2}는 출력단 그룹1에 속하고 {3, 4}는 그룹 2에 속한다. 또한 현재 출력단 1이 다른 입력단에 의해 선점되어 있고 출력단 2, 3은 그렇지 않은 경우를 예로 들어 보자. 그림 6(a)의 상황에서 목적지가 1인 두 셀은 그룹 1큐에 저장되고 목적지가 3인 셀은 그룹 2큐에 저장된다. 그림에서 보이듯이 이 경우 DQ(m)방식에서는 3이 전송될 수 있다. 그러나 FIRO(w)방식에서는 전송되지 못한다. 그림 6(b)의 상황에서는 목적지가 2인 셀이 FIRO(w)방식에서는 전송되지만 DQ(m)방식에서는 전송되지 못한다. 랜덤 트래픽 환경에서는 이 두 가지 효과가 서로 상쇄되어 두 구조의 수율이 거의 동일하게 된다. 그러나 트래픽이 버스티해지면 (a)의 상황이 더 자주 발생하므로 DQ(m)방식의 수율이 더 높을 것으로 짐작할 수 있다.

입력단 확장을 한 경우 즉, $IE(s=w), DQ(\alpha)$ 방식에서는 셀 선택 자유도가 1보다 크므로 HOL차단이 줄고 한 입력단에서 1개 이상의 셀이 전송 가능하므로 입력단 충돌이 준다는 두 가지 성능 향상 요인으로

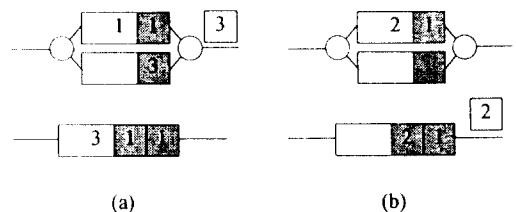


그림 6. DQ(m=2)과 FIRO(w=2)의 비교

인해 FIRO(w)와 DQ(m) 방식에 비해 수율이 더욱 향상되며 앞의 경우와 마찬가지로 IE(s=w)와 DQ(α)방식간의 성능차는 거의 없다.

w=2, m=2인 경우 FIRO(w)는 70.4%, DQ(m)은 70.5%로 셀선택 자유도의 증가로 인해 HOL차단이 줄어 일반 입력 버퍼링 방식에 비해 수율이 약 12% 정도 향상된다. s=w=2, α=2인 경우 IE(s=w)는 76.4%, DQ(α)는 76.4%로 HOL차단의 감소로 인한 수율 향상에 입력 확장의 효과가 더해져서 6%정도 수율이 더 향상됨을 표 2에서 볼 수 있다.

OE(r)방식의 성능이 윈도우 방식, 목적지별 큐잉, 입력단 확장에 비해 우수한 데 이는 HOL차단과 입력단 충돌의 근본 원인인 출력단 충돌을 감소시켜주기 때문이다. SU(v)방식은 입력단 확장과 출력단 확장의 효과를 모두 보이므로 성능이 가장 우수하여 v=2인 경우 100%의 최대 수율을 보인다. IS(g)방식은 스위칭 패브릭이 V/g의 저속으로 동작하고 g슬롯시간단위로 중재와 전송이 일어나므로 수율이 가장 낮다.

3.2 버스티 트래픽 인가시 최대 수율 비교

그림 4에 평균 버스트 길이, l이 8이고 N=64인 경우 성능 향상 인자의 증가에 따른 각 방식의 최대 수율의 변화가 도시되어 있다. 최대 수율을 얻기 위해 입력 버퍼 사이즈, Bin는 무한크기로 가정하였다. 성능 향상 인자가 커질수록 수율은 향상되나 랜덤 트래픽 인가시와는 다른 양상을 보이며 다음과 같은 우열 관계가 있다.

$$FIFO < FIRO(w) < IE(s=w) \ll DQ(m) < DQ(\alpha) \ll OE(r) < SU(v)$$

즉, 목적지별 큐잉과 윈도우 방식간의 성능 차이가 뚜렷이 나타남을 볼 수 있다. FIRO(w)방식의 경우 트래픽이 버스티해지면 윈도우 크기 w내의 셀들이 목적지가 같을 확률이 커지므로 실질적인 셀선택 자유도는 w보다 떨어진다. 이로 인해 버스트 길이가 커지면 FIRO(w)방식과 IE(s=w)방식의 최대 수율은 일반 입력 버퍼링과 같아지게 된다. 그러나 목적지별 큐잉을 하면 m, α개 FIFO의 HOL셀의 목적지는 항상 다르므로 실질적인 셀선택 자유도를 m, α로 유지할 수 있다. 따라서 선택되는 셀 수가 많아지므로 버스티 트래픽 환경에서는 목적지별 큐잉이 윈도우 방

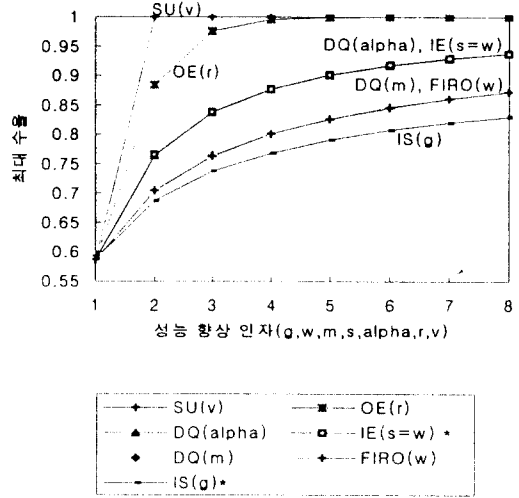


그림 3. 랜덤 트래픽 인가시 성능 향상 인자의 증가에 따른 최대 수율의 변화(N=∞, Bin=∞).¹⁾

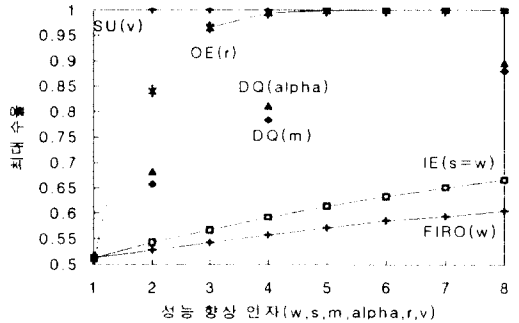


그림 4. 버스티 트래픽 인가시 성능 향상 인자의 증가에 따른 최대 수율의 변화(N=64, Bin=∞, l=8)

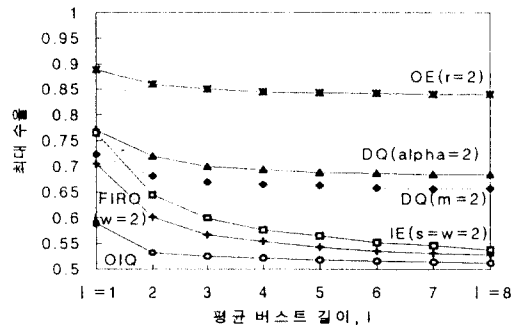


그림 5. 성능 향상 인자(w=s=m=α=r=v=2)일 때 l에 따른 최대 수율의 변화(N=64, Bin(입력버퍼사이즈)=∞)

¹⁾범례는 그림 4, 5에도 공히 적용됨

식보다 더 좋은 성능을 보인다.

그림 5에서 평균 버스트 길이가 커지면 FIRO(w)방식과 IE(s=w)방식의 성능차가 줄어들으나 DQ(m)과 DQ(α)의 성능차는 약 3%정도를 계속 유지함을 볼 수 있다. 즉 IE(s=w)방식에서는 윈도우 사이즈내의 셀들이 동일한 목적지를 가질 확률이 높아 입력단 확장 효과의 효과를 얻을 수 없지만 DQ(α)방식은 평균 버스트 길이가 커져도 입력단 확장 효과가 유지됨을 알 수 있다.

OE(r)방식과 SU(v)방식은 랜덤 트래픽 인가시와 마찬가지로 이유로 수율이 다른 방식에 비해 우수하며 단일 요소로는 출력단 확장이 가장 수율을 향상시킬 수 있다.

IV. 목적지별 큐잉 기반 입출력단 확장 구조

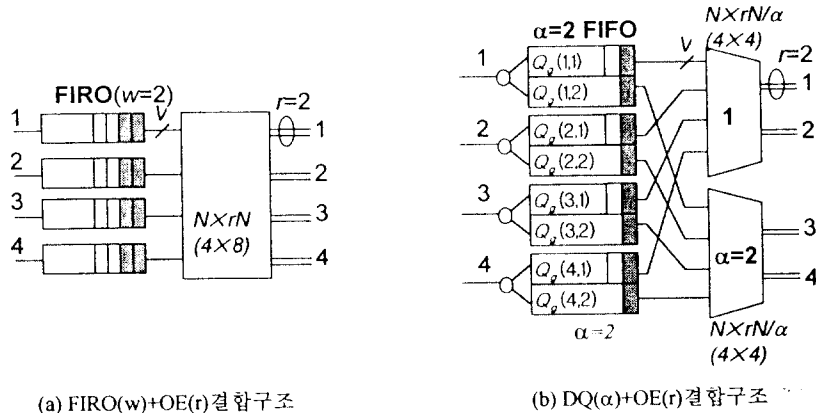
지금까지 입력단에서 셀선택 자유도를 높이거나 스위치 전송 능력을 향상시킴으로써 출력단 충돌, HOL차단 그리고 입력단 충돌을 감소 및 제거하여 입력 버퍼링 스위치의 최대 수율을 향상시키는 방안들을 정성적 및 정량적으로 비교 분석해보았다. 그 결과 다음과 같은 두 가지 중요한 결론을 도출할 수 있다.

첫째로 각 방식들이 높은 수율을 얻기 위해서는 큰 값의 성능 향상 인자가 요구된다는 점이다. 그러나 성능 향상 인자를 증가시키는 데는 구현과 비용에

어서 문제가 발생한다. FIRO(w)방식의 경우 윈도우 사이즈가 커지면 한 슬롯 시간내에 w번의 중재를 순차적으로 수행해야 하므로 중재기의 구현이 복잡해지고 스위치 확장 방식의 경우 스위치 패브릭의 규모가 확장 비율(s, r)에 비례하여 증가한다는 문제로 인해 확장에 제한이 있다. DQ(m)방식의 경우 m이 커지면 한 슬롯 시간내에 m번의 중재를 순차적으로 수행해야 하므로 중재기의 구현이 어려워지며 DQ(α)방식의 경우 α가 커지면 입력단에 물리적인 FIFO수의 증가를 가져온다. N FIFO 방식(DQ(m=N))의 경우 총 결합에 참여하는 셀 수가 N²이고 한 입력단에서 하나의 셀만 선택하고 한 출력단으로 하나의 셀만 선택해야 하므로 선택 알고리즘이 복잡해져 중재기의 비용이 전체 스위치 구현 비용에 차지하는 비율이 높아진다. 즉 단일 방식으로 높은 성능을 얻기 위해서는 큰 성능 향상 인자가 요구되며 이는 구현상 한계와 높은 비용이 소요된다는 문제가 있다.

둘째로 성능 향상 인자를 2로 했을 때는 성능 향상이 두드러지나 3이상이면 성능 향상 폭이 좁아짐을 알 수 있다. 즉, 각 방식의 고유한 특성으로 인해 성능 향상 인자를 증가시키면 수율이 향상되나 각 방식들 모두 성능 향상 인자에 선형적인 향상을 주지는 못한다.

이와 같은 사실들을 종합해보면 낮은 비용과 구현의 용이성을 유지하면서 높은 성능을 얻기 위해서는 각 방식들을 결합하여 전체 스위치 수율을 높이는 접



■ 출력경합에 참여하는 셀

그림 7. 입력 버퍼링 스위치의 수율 향상 방안들의 결합구조

근 방법이 바람직하다고 판단된다. 이와 같은 접근방법으로 그림 7(a)에 보이는 윈도우 방식과 출력단 확장 방식을 결합시킨 스위치 구조가 [7]에서 제안되었으며 랜덤 트래픽 인가시 $w=2, r=2$ 로도 97.93%의 높은 수율을 얻을 수 있음을 보였다.

4장에서는 2장에서 기술된 목적지별 큐잉 기반 입력 확장 방식에 출력단 확장 개념을 도입한 구조를 제시하며 이를 목적지별 큐잉 기반 입출력 확장 구조(DQ(α)+OE(r))결합구조, 그림7(b))라고 정의한다. 이 구조는 출력단 확장으로 출력 충돌 감소 효과를 얻을 수 있고 목적지별 큐잉으로 HOL차단이 줄고 버스티 트래픽에 대처능력이 뛰어나며 입력단 확장으로 입력 충돌이 감소한다는 성능 향상 요인을 갖는다. 또한 목적지별로 입력큐를 관리하므로 $N \times rN/\alpha$ 의 구현 비용으로도 위와 같은 효과를 볼 수 있다는 것이 장점이다.

제시된 구조의 성능을 그림 7(a)의 윈도우 방식과 출력단 확장방식의 결합 구조(FIRO(w)+OE(r))결합 구조, [7])과 비교를 통해서 분석해본다.

랜덤 트래픽과 버스티 트래픽 환경에서 시뮬레이션을 통해 최대 수율을 얻었고 이 결과가 표 4, 5에 정리되어 있고 세 결합 방식의 구조적 특징이 표 3에 정리되어 있다. 시뮬레이션시 스위치 규모N은 64로 하였으며 최대 수율을 얻기 위해 입력 버퍼 사이즈, Bin은 무한 크기로 가정하였다. 시뮬레이션 데이터 수집 방법으로 안정 상태에 도달하지 않은 초기 관측치를 제거하고 이후의 값들만 유효하다고 인정하여 데이터를 수집하는 반복-제거 방식을 택했으며 각 10번의 독립 수행한 결과로 99% 신뢰 구간을 얻었다. 표 4, 5의 최대 수율은 이와 같은 99%신뢰구간을 의미한다.

그림 7(a)의FIRO(w)+OE(r)결합구조는 윈도우 효과로 HOL차단 현상이 감소하며 출력단 확장으로 출력단 충돌이 줄어 $w=2, r=2$ 일 때 랜덤 트래픽 인가시 97.73%의 최대 수율을 보인다. 그러나 버스티 트래픽 환경에서 윈도우 효과는 버스티 길이가 커질수록 급격히 감소하여 표 4, 5에서 보이듯이 수율이 랜덤 트래픽 환경에서와 큰 차이를 보여 $w=2, r=2$ 일 때 85%의 수율을 보인다.

그림 7(b)의 DQ(α)+OE(r)결합구조는 출력단 확장으로 출력단 충돌 감소 효과를 얻을 수 있고 목적지별 큐잉으로 HOL차단이 줄고 버스티 트래픽에 대처

능력이 뛰어나며 입력단 확장으로 입력단 충돌이 감소한다는 성능 향상 요인을 갖는다. 이 구조는 세 가지의 성능 향상 요인을 가지고 있어서 성능이 가장

표 3. 각 결합 구조의 정성적 비교

	FIRO(w)+OE(r)	DQ(α)+OE(r)
성능향상 이유	윈도우 효과(HOL 차단감소) 출력단 확장(출력 충돌 감소)	목적지별 큐잉(HOL 차단감소) 입력단 확장(입력 충돌감소) 출력단 확장(출력 충돌감소)
입력버퍼	FIRO(w)	α 개 FIFO
크로스 포인트수	$N \times N = rN^2$	$\alpha(N \times rN/\alpha) = rN^2$
중재시간	w 라운드 (순차적 중재)	1 라운드 (독립적, 병렬적 중재)

표 4. 랜덤 트래픽 인가시 각 결합 구조의 최대 수율 비교 (N = 64, Bin = ∞)

r	FIRO(w)+OE(r)'				DQ(α)+OE(r)			
	윈도우 사이즈 w				목적지 출력단 그룹수 α			
	1	2	4	5	1	2	4	8
1	0.5858	0.7044	0.8009	0.8721	0.5887	0.7698	0.8832	0.9447
					0.5889	0.7710	0.8848	0.9457
2	0.8845	0.9793	0.9994	1.0	0.8881			
					0.8883	1.0	1.0	1.0
3	0.9755	0.9993	1.0	1.0	0.9763			
					0.9773	1.0	1.0	1.0
4	0.9956	0.9999	1.0	1.0	0.9958			
					0.9962	1.0	1.0	1.0

표 5. 버스티 트래픽 인가시 각 결합 구조의 최대 수율 비교(N = 64, Bin = $\infty, l = 8$)

r	FIRO(w)+OE(r)'				DQ(α)+OE(r)			
	윈도우 사이즈 w				목적지 출력단 그룹수 α			
	1	2	4	8	1	2	4	8
1	0.5089	0.5240	0.5556	0.5978	0.5089	0.6822	0.8110	0.8948
	0.5143	0.5312	0.5584	0.6096	0.5143	0.6824	0.8120	0.8951
2	0.8389	0.8506	0.8701	0.9076	0.8389			
	0.8424	0.8554	0.8756	0.9104	0.8424	1.0	1.0	1.0
3	0.9648	0.9688	0.9752	0.9842	0.9648			
	0.9660	0.9708	0.9768	0.9858	0.9660	1.0	1.0	1.0
4	0.9938	0.9940	0.9957	0.9979	0.9938			
	0.9950	0.9952	0.9967	0.9981	0.9950	1.0	1.0	1.0

뛰어나다. 표 4, 5에서 보이듯이 랜덤 트래픽과 버스티 트래픽(평균 버스트 길이=8인 경우) 환경에서 $\alpha=2$, $r=2$ 인 경우 100%의 수율을 보인다.

두 구조를 비교해보면 출력단 확장 방식은 공통으로 사용하고 여기에 FIRO(w), DQ(α)방식을 각각 결합한 구성인데 앞에서 분석했듯이 랜덤 트래픽인 가시 FIRO(w) < DQ(α), 버스티 트래픽 인가시 FIRO(w) << DQ(α)의 성능 우열 관계를 보이므로 결합 구성 역시 동일한 우열 관계를 보임을 확인할 수 있다.

FIRO(w) + OE(r) < DQ(α) + OE(r): 랜덤 트래픽
 FIRO(w) + OE(r) << DQ(α) + OE(r): 버스티 트래픽

표 3에 비교인자인 입력 버퍼 구조, 스위칭 패브릭의 크로스 포인트수 그리고 중재 시간은 구현의 복잡도와 비용을 의미하며 표 4, 5는 이 비용 인자(이는 성능 향상 인자이기도 함)에 대한 최대 수율을 의미한다. 따라서, 이 두 관계를 이용하여 낮은 비용과 구현의 용이성을 유지하면서 원하는 수율을 얻을 수 있는 구현, 비용과 성능 간의 타협 설계가 가능함을 알 수 있다.

IV. 결 론

본 논문에서는 입력 버퍼링 스위치의 최대 수율 향상 방안으로서 제안되어진 다양한 성능 향상 방식들(원도우 방식, 목적지별 큐잉 방식, 윈도우 기반 입력단 확장 방식, 목적지별 큐잉 기반 입력단 확장 방식, 출력단 확장 방식, 스피드업 방식 등)을 입력 버퍼와 스위칭 패브릭의 구조, 성능 향상 요인, 성능 한계 요인, 결합 중재 방식 그리고 최대 수율의 측면에서 비교 분석하였다. 특히 랜덤 트래픽과 버스티 트래픽 환경에서 다음과 같은 각 방식들의 성능 우열 관계를 도출하였다.

랜덤 트래픽: FIFO < FIRO(w) \approx DQ(m) < IE(s=w) \approx DQ(α) < OE(r) < SU(v)
 버스티 트래픽: FIFO < FIRO(w) < IE(s=w) << DQ(m) < DQ(α) << OE(r) < SU(v)

또한 결합 구조로서 목적지별 큐잉 기반 입출력단 확장 구조를 제시하였고 [7]의 윈도우 방식과 출력단 확

장 방식의 결합 구조와 성능을 비교하여 다음과 같은 성능 우열 관계를 도출하였다.

랜덤 트래픽: FIRO(w) + OE(r) < DQ(α) + OE(r)
 버스티 트래픽: FIRO(w) + OE(r) << DQ(α) + OE(r)

결합 구조로 제안된 목적지별 큐잉 기반 입출력단 확장 구조의 경우 출력단 그룹수를 2로 하고 출력단 확장을 2로 하는 경우 랜덤 트래픽과 버스티 트래픽 환경하에서 100%의 수율을 보여 적은 비용으로 출력 버퍼링의 성능을 얻을 수 있음을 확인하였다.

참 고 문 헌

1. M. G. Hluchyj and M. J. Karol, "Queueing in High-performance Packet Switching," IEEE JSAC, vol. 6., no.9, pp.1587-1597, Dec. 1988.
2. Y. Oie, M. Murata, K. Kubota and H. Miyahara, "Effect of Speedup in Nonblocking Packet Switch," ICC'89, pp.410-414, June 1989.
3. S. C. Liew and K. W. Lu, "Comparison of Buffering Strategies for Asymmetric Packet Switch Modules," IEEE JSAC, vol.9, no.3, pp.428-438, April 1991.
4. S. C. Liew, "Performance of Various Input-buffered and output-buffered ATM Switch Design Principles under Bursty Traffic: Simulation Study," IEEE Tr. On Commun., vol.42, no.2/3/4, pp. 1371-1379, April 1994.
5. San-qi Li, "Performance of Trunk Grouping in Packet Switch Design," INFOCOM91, pp.688-692, 1991.
6. M. Chen, N. D. Georganas and W. W. Yang, "A Fast Algorithm for Multi-Channel/Port Traffic Assignment," ICC94, pp.96-100, 1994.
7. J. S. Choi and C. K. Un, "Performance Study of an Input and Output queueing ATM switch with a Window scheme and a speed constraint," Telecommunication Systems, vol.6, pp.289-300, 1996.
8. Koliass and L. Kleinrock, "The Odd-Even Input-Queueing ATM switch: Performance Evaluation,"

- ICC96, pp.1674-1679, 1996.
9. K. L. Yeung and S. Hai, "Throughput Analysis for Input-Buffered ATM Switches with Multiple FIFO queues per Input Port," IEE Electronics Letters, vol.33, no.19, pp.1604-1606. 1997.
10. N. McKeown, "Achieving 100% Throughput in an Input-Queued Switch," INFOCOM'96, pp. 296-302, 1996.
11. J. W. Son, H. T. Lee, Y. Y. Oh, J. Y. Lee and S. B. Lee, "Performance of an Input-Buffered ATM Switch with Even/Odd Switching Fabric", IEE Electronics Letters, vol.33, no.14, pp.1192-1193, July 1997.
12. Fujihashi and H. Hikita, "Speed-up of Input-Buffered Asynchronous Transfer Mode Switch by Introducing of Parallel Read-Out Structure," IEEE GLOBECOM96, pp.819-824, 1996.



손 장 우(Jangwoo Son) 준회원
1992년 2월:연세대학교 전자 공
학과 학사
1994년 8월:연세대학교 대학원
전자 공학과 석사
1994년 9월~현재:연세 대학교
대학원 전자 공학과
박사 과정

※주관심분야:ATM스위치 구조 설계, 큐잉 이론

이 현 태(Hyentae Lee) 정회원
한국통신학회 논문지 제21권 제 11호
현재:목원 대학교 정보 통신 공학과 전임 강사

이 준 호(Junho Lee) 정회원
1988년:연세대학교 전자공학과 학사
1990년:연세대학교 전자공학과 석사
1996년:연세대학교 전자 공학과 박사
1998년 3월~현재:서울산업대학교 전자 공학과 전임
강사
※주관심분야:WDM 네트워크, ATM 스위칭 시스템

이 재 용(Jaiyong Lee) 정회원
한국통신학회 논문지 제24권 제 12호
현재:연세 대학교 기계 전자 공학부 교수

이 상 배(Sangbae Lee) 정회원
한국통신학회 논문지 제24권 제 12호
현재:연대 대학교 기계 전자 공학부 교수