

파형 분석을 통한 대신호 전력증폭기의 설계

正會員 이 승 준*, 김 병 성**, 남 상 욱*

The design of large-signal power amplifier using waveform analysis

Seung-June Yi*, Byung-Sung Kim**, Sangwook Nam* *Regular Members*

요 약

본 논문에서는 출력측의 전류 및 전압 파형 분석을 통한 대신호 전력증폭기의 새로운 설계 방법을 제시하였다. 기존의 고효율 이론인 하모닉 로딩 이론을 좀더 실제 소자에 적합하도록 수정하여 적용하였으며, 전력증폭기의 대신호 동작시 발생하는 바이어스점의 변화를 고려하여 '대신호 입력시의 실제적인 바이어스점'의 개념을 제시하였다. 제시된 이론을 바탕으로 HEMT 소자를 사용하여 2GHz대의 전력증폭기를 제작하였으며, 제작된 증폭기는 2V의 바이어스 전압에 대해 14 dBm의 출력과 46%의 드레인 효율, 38%의 전력부가효율 및 7.8dB의 전력이득의 특성을 나타냈다.

ABSTRACT

In this paper, a new method is proposed for a simple and accurate design of large-signal power amplifier using the output current- and voltage- waveform analysis. An existing high-efficiency theory, Harmonic Loading, is modified to apply to a real device, and the notion of "actual bias point at large-signal input" is proposed. Based on the proposed theory, 2GHz band power amplifier is implemented using HEMT device, and the implemented amplifier shows 14dBm output power, 46% drain efficiency, 38% power-added efficiency and 7.8dB gain at 2V bias voltage.

I. 서 론

이동통신 서비스가 널리 보급됨에 따라 단말기 내의 축전지를 효율적으로 사용하고자 하는 노력이 증대되고 있다. 전력증폭기는 단말기에서 기지국으로

의 신호를 전송하는데 필요한 전력을 공급하는 부품으로서, 단말기 내의 전력 소모 중 가장 큰 비중을 차지하고 있다. 따라서, 전력증폭기의 전력 효율을 높이는 것은 축전지의 수명을 늘리는 것과 직결되며, 이것은 결국 단말기의 수명을 늘린다고 할 수 있으므로 전력증폭기의 고효율 동작은 필수적이라고 하겠다.

높은 효율을 얻기 위한 방법 중 대표적인 것으로는 트랜지스터 내에서 소모되는 전력을 줄이는 방법과 부하 회로를 조정하여 고조파 출력을 줄이는 두가지

*서울대학교 전기공학부

**성균관대학교 전기전자컴퓨터공학과

論文番號: 96271-0827

接受日字: 1996年 8月 27日

방법이 있다. 트랜지스터 내의 소모되는 전력을 줄이기 위해서는 B급 또는 C급과 같이 DC 바이어스점을 낮추어야 하는데 이 경우 고조파 출력이 반드시 수반되므로, 고효율을 얻기 위한 두가지 방법은 서로 독립적인 것이 아니라 동시에 고려되어야 한다. 현재까지 연구된 방법 중 가장 높은 효율을 얻는 방법은 B급의 바이어스에 대해 하모닉 부하를 사용하는 방법으로 알려져 있는데, 이들은 F급 증폭기로도 불리우며, 이상적인 소자의 경우 최대 100%의 드레인 효율을 얻을 수 있음이 증명되었다^[11]. 이와 같은 높은 전력효율로 인해 많은 단말기에 하모닉 부하 B급 증폭기를 사용하고 있으며, 실제로도 높은 전력효율을 얻고 있다^{[12][13][14]}. 그러나, 지금까지의 많은 하모닉 부하 B급 증폭기들은 이상적인 소자에 대한 하모닉 로딩 이론을 수정없이 실제 소자에 적용시켰기에 이상적인 100%의 효율에 비해서는 많이 감소된 효율을 나타내고 있으며, 이러한 효율 감소의 원인에 대해서도 아직까지 뚜렷하게 설명된 바가 없다. 따라서, 본 논문에서는 이상적인 소자의 경우에 대해 제시된 하모닉 로딩 이론을 실제 소자에 적합하도록 수정하여, 명확하지 않은 드레인 포화 전압 V_{sat} 의 결정, 드레인 전압에 따라 변하는 $I_{ds}-V_{gs}$ 곡선의 선택, 트랜지스터 출력단의 기생성분을 고려한 출력 정합 회로 설계 방법 등을 제시하였다. 또한 실제 증폭기 제작시 발생하는 효율 감소의 원인이 트랜지스터 출력 저항인 R_{ds} 에 의한 것임을 증명하였으며, 이를 바탕으로 출력 특성의 정확한 예측 방법에 대해 설명하였다.

전력증폭기 설계시 고려해야할 주요 사항으로는 전력 효율 외에도 출력전력 및 대신호 전력 이득을 들 수 있다. 이들은 서로 연관된 값으로서, 주로 중심 주파수에서의 부하값에 의해 영향을 받는데, 전력증폭기는 대신호 동작으로 인해 비선형성이 심하게 나타나므로 최적 부하값을 찾아내는 것은 매우 어려운 일이라 할 수 있다. 따라서, 이러한 최적 부하를 찾기 위해 많은 노력이 기울여져 왔는데, 대표적인 것으로는 대신호 모델을 이용하는 방법과 로드풀 방법을 들 수 있다. 대신호 모델을 이용하는 방법이란 트랜지스터의 소신호 산란계수를 바이어스를 바꿔가면서 측정하고, 이렇게 측정된 소신호 산란계수로부터 Curtice cubic 등의 대신호 모델을 만든 후, 이를 CAD 상에서 모의 실험을 통해 최적 부하를 결정하는 방법이다.

이 방법은 일단 모델이 잘 만들어져 있으면 그 후에는 이를 이용하여 CAD 상에서 모의 실험을 하면 되므로 여러 가지 동작 조건에 대해 결과를 쉽게 예측할 수 있다는 장점이 있긴 하지만, 이러한 대신호 모델을 만들기 위해 수많은 측정이 필요하고 또 이렇게 만들어진 대신호 모델은 일반적으로 실제와 잘 맞지 않는다는 단점이 있다. 또다른 방법인 로드풀 방법은 튜너를 사용하여 스미스 도표 상의 모든 부하값에 대해 출력전력을 측정한 후 최대 출력을 얻는 부하값을 찾아내는 방법으로서, 대신호 모델을 이용하는 방법에 비해 비교적 정확한 결과를 얻는 것으로 알려져 있다^{[7][8][9]}. 그러나, 로드풀 측정을 위해서는 튜너를 비롯한 많은 장비가 필요하고, 이들을 셋업한 후 많은 보정과 측정을 해야하며, 만약 동작 조건이 바뀔 경우 같은 과정을 처음부터 다시 해야 한다는 단점이 있다. 뿐만 아니라, 보통 기본주파수에 대해서만 로드풀 측정을 하기 때문에 고조파 성분에 대한 부하값을 고려할 수 없다는 단점도 있다. 물론 고조파 성분을 고려하기 위해 하모닉 로드풀이란 방법을 써서 기본주파수 외에도 각 고조파 성분까지 로드풀 측정을 시도하고 있긴 하지만^[15], 이 경우 더 많은 장비와 더 많은 보정 및 측정이 필요하기 때문에 들이는 노력과 시간에 비해 얻는 이득은 작아 많이 사용되지는 않는다. 이러한 두 방법 모두 많은 노력과 시간이 요구되기 때문에, 간단한 측정으로 최적 부하를 구할 수 있는 방법이 Cripps에 의해 제시되었는데^[11], 이 방법은 DC I-V 곡선으로부터 출력측에 나타날 수 있는 최대 전류 및 전압 파형을 구한 후 전압 진폭 대 전류 진폭의 비로부터 최적 부하를 결정하는 방법이다. 이 방법은 DC I-V 곡선만 있으면 대략적인 최적 부하값을 결정할 수 있기 때문에 기존의 두 방법에 비해 매우 간단하고 그 결과도 비교적 정확하지만, 처음 Cripps에 의해 제시되었을 때는 A급 증폭기에 대해 적용되었기 때문에, 이를 하모닉 부하 B급 증폭기에 적용시키기 위해서는 원래의 Cripps 이론에서 많은 수정이 필요하게 된다. 본 논문에서는 빠른 전력증폭기 설계를 위해 Cripps 방법을 사용하였는데, 이를 하모닉 부하 B급 증폭기에 맞도록 수정하였고 또한 실제 소자에 맞도록 수정하여 적용시켰다. 즉, 출력 전류 파형은 실제의 $I_{ds}-V_{gs}$ 곡선을 근사한 식에 게이트 전압을 인가하여 구하고, 출력 전압 파형은 하모닉 부하 사

용시 구형파가 나타난다는 성질을 이용하여 구한 후, 이들을 푸리에 변환하여 기본주파수 성분을 얻고 이들의 비로써 최적 부하값을 결정하였다.

일반적으로 전력증폭기 설계 방법은, 원하는 출력을 얻을 수 있는 출력 정합 회로를 설계한 후 이에 대해 입력 손실이 없도록 입력 정합 회로를 설계하는 방법을 사용한다^{[12][13]}. 즉, 출력측에서는 전력 정합을 하고 입력측에서는 이득 정합을 하므로 대신호 전력 이득은 주로 입력 정합 회로에 의해 결정되는데, 증폭기를 대신호로 동작시킬 경우 트랜지스터의 산란계수가 소신호 산란계수와 많이 달라지므로 대신호 입력 시에는 많은 입력 손실이 생기게 된다. 출력측의 최적 부하를 구하는 두가지 방법인 로드풀 방법과 대신호 모델을 이용하는 방법은 입력측의 최적 부하를 구하는 데에도 사용되지만, 본 논문에서는 출력측의 파형 분석을 통해 '대신호에서의 실제적인 바이어스점'을 구하여 이 점에서의 소신호 산란계수로부터 입력 정합을 시키는 방법을 사용하였다. 이 방법은 대신호 입력시에 바이어스점이 변하는 것을 고려하여 입력 정합을 하는 방법으로서, 이로부터 대신호 산란계수와 소신호 산란계수의 차이점을 설명할 수 있다. 실제 제작 후 측정 결과를 통해 볼 때, 전력 이득은 최대 출력점 근처에서 가장 크게 나타나는 것을 볼 수 있었으며, 여기서 이 방법의 타당성을 찾을 수 있다고 하겠다.

II. 이상적인 소자에서의 하모닉 로딩 이론^{[1][14]}

이상적인 경우 트랜지스터의 $I_{ds}-V_{gs}$, $I_{ds}-V_{ds}$ 곡선은 그림 1과 같이 나타난다. 그림 1에서 V_P 는 게이트의 편치오프 전압이고, I_{max} 는 트랜지스터에 흐르는 최대 전류로서 $V_{gs}=0$ 일 때의 전류이며, V_{sat} 는 트랜지스터가 포화되기 시작하는 드레인 전압이다. 그림 1 (a)에서 I_{ds} 와 V_{gs} 의 관계는 식(1)와 같이 나타낼 수 있다.

$$I_{ds} = -\frac{I_{max}}{V_P} (V_{gs} - V_P) \quad (1)$$

전력증폭기를 B급으로 동작시키기 위해서는 게이트 바이어스 전압을 $V_{gs} = V_P$ 로 가해야 하고, 이 때 출력을 최대로 얻기 위해 입력을 최대로 인가한다면, 게이트 전압 파형은 식(2)으로 나타낼 수 있다.

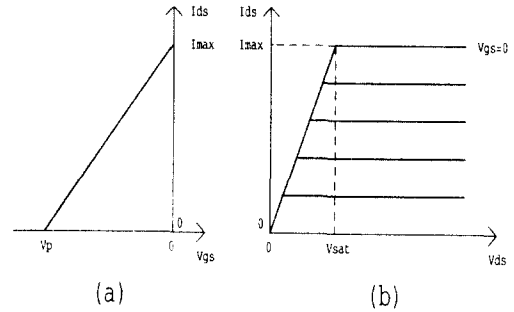


그림 1. 이상적인 트랜지스터의 특성곡선.

(a) $I_{ds}-V_{gs}$ (b) $I_{ds}-V_{ds}$

Fig. 1 Ideal transistor characteristics.

(a) $I_{ds}-V_{gs}$ (b) $I_{ds}-V_{ds}$

$$V_{gs} = V_P (1 - \sin \omega_0 t) \quad (2)$$

식(1)과 식(2)로부터 드레인 전류 파형은 식(3)과 같이 나타난다.

$$I_{ds} = \begin{cases} I_{max} \sin \omega_0 t, & \text{for } 0 \leq t \leq T/2 \\ 0, & \text{for } 0 \leq t \leq T \end{cases} \quad (3)$$

즉, B급 증폭기에서 드레인 전류는 반파정류된 사인 파형으로 나타나게 된다. 식(3)의 드레인 전류 파형에 대한 푸리에 급수를 구해보면 표 1을 얻을 수 있다.

표 1. 전류 파형의 푸리에 계수.

Table 1. Fourier coefficients of current waveform.

$I_{ds}[0]$	$I_{ds}[1]$	$I_{ds}[2]$	$I_{ds}[n_{odd} \neq 1]$	$I_{ds}[n_{even} \neq 2]$
$\frac{I_{max}}{\pi}$	$\frac{I_{max}}{4j}$	$-\frac{I_{max}}{3\pi}$	0	$\frac{I_{max}}{\pi(1-n^2)}$

표 1에서 $I_{ds}[0]$ 은 DC 전류 성분이고, $I_{ds}[1]$ 은 기본 주파수의 전류 성분, $I_{ds}[n]$ 은 n차 고조파의 전류 성분이다. 한가지 살펴볼 것은, $I_{ds}[0]$ 은 RF 신호를 입력시켰을 때 나타나는 DC 전류 성분이라는 것이다. 즉, B급 증폭기에서는 게이트 바이어스 전압을 $V_{gs} = V_P$ 로 가하므로 RF 신호가 인가되지 않을 때에는 드레인 쪽에 흐르는 DC 전류가 없지만, RF 신호가 입력되면 이에 의해 실제적인 바이어스점은 $I_{ds}[0]$ 으로 옮겨가는 것이다. 이 사실은 대신호 산란계수와 소신호 산란계수와 차이점을 설명하는 것으로서, 정합 회로 설계시에 충분히 고려되어야 할 사항이다. 실제로 대

신호와 소신호에서의 바이어스점이 거의 변화가 없는 A급 증폭기와 같은 경우에는 산란계수 역시 거의 변화가 없음을 볼 수 있고, 파형의 왜곡이 생기는 B급 증폭기의 경우에는 산란계수가 많은 차이를 나타내게 된다.

최대 출력을 얻는 최적 부하를 구하기 위해서는 먼저 주어진 전류 성분에 대해 기본주파수에서 최대로 걸릴 수 있는 전압을 구해야 한다. 최대 전압을 알아낸다면, 이를 표 1의 기본주파수 전류 성분 $I_{ds}[1]$ 로 나눈 값이 최적 부하가 되기 때문이다. 하모닉 부하를 사용한다면 출수고조파에 대해서는 개방 회로로 보이므로, 드레인 전압 파형에는 기본주파수 성분 외에 출수고조파 성분도 존재하게 되고, 이에 의해 최대 드레인 전압 파형은 그림 2와 같은 구형파로 나타난다. 이 경우 RF 부하선은 "L"자 형태로 나타나는데, 이는 곧 트랜지스터가 이상적인 스위치로 동작함을 의미한다. 즉, 전류가 존재하는 반주기 동안에는 전압은 최소값인 V_{sat} 를 유지하고, 전류가 흐르지 않는 반주기 동안에는 전압을 최대값 $2V_{dd}-V_{sat}$ 로 유지하여 트랜지스터 내에서 소모되는 전력을 최소로 하는 것이다. 이러한 구형파의 전압 파형에 대해 푸리에 계수를 구하면 표 2를 얻는다.

표 2. 전압 파형의 푸리에 계수.

Table 2. Fourier coefficients of voltage waveform.

$V_{ds}[0]$	$V_{ds}[1]$	$V_{ds}[2]$	$V_{ds}[n_{odd} \neq 1]$	$V_{ds}[n_{even} \neq 2]$
V_{dd}	$\frac{2(V_{dd}-V_{sat})}{\pi j}$	0	$\frac{2(V_{dd}-V_{sat})}{n\pi j}$	0

표 1과 표 2로부터 최적 부하, DC 입력전력, 기본주파수 출력전력 및 드레인 효율을 구할 수 있으며 이는 각각 식(4), 식(5), 식(6) 및 식(7)로 나타난다. 식(7)을 볼 때, V_{dd} 가 V_{sat} 에 비해 매우 큰 경우에는 이론적으로 드레인 효율은 100%가 됨을 알 수 있고, 실제로 하모닉 부하를 사용하여 전력증폭기를 제작할 경우 매우 높은 효율을 얻고 있다.

$$Z_{opt} = \frac{V_{ds}[1]}{I_{ds}[1]} = \frac{8}{\pi} \frac{V_{dd}-V_{sat}}{I_{max}} \quad (4)$$

$$P_{dc} = V_{ds}[0] I_{ds}[0] = \frac{1}{\pi} V_{dd} I_{max} \quad (5)$$

$$P_{out}[1] = 2 V_{ds}[1] I_{ds}^* [1] = \frac{1}{\pi} (V_{dd}-V_{sat}) I_{max} \quad (6)$$

$$\eta_D = \frac{P_{out}}{P_{dc}} = \frac{V_{dd}-V_{sat}}{V_{dd}} \quad (7)$$

III. 하모닉 로딩 이론의 실제 적용

II장에서 분석한 하모닉 로딩 이론은 이상적인 트랜지스터에 대해 분석한 것이다. 그런데, 이상적인 소자와 실제 소자는 많은 차이점이 있고 특히 저전류, 저전압 소자에서는 그 영향이 심각하므로, 이를 실제 회로에 적용시키기 위해서는 다음과 같은 사항이 고려되어야 한다.

3.1 내부 장벽 전압 V_ϕ 의 영향^[15]

대부분의 트랜지스터 데이터 시트에는 $I_{dss}(V_{gs}=0)$ 에서의 드레인 전류를 나타내고 있고, 이를 I_{max} 로 사용하는 경우가 많다. 그러나, 실제로 게이트 접합은 쇼트키 접합으로서 게이트-소스 사이의 쇼트키 다이오드의 내부 장벽 전압 V_ϕ 를 넘기 전에는 채널이 완전히 열리지 않는다. 즉, 게이트-소스 사이에는 순방향 전압 V_ϕ 까지 걸릴 수 있고, 이 때의 드레인 전류를 I_{max} 로 선택해야 한다. 이 경우 게이트 쪽의 최대 전압 파형은 식(2) 대신 식(8)이 된다.

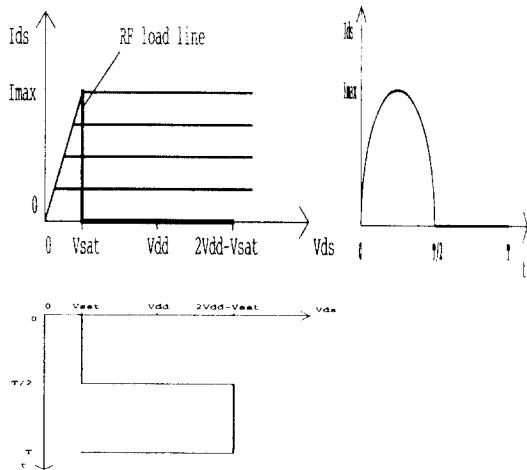


그림 2. Harmonic load에서의 최대 드레인 전압 및 전류 파형.

Fig. 2 Maximum drain voltage & current waveform with harmonic load.

$$V_{gs} = V_p + (V_\phi - V_p) \sin \omega_0 t \quad (8)$$

보통 V_ϕ 의 값은 0.4~0.6V 정도로 나타나는데, 본 논문에서는 I_{gs} - V_{gs} 곡선으로부터 게이트-소스 사이가 턴-온되지 않는 최대의 전압을 구하여 이를 V_ϕ 로 결정하였다.

3.2 V_{sat} , I_{max} 의 결정

이상적인 소자의 경우 트랜지스터의 출력 저항을 무한대로 가정하므로 $V_{ds} > V_{sat}$ 인 범위에서는 전류값이 일정한데, 실제 소자에서는 유한한 출력 저항을 가지므로 $V_{ds} > V_{sat}$ 범위에서 전류는 V_{ds} 에 따라 조금씩 증가하게 된다. 즉, I_{ds} - V_{ds} 곡선은 V_{ds} , V_{gs} 모두에 따라 달라지므로, I_{max} 를 구할 때에는 $V_{ds} = V_{sat}$, $V_{gs} = V_\phi$ 의 전압 하에서 흐르는 드레인 전류로 구해야 한다. 그런데, 실제 트랜지스터의 I_{ds} - V_{ds} 곡선을 보면 비포화 영역으로부터 포화 영역으로 넘어가는 지점이 부드러운 곡선으로 이루어지므로 정확한 V_{sat} 를 결정하기가 힘들다. 따라서, 본 논문에서는 V_{sat} 을 결정하는 방법으로서 그림 3과 같은 방법을 제시하였다. 즉, V

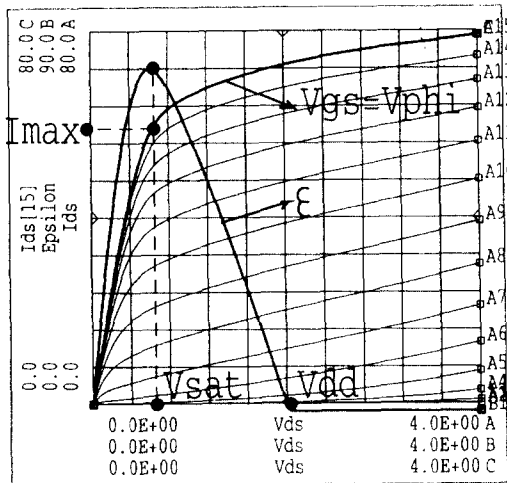


그림 3. V_{sat} , I_{max} 의 결정.
Fig. 3 Determination of V_{sat} , I_{max} .

$gs = V_\phi$ 일 때의 I_{ds} - V_{ds} 곡선에서 V 를 조정하여 $\epsilon = (V_{dd} - V)I$ 가 최대값을 가지는 V 와 I 를 찾아낸 후, 이 때의 V 를 V_{sat} , I 를 I_{max} 로 결정하는 것이다. 식(6)을 보면 기본주파수의 출력전력은 $(V_{dd} - V_{sat})I_{max}$ 에 비례하는

것을 알 수 있으므로, 이 방법은 결국 기본주파수의 출력전력이 최대가 되는 V 를 찾는 것이라고 할 수 있다.

3.3 I_{ds} - V_{gs} 곡선의 선택

이상적인 트랜지스터의 경우 I_{ds} - V_{gs} 곡선은 그림 1(a)와 같이 V_{ds} 에 대해 일정한 직선으로 나타난다. 그러나, 실제 소자의 경우에는 유한한 출력 저항으로 인해 I_{ds} - V_{gs} 곡선은 V_{ds} 에 따라 다르게 나타나고 또한 그 형태도 직선이 아닌 $V_{gs} = V_p$ 와 $V_{gs} = V_\phi$ 근처에서 g_m 이 매우 작은 그림 4와 같은 곡선으로 나타난다. 그림 4에서 $V_{\phi,c}$ 는 $V_{ds} = V_{sat}$ 에서 I_{ds} 가 최대일 때의 게이

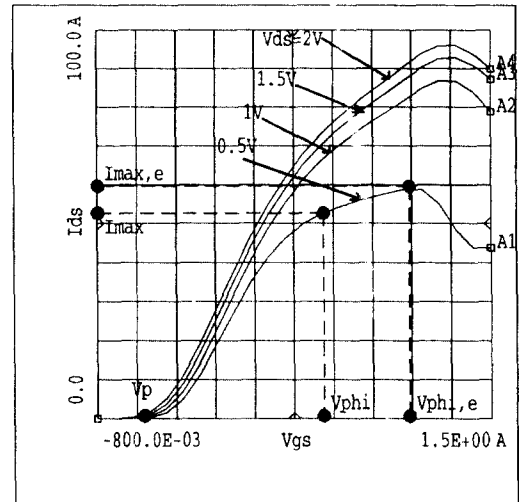


그림 4. I_{ds} - V_{gs} 곡선의 선택.
Fig. 4 Selection of I_{ds} - V_{gs} characteristics.

트 전압으로서, 게이트 전압이 이보다 커지면 게이트-드레인 사이가 턴-온 되어 트랜지스터 내의 전류원에 흐르는 전류는 게이트 쪽의 전류로부터 공급받게 되므로 드레인 전류는 감소하게 된다. $V_{gs} = V_{\phi,c}$ 일 때의 드레인 전류를 $I_{max,c}$ 라고 한다면 이 $I_{max,c}$ 는 드레인 쪽에 나타날 수 있는 최대 전류로서 I_{max} 보다 큰 값을 갖게 되는데, 게이트 전압이 V_ϕ 보다 큰 곳에서는 게이트-소스 사이가 turn-on 되어 게이트 전류가 많이 흐르게 되므로, 효율을 고려할 때는 I_{max} 를 기준으로 설계하는 것이 좋다. 이러한 I_{ds} - V_{gs} 곡선은 대신호 입력시의 드레인 전류 파형과 이에 의한 각 주파수의

전류 성분을 예측하는데 매우 중요한 역할을 하므로 정확한 곡선식을 유도해야 하는데, 이상적인 소자와 실제 소자는 많이 틀리므로 이에 대한 충분한 검토가 있어야 한다. 먼저 생각해 볼 것은 V_{ds} 에 따라 곡선이 달라지므로 어떤 곡선을 선택하느냐 하는 것이다. 이 문제는 그림 2에서 그 해답을 찾을 수 있다. 즉, 그림 2에서 볼 수 있는 바와 같이 하모닉 부하를 사용할 경우에는 전류가 흐르는 반주기 동안 전압은 최소값인 V_{sat} 를 유지하므로, $V_{ds} = V_{sat}$ 에서의 $I_{ds}-V_{gs}$ 곡선을 선택해야 한다. 다음에 생각해 볼 것은 V_{gs} 에 따라 g_m 이 변화한다는 점이다. 이상적인 트랜지스터의 경우에는 V_{gs} 에 대해 g_m 이 일정하다고 가정했는데, 실제 소자에서는 그림 4에서 볼 수 있듯이 $V_{gs} = V_p$ 와 $V_{gs} = V_\phi$ 근처에서 g_m 이 매우 작아지므로 이 가정은 더 이상 성립하지 않는다. 본 논문에서는 정확한 $I_{ds}-V_{gs}$ 곡선을 얻기 위해 I_{ds} 를 V_{gs} 의 다항식으로 전개하여 근사하는 방법을 사용하였는데, 대부분 6차 정도로 전개하면 실제의 $I_{ds}-V_{gs}$ 곡선과 거의 일치하는 곡선을 얻을 수 있었다. 이렇게 얻은 $I_{ds}-V_{gs}$ 곡선을 식(1) 대신 사용하여 II. 장과 같은 분석을 하면 좀더 정확한 Z_{opt} , P_{dc} , $P_{out}[1]$, η_D 등을 구할 수 있다.

3.4 트랜지스터 출력단의 기생성분의 영향

부하 회로를 하모닉 부하로 설계하기 위해서는 기본주파수에 대해서는 최적 부하, 짝수고조파에 대해서는 단락 회로로, 홀수고조파에 대해서는 개방 회로로 보여야 한다고 앞에서 언급한 바 있다. 그런데, 이러한 부하 조건은 트랜지스터 출력단의 전류원 다음에서 부하쪽을 바라보았을 때 나타나야 하는 것으로, 트랜지스터의 동작주파수가 높아질 경우에는 여러가지 기생성분들이 나타나므로 이 기생성분까지 고려하여 부하 회로를 설계해야 한다. 따라서, 실제적인 하모닉 로딩의 위치는 트랜지스터의 소신호 등가 모델에서 볼 때 그림 5와 같아야 한다. 즉, 트랜지스터 외부에 실제로 달아 주는 출력 정합 회로는 트랜지스터 내부의 C_{ds} , C_{gd} , C_{pd} , L_d , L_s 와 같은 기생성분들로 인해 전류원 다음에서 볼 때 그 부하값이 달라지게 되므로, 이 기생성분들을 부하 회로의 일부로 생각하고 설계해야 원하는 부하 조건을 얻을 수 있는 것이다. 이 기생성분들 중 가장 큰 영향을 주는 것은 C_{ds} 로서 실제로 C_{ds} 의 영향만을 고려하여 부하 회로를 설

계하여도 많은 성능의 향상을 가져올 수 있으나^[6], 주파수가 높아짐에 따라 다른 성분에 의한 영향도 점차 커지므로, 본 논문에서는 그림 6과 같이 모든 기생성분의 영향을 고려하여 부하 회로를 설계하였다. 그림 6에서 $Z_L[n]$ 은 실제로 트랜지스터 외부에 달아 주는 출력 정합 회로의 부하값이고, $Z[n]$ 은 $Z_L[n]$ 을 전류원 다음에서 볼 때 나타나는 부하값이다. C_d 는 C_{ds} 와 C_{gd} 를 합한 값으로, 밀러 효과를 고려할 때 $C_d = C_{ds} + (1-1/K)C_{gd}$ (K : 증폭도)가 되어야 하나 보통 $1/K$ 는 1보다 작고 또한 C_{gd} 는 C_{ds} 에 비해 작으므로 계산의 편의상 $C_d = C_{ds} + C_{gd}$ 로 계산하였다. 소스 인덕턴스 L_s 는 출력쪽에서만 밀어넣고 계산하였는데, 그 이유는 C_{pg} 와 C_{gd} 는 매우 작으므로 무시하고 생각한다 하면 R_i , C_{gs} , R_g , L_g 의 입력쪽 기생성분이 L_s 와 병렬로 연결된 것으로 볼 수 있고, 이러한 입력쪽 기생성분들은 L_s 에 비해 임피던스 값이 매우 크므로 결과적으로 L_s 의 효과만 나타나기 때문이다. 이 경우 $Z_L[n]$ 과 $Z[n]$ 의 관계는 식(9)로 나타난다.

$$Z_L[n] = \frac{1}{\frac{1}{\frac{1}{-j\omega(L_d + L_s)} + \frac{1}{-j\omega C_d}} - j\omega(L_d + L_s)} \quad (9)$$

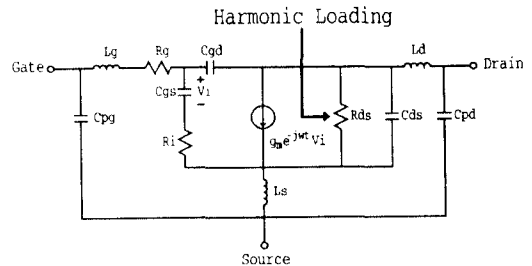


그림 5. 트랜지스터의 소신호 등가 모델.
Fig. 5 Small signal model of transistor.

이와 같이 트랜지스터의 소신호 등가 모델과 Z_{opt} 를 알면 출력 정합 회로에서 설계해야 할 부하값을 구할 수 있는데, 여기서 한가지 문제점은 그림 6의 소신호 모델은 게이트와 드레인의 전압에 따라 그 소자값이 변한다는 점이다. 따라서, 어떤 전압 하에서의 소신호 모델을 사용할 것인가가 중요하는데, 본 논문에서는 대

신호 입력시 나타나는 실제적인 바이어스점에서의 소신호 모델을 사용하였다. 즉, B급 증폭기에서는 RF 신호를 입력하면 드레인 쪽에 DC 전류인 $I_{ds}[0]$ 이 생성되므로, 이러한 바이어스점에서 소신호 모델을 구하는 것이다. 이렇게 구한 소신호 모델은 실제로 회로에 걸어주는 바이어스 전압 하에서의 소신호 모델과는 많은 차이가 있으므로 소신호 입력시에는 정합이 제대로 되지 않지만, 트랜지스터가 어느 정도 포화 영역에 들어가면 산란계수가 거의 변화가 없으므로 대신호 입력시에는 잘 맞는 모델이 된다.

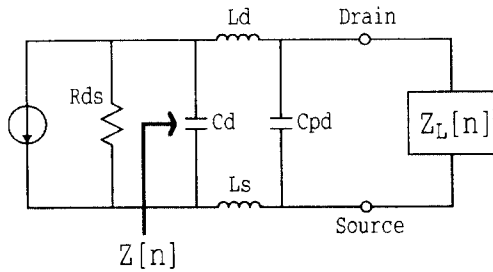


그림 6. 기생성분을 고려한 부하 회로의 설계.
Fig. 6 Design of load circuit considering parasitic components.

3.5 출력 저항 Rds의 영향

그림 7은 하모닉 부하를 달았을 때에 트랜지스터 출력단을 간단히 나타낸 것이다. DC $I_{ds}-V_{gs}$ 곡선을 측정할 경우 $Z[0]$ 은 드레인 바이어스 전압원의 내부 저항과 같으므로 실질적으로 $Z[0]=0$ 이기 때문에 R_{ds} 로 흘러 들어가는 전류가 없고 따라서 A점과 B점에서의 전류값은 같다. 그러나, RF 신호 입력시에는 $Z[1]=Z_{opt}$ 이므로 등가 전류원의 전류는 R_{ds} 와 Z_{opt} 에 배분되어 흐르게 되어 A점에 비해 B점의 전류값은 작아지게 된다. 따라서, RF 신호 입력시의 드레인 전류가 DC $I_{ds}-V_{gs}$ 곡선으로부터 예측된 드레인 전류와 같은 값을 가지기 위해서는 B점에서의 전류 파형이 DC $I_{ds}-V_{gs}$ 곡선으로부터 예측된 드레인 전류 파형과 같아야 하고, 이렇게 되기 위해서는 A점에서의 전류가 B점보다 $(R_{ds} + Z_{opt})/R_{ds}$ 만큼 더 커져야 한다. 즉, 식(8)과 같이 게이트 전압을 $V_{gs} = VP + (V_{\phi} - V_p) \sin \omega_0 t$ 로 인가할 때 $I_{ds}-V_{gs}$ 곡선을 통해 드레인 쪽에 나타나는 전류 파형을 푸리에 전개하면 각 주파수에

대한 전류 성분을 얻을 수 있고, 이 때의 DC 성분을 $I_{ds}[0]$, 기본주파수 성분을 $I_{ds}[1]$ 이라고 한다면, 이 값은 A점에서 볼 때 생기는 값으로서, B점에서 볼 때는 DC 성분은 $I_{ds}[0]$ 그대로이지만 기본주파수 성분은 $I_{ds}[1] R_{ds}/(R_{ds} + Z_{opt})$ 로 줄어들게 된다. 다시 말해서 DC $I_{ds}-V_{gs}$ 곡선으로부터 예측된 최대 출력전력을 얻기 위해서는 B점에서의 기본주파수 성분이 $I_{ds}[1]$ 과 같은 값을 가져야 하는데, 이를 위해서는 DC 성분인, DC $I_{ds}-V_{gs}$ 곡선으로부터 예측된 $I_{ds}[0]$ 이 아닌, R_{ds} 를 고려한 $I_{ds, p}[0] = I_{ds}[0] (R_{ds} + Z_{opt})/R_{ds}$ 로 커져야 하는 것이다. 그런데, $I_{ds, p}[0]$ 과 같은 큰 DC 전류 성분이 생기기 위해서는 게이트-드레인 사이가 턴-온 되어야지만 가능한데, 이런 경우에는 게이트 전압이 V_{ϕ} 보다 큰 값이므로 게이트 전류가 매우 많이 흐르고 또한 전력 이득이 작아져서 전력 효율은 떨어지게 되므로, 보통 최대 출력전력이 나타나는 곳에서는 전력 효율이 매우 낮아지게 된다. 최대 드레인 효율점은 최대 출력점보다 조금 낮은 출력이 나오는 곳에서 나타나게 되는데, 그 이유는 일반적으로 증폭기는 1dB 압축점이 지난 후에 출력전력이 포화되므로 최대 효율점에서의 출력전력은 최대 출력전력과 거의 비슷한 값을 나타내는데 반해 입력되는 DC 전력은 최대 출력점에 비해 많이 줄어들기 때문이다. DC 입력전압은 일정하므로 DC 입력전력은 DC 입력전류에 비례하게 되는데, 게이트 쪽의 전류는 작으므로 무시하고 생각한다면 최대 드레인 효율점에서의 DC 전류는 게이트 전압이 $V_{gs} = V_p + (V_{\phi c} - p) \sin \omega_0 t$ 로 인가될 때, 즉 드레인 전류 파형의 최대값이 $I_{max, c}$ 일 때의 DC 전류 성분 $I_{ds, c}[0]$ 로 나타나며, 이 값은 최대 출력점에서의 DC 전류 성분인 $I_{ds, p}[0]$ 보다 조금 낮은 값을 나타낸다. 전력 부가 효율은 드레인 효율 외에 전력 이득까지 고려해야 하므로 정확한 예측을 하기는 어렵지만, 보통 최대 전력 부가 효율점은 최대 드레인 효율점 근처에 존재하고 그 값은 전력 이득의 영향으로 드레인 효율보다 조금 낮은 값을 나타내게 된다. 이와 같은 R_{ds} 에 의한 영향은 저전류 소자에서 특히 두드러지게 나타나는데, 그 이유는 대전류 소자에서의 Z_{opt} 값은 매우 작은 값을 갖고 따라서 R_{ds} 에 비해 매우 작으므로 DC 측정으로 얻은 드레인 전류 파형과 RF 상태에서의 드레인 전류 파형이 거의 일치하지만, 저전류 소자의 경우에는 Z_{opt} 값이 R_{ds} 와 비교할

때 무시할 수 없을 만큼 커져서 DC와 RF 상태에서의 전류 파형이 많이 달라지기 때문이다. 따라서, 저전류 소자에서는 R_{ds} 를 고려하여 효율을 계산해야지만 정확한 결과를 얻을 수 있고, 대전류 소자에서도 어느 정도의 오차를 보상할 수 있다.

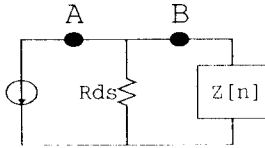


그림 7. 출력 저항 R_{ds} 의 영향.
Fig. 7 The effects of output resistance R_{ds} .

3.6 입력 정합 회로의 설계

대부분의 전력증폭기에서 입력 정합 회로의 설계 방법은, 먼저 원하는 출력을 얻도록 출력 정합 회로를 설계한 후 이때의 Γ_{in} 을 구하고 이에 대해 $\Gamma_S = \Gamma_{in}^*$ 가 되도록 하는 방법을 사용한다. 즉, 반사를 최소화하기 위해 입력측에서는 공역 정합을 하는 것이다. 그런데, 출력 정합 회로를 설계하면 Γ_L 은 고정되므로 Γ_S 는 트랜지스터 산란계수들의 함수가 되는데, 이 산란계수들은 바이어스에 따라 값이 변하므로 바이어스점을 고려하여 입력 정합 회로를 설계해야 한다. 본 논문에서는 3.4에서 언급한 바와 같이 대신호 입력시의 실제적인 바이어스점에서의 산란계수를 이용하여 입력 정합 회로를 설계하였으며, 측정 결과를 볼 때 대신호 입력시에 정합이 잘 이루어짐을 볼 수 있었다.

입력 정합 회로에서 현재 많이 연구되고 있는 사항으로는 입력측 하모닉 로딩을 들 수 있다¹¹⁾¹²⁾¹³⁾. 출력측에 하모닉 로딩을 하게 되면 짝수 및 홀수 고조파 성분은 부하회로에 의해 반사되어 다시 트랜지스터 안으로 들어오게 되는데, 실제 트랜지스터는 완전히 unilateral하지는 않으므로 이 고조파 성분들이 입력단에 나타나게 되어 입력 신호의 왜곡을 가져오게 된다. 따라서, 출력단보다는 영향이 작지만, 입력측에서도 하모닉 로딩을 하게 되면 좀더 이론치에 근접한 결과를 얻을 수 있다. 보통 3차 이상의 고조파에 대해서는 별로 영향이 없는 것으로 나타났으므로, 본 논문에서는 기본주파수에 대해서는 최적 부하, 2차 고

조파에 대해서는 단락 회로로 입력 정합 회로를 설계하였다.

IV. 전력증폭기의 설계 및 제작

이상의 이론을 바탕으로 중심주파수가 2GHz인 대신호 전력증폭기를 실제로 제작하여 이론치와 그 결과치를 비교하였다. 실제 제작에 사용된 소자는 Fujitsu사의 FHX35LG로서 패키지 타입의 HEMT 소자이며, 실제 구현에 있어서는 비유전율이 2.6이고 두께가 0.6mm인 테프론 기판상에 마이크로 스트립 형태로 구현하였다. 설계 절차는 먼저 드레인 바이어스 전압 V_{dd} 를 결정한 후, 게이트-소스 턴-온 전압 V_ϕ 를 $I_{gs}-V_{gs}$ 곡선으로부터 구하고, 드레인 포화 전압 V_{sat} 와 최대 드레인 전류 I_{max} 및 게이트 바이어스 전압 V_{gg} 를 $I_{ds}-V_{ds}$ 곡선으로부터 구한다. 이렇게 구한 V_{sat} 로부터 $V_{ds} = V_{sat}$ 에서의 $I_{ds}-V_{gs}$ 곡선을 측정하여 이를 6차의 다항식으로 근사시킨후, 이 근사식을 이용하여 대신호 입력시의 드레인 전류 및 전압에 대한 푸리에 해석을 하고, 이로부터 대신호 입력시의 실제적인 바이어스점 및 최적부하를 얻는다. 그 후 대신호 입력시의 실제적인 바이어스점에서의 소신호 산란계수를 측정하여 소신호 모델을 만든 후, 이를 이용하여 입출력 정합회로를 설계한다.

4.1 전력증폭기의 설계

드레인 바이어스 전압은 $V_{dd} = 2V$ 로 결정하였으며, 그림 8의 $I_{gs}-V_{gs}$ 곡선으로부터 $V_\phi = 0.5V$ 로 결정하였다. V_{sat} 와 I_{max} 는 그림 9의 $I_{ds}-V_{ds}$ 곡선에 의해 각각 0.62V, 58.61mA로 결정하였다. 게이트 바이어스 전압 V_{gg} 은 $V_{ds} = V_{dd} = 2V$ 일 때의 핀치오프 전압인 $-0.65V$ 로 결정하였다. 그림 10의 $I_{ds}-V_{gs}$ 곡선은 $V_{ds} = V_{sat} = 0.62V$ 일 때의 곡선을 사용하였으며, V_{gs} 에 대한 6차의 함수로 근사한 식을 식(10)에 나타내었다. 이 경우 $V_{\phi c} = 1.1V$, $I_{max, c} = 69.614mA$ 로 나타났으며, $V_{ds} = 0.62V$ 에서의 핀치오프 전압 V_p 는 $-0.55V$ 로 결정하였다.

$$I_{ds, fit} = 28.50 + 84.81V_{gs} - 8.978V_{gs}^2 - 125.6V_{gs}^3 + 62.35V_{gs}^4 + 88.95V_{gs}^5 - 61.47V_{gs}^6 \quad (10)$$

식(8)과 식(10)에 의해 대신호 입력시의 드레인 전류

및 전압 성분은 표 3과 같이 나타난다.

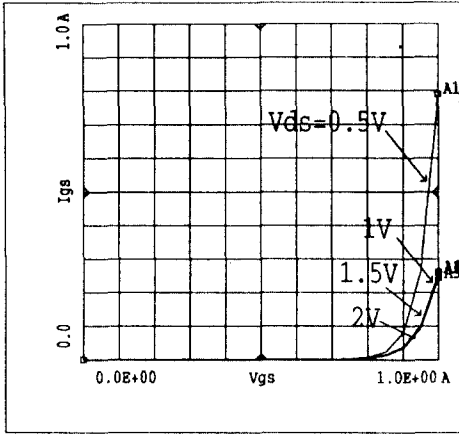


그림 8. 측정된 I_{gs} - V_{gs} 곡선.
Fig. 8 Measured I_{gs} - V_{gs} characteristics.

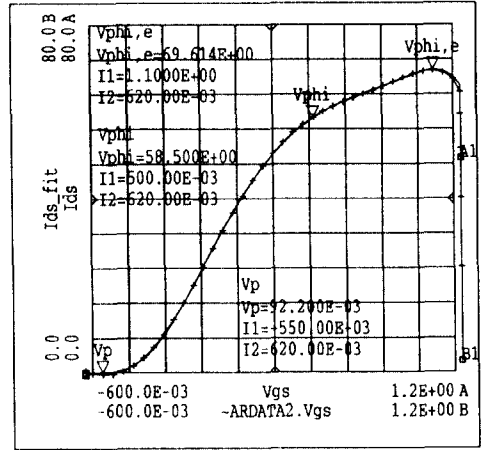


그림 10. 측정된 I_{ds} - V_{gs} 곡선.
Fig. 10 Measured I_{ds} - V_{gs} characteristics.

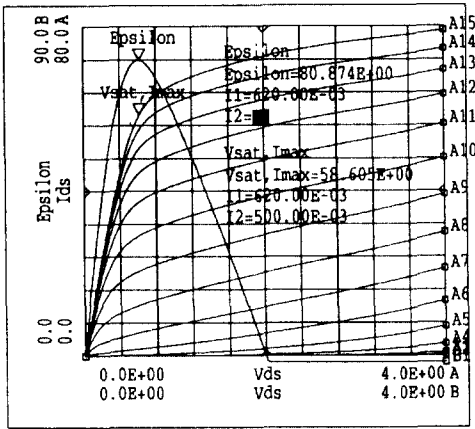


그림 9. 측정된 I_{ds} - V_{ds} 곡선.
Fig. 9 Measured I_{ds} - V_{ds} characteristics.

표 3. 실제 소자에서의 전류 및 전압 파형 푸리에 계수.
Table 3. Fourier coefficients of current & voltage waveform in real device.

$I_{ds}[0]$	$I_{ds}[1]$	$V_{ds}[0]$	$V_{ds}[1]$
19.11mA	-j14.76mA	2V	-j0.8785V

표 3으로부터 최적 부하, DC 입력전력, 기본주파수의 출력전력 및 트레인 효율을 구하면 식(11), 식(12), 식(13) 및 식(14)로 나타난다.

$$Z_{opt} = 59.51\Omega \quad (11)$$

$$P_{dc} = 15.82\text{dBm} \quad (12)$$

$$P_{out} = 14.14\text{dBm} \quad (13)$$

$$\eta_D = 67.88\% \quad (14)$$

대신호 입력시의 실제적인 바이어스점은 $V_{ds} = 2V$, $I_{ds} = 19.11\text{mA}$ 이고, 이 점에서 소신호 모델링을 해야 한다. 하모닉 로딩을 위한 출력 정합 회로의 부하값을 구하기 위해 필요한 소신호 모델의 소자값을 표 4에 나타내었다.

표 4. 소신호 모델의 소자값.
Table 4. Small-signal model parameters.

R_{ds}	L_d	L_s	C_{ds}	C_{gd}	C_{pd}
162 Ω	0.2nH	0.061nH	0.31pF	0.036pF	0.0002fF

유한한 출력저항 R_{ds} 를 고려하여 예측된 최대 출력점과 최대 효율점에서의 특성을 표 5에 나타내었다. 두 경우 모두 출력전력은 식(13)의 일정한 출력을 가정하였다.

표 5. 최대 출력점과 최대 효율점에서의 예측된 특성.

Table 5. Predicted characteristics at maximum power and maximum efficiency point.

	Max. P _{out}	Max. η _D
I _{ds} [0]	26.12mA	24.88mA
P _{dc}	17.18dBm	16.97dBm
P _{out}	14.14dBm	14.14dBm
η _D	49.64%	52.11%

표 4의 소신호 모델의 소자값과 식(9)로부터 하모닉 로딩을 위한 출력 정합 회로의 각 고조파에 대한 부하값을 구할 수 있고, 이를 표 6에 나타내었다. 이때 필요한 입력 정합 회로의 부하값도 표 6에 같이 나타내었다.

표 6. 입출력 정합 회로의 부하값.

Table 6. Load value of input & output matching circuit.

출력 정합 회로			입력 정합 회로	
Z _L [1]	Z _L [2]	Z _L [3]	Z _S [1]	Z _S [2]
55.78 + j11.15	-j6.560	j66.82	10.70 + j119.7	0

4.2 제작 및 측정 결과

실제 제작은 비유전율이 2.6이고 두께가 0.6mm인 테프론 기판을 사용하여 마이크로 스트립 형태로 구현하였다. 입출력 정합 회로는 모두 개방 스텐브를 사용하여 설계하였으며, DC 결합 커패시터를 정합

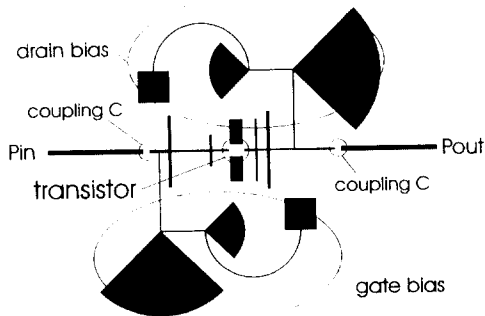


그림 11. 전력증폭기의 레이아웃.
Fig. 11 Layout of power amplifier.

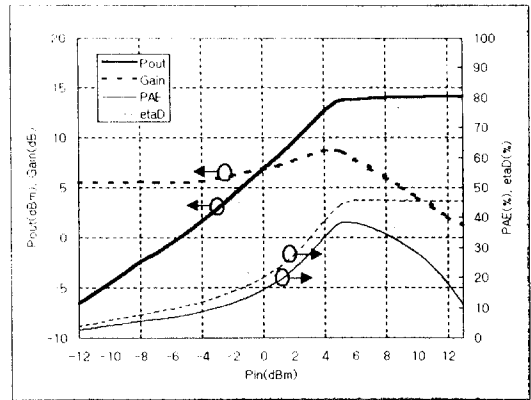


그림 12. 제작된 전력증폭기의 출력 특성.

Fig. 12 Output characteristics of designed power amplifier.

회로의 일부분으로 고려하여 설계하였다. 결합 커패시터는 3차 고조파인 6GHz 까지 안정적으로 동작할 수 있도록 0.5pF의 작은 용량의 칩 커패시터를 사용하였다. 바이어스 회로는 2, 4, 6 GHz의 모든 주파수에서 정합 회로의 값에 영향을 주지 않기 위해, 2GHz 용 λ/4 래디얼 스텐브와 4GHz용 λ/4 래디얼 스텐브를 사용하여 구현하였다. 구현된 전력증폭기의 레이아웃을 그림 11에 나타내었다. 측정된 전력증폭기의 출력 특성을 그림 12에 나타내었으며, 최대 출력과 효율점에서의 주요 특성을 표 7에 정리하였다.

표 7. 최대 출력점과 최대 효율점에서의 측정된 특성.

Table 7. Measured characteristics at maximum power and maximum efficiency point.

	Max. P _{out}	Max. η _D	Max. η _{add}
P _{dc}	17.58dBm [17.18dBm]	17.34dBm [16.97dBm]	17.24dBm
P _{out}	14.16dBm [14.14dBm]	13.96dBm [14.14dBm]	13.84dBm
G	2.16dB	6.96dB	7.84dB
η _D	45.48% [49.64%]	45.89% [52.11%]	45.67%
η _{add}	17.82%	36.65%	38.16%
2f ₀	-17.4dBm	-18.0dBm	-18.1dBm
3f ₀	-30.9dBm	-32.4dBm	-32.6dBm

([] is predicted value)

예측된 특성과 측정된 특성을 비교해보면, 최대 드레인 효율점에서 P_{dc}는 이론치에 비해 0.37dB 커졌고

P_{out} 은 이론치에 비해 0.18dB 작아진 것을 볼 수 있는데, 실제 제작시의 오차를 고려한다면 이 값들은 이론치와 거의 일치한다고 할 수 있다. 드레인 효율은 이론치에 비해 약 6% 정도 줄어 들었는데, 가장 큰 원인은 드레인 효율의 계산식이 $\eta_D = P_{out}/P_{dc}$ 이므로 P_{dc} 가 조금 커지고 P_{out} 이 조금 작아지면 결과적으로 드레인 효율은 많이 떨어지기 때문이다. 최대 전력 부가 효율점은 최대 드레인 효율점보다 0.12dB 낮은 출력에서 나타났는데, 이는 전력 이득에 의한 영향이라고 할 수 있다. 2차 및 3차 고조파는 각각 -18dBm, -32dBm 정도로 모두 -30dBc 이상의 우수한 고조파 특성을 나타내었으며, 이는 고조파 출력을 억제시키기 위한 하모닉 부하의 목적에 잘 부합한다고 할 수 있다. 전력 이득은 애초에 설계한 방향대로 소신호에서보다 대신호에서 더 커짐을 볼 수 있었고, 특히 최대 효율점 근처에서 최대의 전력 이득이 나타나, 대신호 입력시의 실제적인 바이어스점에서 입력 정합이 잘 이루어졌다고 할 수 있다.

V. 제시된 방법으로 설계된 전력증폭기와 기존 방법으로 설계된 전력증폭기의 특성 비교

두 방법으로 설계된 전력증폭기의 비교를 위해 HP사의 RF 시뮬레이터인 MDS를 이용하여 각각의 방법으로 전력증폭기를 설계한 후 Harmonic Balance 모의실험을 통해 그 출력 특성을 비교하였다. 사용된 소자는 NEC사의 MESFET인 NE900200으로서 MDS에서 제공하는 대신호 모델인 Curtice Cubic 모델을 사용하였다. 실제 제작 대신 모의 실험을 통해 두 방법을 비교한 이유는, 실제 소자는 소자마다 각각의 특성이 조금씩 다르고 또한 제작시에 제작 오차가 발생하기 때문에, 같은 대신호 모델을 이용한 모의실험이 이론적 비교를 위해서는 더 정확하다고 할 수 있다. 설계주파수는 2GHz이며, 드레인 바이어스 전압 6V, 게이트 바이어스 전압 -3.2V의 동작조건에서 모의실험한 결과를 그림 13에 나타내었다. 여기서 두 설계 방법의 차이점을 설명하자면, 기존 방법은 트랜지스터 외부에서 하모닉 로딩을 하고, 회로에 걸어주는 바이어스점에서의 소신호 모델을 이용하여 입력 정합 회로 구현한 것이고, 제시된 방법은 트랜지스터 출력단의 기생성분까지 포함하여 하모닉 로딩을 하

고, 대신호 입력시 옮겨진 바이어스점에서의 소신호 모델을 이용하여 입력 정합 회로를 구현한 것이다. 그림 13을 볼 때 두 증폭기의 특성 차이를 알 수 있는데, 제시된 방법은 기존 방법보다 소신호 입력시에는 출력전력, 효율 및 이득의 특성이 모두 나쁘지만 대신호 입력시에는 훨씬 좋은 특성을 보이고 있다. 특히 최대 전력부가효율은 제시된 방법의 경우 80%, 기존 방법의 경우 67%로 13%나 차이가 나므로, 기존 방법에 비해 매우 우수함을 알 수 있다. 표 8은 제시된 방법으로 설계된 전력증폭기의 출력 특성을 정리한 것으로 실제 제작 때와 마찬가지로 예측치와 실험치가 거의 일치함을 보이고 있다.

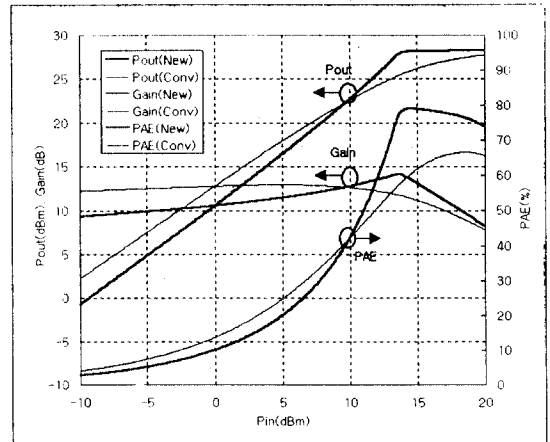


그림 13. 제시된 방법으로 설계된 전력증폭기와 기존 방법으로 설계된 전력증폭기의 특성 비교

Fig. 13 Comparison between proposed new method and conventional method

표 8. 모의 실험 결과 최대 출력점과 최대 효율점에서의 특성
Table 8. Simulation results at maximum power and maximum efficiency point

	Max. P_{out}	Max. η_D	Max. η_{add}
P_{dc}	29.67dBm [29.51dBm]	28.95dBm [28.95dBm]	28.84dBm
P_{out}	28.34dBm [27.81dBm]	27.94dBm [27.81dBm]	27.82dBm
G	8.18dB	11.94dB	13.82dB
η_D	73.57% [67.53%]	79.39% [76.81%]	78.96%
η_{add}	62.37%	74.31%	75.68%

([] is predicted value)

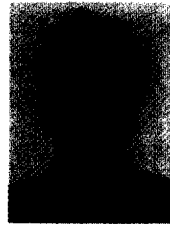
V. 결 론

본 논문에서는 기존의 고효율 전력증폭기 이론인 하모닉 로딩 이론을 좀더 실제 소자에 적합하도록 수정하여 2GHz대의 전력증폭기를 설계, 제작하였다. 실제 소자에서 쉽게 결정할 수 없는 V_{ϕ} , V_{sat} , I_{max} 등의 값들을, $I_{gs}-V_{gs}$, $I_{ds}-V_{ds}$ 곡선을 이용하여 최대 출력이 나타날 수 있는 값으로 결정하는 새로운 방법을 제시하였으며, 이때 나타나는 $I_{ds}-V_{gs}$ 곡선에 잘 들어맞도록 V_{gs} 에 대한 6차의 함수로 근사하여 사용하였다. 또한 증폭기에 대신호 입력을 가할 경우 나타나는 드레인 전류 파형에 대해 푸리에 전개를 하여 각 고조파의 전류 성분을 구하였으며, 이때 생기는 DC 전류 성분으로부터 '대신호 입력시의 실제적인 바이어스점'에 대한 개념을 제시하였다. 증폭기를 높은 주파수에서 동작시킬 때 나타나는 트랜지스터의 기생성분을 고려하기 위해 대신호 입력시의 실제적인 바이어스점에서의 소신호 모델을 구하였으며, 이상적인 하모닉 로딩이 되도록 하기 위해 부하값에 영향을 미치는 모든 기생성분들을 고려하여 출력 정합 회로의 각 고조파에 대한 부하값을 결정하였다. 출력전력 및 드레인 효율은 트랜지스터 출력 저항인 R_{ds} 를 고려하여 예측하였으며, 이렇게 예측된 값들은 측정된 값들과 거의 일치하였다. 제작된 전력증폭기는 최대 출력이 14dBm, 최대 드레인 효율이 46%, 최대 전력 부가 효율이 38%로 나타났으며, 고조파 출력은 2차 및 3차 고조파가 모두 -30dBc 이상으로 나타나 기생성분을 고려한 하모닉 로딩이 제대로 이루어졌음을 볼 수 있었다. 모의실험을 통해 기존의 방법과 제시된 방법의 결과를 비교해보면, 소신호 입력시에는 기존 방법이 더 우수하지만, 대신호 입력시에는 제시된 방법이 훨씬 우수한 특성을 보였고, 특히 최대효율은 13%나 차이가 나 제시된 이론의 우수성을 보여주었다. 결론적으로 본 논문에서 제시한 이론은 실제로 전력증폭기 제작시에 고려해야될 여러 가지 사항들에 대한 구체적인 분석으로서, 비교적 간단한 DC I-V 곡선과 소신호 산란계수의 측정으로부터 원하는 최대 출력과 고효율의 특성을 얻을 수 있는 전력증폭기를 손쉽게 설계할 수 있다는데 그 의의가 있다고 하겠다.

참 고 문 헌

1. D. M. Snider, "A theoretical Analysis and Experimental Confirmation of the Optimally Loaded and Overdriven RF Power Amplifier," *IEEE Trans. Electron Devices*, vol. 14, no. 12, pp. 851-857, Dec. 1967.
2. P. Berini, M. Desgagne, F. M. Ghannouchi and R. G. Bosisio, "An Experimental Study of the Effects of Harmonic Loading on Microwave MESFET Oscillators and Amplifiers," *IEEE Trans. MTT*, vol. 42, no. 6, pp. 943-950, June 1994.
3. J. R. Lane, R. G. Freitag, H. K. Hahn, J. E. Degenford and M. Cohn, "High-Efficiency 1-, 2-, and 4-W Class-B FET Power Amplifiers," *IEEE Trans. MTT*, vol. 34, no. 12, pp. 1318-1326, Dec. 1986.
4. M. A. Khatibzadeh and H. Q. Tserng, "Harmonic Tuning of Power FETs at X-Band," *IEEE MTT-S Digest*, pp. 989-992, 1990.
5. A. Herrera, E. Artal, E. Puechberty and D. Masliah, "High efficiency, highly compact L-Band power amplifier for DECT application," *Proc. 23rd European Microwave Conference*, pp. 155-157, 1993.
6. S. Dietsche, C. Duvaud, G. Pataut and J. Obregon, "Design of high power added efficiency FET amplifiers operating with very low drain bias voltages for use in mobile telephones at 1.7 GHz," *Proc. 23rd European Microwave Conference*, pp. 252-254, 1993.
7. J. M. Cusack, "Automatic Load Contour Mapping for Microwave Power Transistors," *IEEE Trans. MTT*, vol. 22, no. 12, pp. 1146-1152, Dec. 1974.
8. R. S. Tucker, "Computer-Aided Error Correction of Large-Signal Load-Pull Measurements," *IEEE Trans. MTT*, vol. 32, no. 3, pp. 296-300, Mar. 1984.
9. D. D. Poulin, "A High Power On-Wafer Pulsed Active Load Pull System," *IEEE MTT-S Digest*, pp. 1431-1434, 1992.

10. R. Larose, "A New Multi-Harmonic Load-Pull Method for Non Linear Device Characterization and Modeling," *IEEE MTT-S Digest*, pp. 443-446, 1990.
11. S. C. Cripps, "A Theory for the Prediction of GaAs FET Load-Pull Power Contours," *IEEE MTT-S Digest*, pp. 221-223, 1983.
12. G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice-Hall, 1984.
13. G. D. Vendelin, *Microwave Circuit Design*, Wiley, 1990.
14. L. J. Kushner, "Output Performance of Idealized Microwave Power Amplifiers," *Microwave Journal*, pp. 103-116, Oct. 1989.
15. John L. B. Walker, *High-Power GaAs FET Amplifiers*, Artech House, 1993.
16. W. S. Kopp and S. D. Pritchett, "High Efficiency Power Amplification for Microwave and Millimeter Frequencies," *IEEE MTT-S Digest*, pp. 857-858, 1989.
17. L. C. Hall and R. J. Trew, "Maximum Efficiency Tuning of Microwave Amplifiers," *IEEE MTT-S Digest*, pp. 123-126, 1991.
18. M. Maeda, H. Takehara, M. Nakamura, Y. Ota and O. Ishikawa, "A High Power and High Efficiency Amplifier With Controlled Second-harmonic Source Impedance," *IEEE MTT-S Digest*, pp. 579-582, 1995.
19. M. Maeda, H. Masato, H. Takehara, M. Nakamura, S. Morimoto, H. Fujimoto, Y. Ota and O. Ishikawa, "Source Second-Harmonic Control for High Efficiency Power Amplifiers," *IEEE Trans. MTT*, vol. 43, no. 12, pp. 2952-2958, Dec. 1995.



이 승 준(Seung-June Yi) 정회원
 1994년 2월: 서울대학교 전자공학과 학사
 1996년 8월: 서울대학교 전자공학과 석사
 1997년 2월~현재: 서울대학교 전기공학부 박사과정
 ※주관심 분야: 초고주파 회로 설계



김 병 성(Byung-Sung Kim) 정회원
 1989년 2월: 서울대학교 전자공학과 학사
 1991년 2월: 서울대학교 전자공학과 석사
 1997년 2월: 서울대학교 전자공학과 박사
 1997년 8월~현재: 성균관대학교

전기전자 컴퓨터 공학과 전임강사

※주관심 분야: 초고주파 능동 및 수동소자 모델링

남 상 욱(Sang-Wook Nam)

정회원

1981년 2월: 서울대학교 전자공학과 학사

1983년 2월: 한국과학기술원 전기전자공학과 석사

1989년: University of Texas, Austin 전기공학과 박사

1990년~현재: 서울대학교 전기공학부 교수

※주관심분야: 전자파 수치해석, 안테나 및 초고주파 회로 설계