

主 題

통신용 전원시스템의 역률보상회로

한국전기연구소, 전력전자연구부 조 정 구

차 례

- I. 서론
- II. 단상 역률보상회로의 분류
- III. 이단 역률보상회로
- IV. 단단 역률보상회로
- V. 결론

1. 서론

통신용 전원시스템은 주로 AC 전원으로부터 48VDC BUS를 만든 다음 이것으로부터 +5V, ±12V, +24V 등의 필요한 전원을 만들어 쓴다. 48VDC BUS에는 보통 배터리가 부착되어 정전시에 백업이 가능하도록 구성된다. AC 입력단 정류기로 브릿지 다이오드에 큰 커패시터 필터를 붙인 단순한 정류기(그림 1)는 회로가 간단하고 원가가 낮아서 현재 가장 많이 이용되고 있다. 그러나, 그림 1에서 알 수 있는 바와 같이 입력측에 펄스성 전류가 흘러서 입력역률이 낮고 고조파가 많은 단점을 갖는다. 역률이 낮으면 전원선의 효율이 나빠지고, 고조파가 많으면 주변의 전자장치나 기기들에 악영향을 주어서 오동작을 일으키게 한다. 산업의 발달로 모든 것이 전자화, 정보화 되어 감에 따라 이러한 저역률이나 고조파에 대한 규제가 강하게 대두되고 있다. 이를 위한 국제표준이 IEC (International Electrotechnical Commission)에서 1982년도에 만들어졌는데, 대표적인 것이 600W 이하의 용량을 위

한 IEC555-2, 높은 용량을 위한 IEC519등이다. IEC555-2는 1995년도에 IEC1000-3-2로 개정되었다.

표 1은 IEC1000-3-2 표준 중에서 스위칭 전원장치(Class D)에 대한 고조파 제한치를 나타낸다 [1]. 단순한 다이오드 정류기의 고조파는 그림 1에서 알 수 있는 바와 같이, IEC1000-3-2의 고조파 제한 폭을 대부분 초과하고 있는 것을 볼 수 있다.

미국이나 유럽연합은 소용량의 경우 이미 IEC 표준을 채택하여 고조파 규제를 해나가고 있으며, 우리나라의 경우도 아직은 고조파 규제를 하고 있지 않지만 조만간 IEC 표준을 채택할 것으로 예상되기 때문에 고조파를 저감시키기 위한 연구와 개발이 활발하게 이루어지고 있다. 고조파를 저감시키기 위해서는 다이오드 정류기에 단순히 EMI 필터 등을 사용하는 방법과 능동소자를 이용하여 능동전류제어를 통해서 고조파를 제거하고 역률을 보상해주는 방법이 있다. EMI 필터만 사용하게 될 경우 필터 크기가 커지고 저고조파는 거의 필터링이 되지 않기 때문에 근본적인 해결책이 되지 못하고, 능동소자를 이용한 역률보상(power factor

correction: PFC)이 유일한 대안으로 인식되어지고 있다. 삼상 전원의 경우는 브릿지 정류기와 LC 필터 정도의 구성만으로도 0.9 이상의 역률이 확보되기 때문에 역률보상에 대한 필요성이 그렇게 절실하게 요구되지 않는다. 그래서, 엘리베이트와 같이 순/역방향 전력수수가 필요한 특수한 경우를 제외하면 원가상승에 대한 부담 때문에 거의 역률보상 회로를 채용하지 않고 있다.

본고에서는 단상용 PFC로 범위를 국한해서, PFC를 종류별로 분류하고 수 많은 PFC 회로 중에서 실용성이 높은 PFC 회로들을 소개한다. 또한, 용량별로 최적의 PFC 회로를 선택할 수 있도록 guide line을 제시하고자 한다.

(그림 1) 단순한 다이오드 정류기의 입력 전류파형과 고조파 성분.
(점선은 Class D 장치에 대한 IEC 1000-3-2 Limits 임)

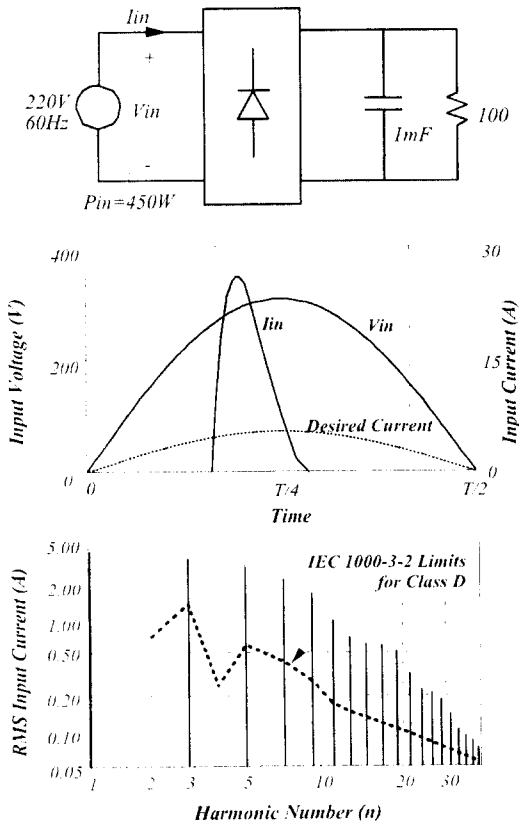


표 1 IEC1000-3-2 Limits for Class D Equipment.

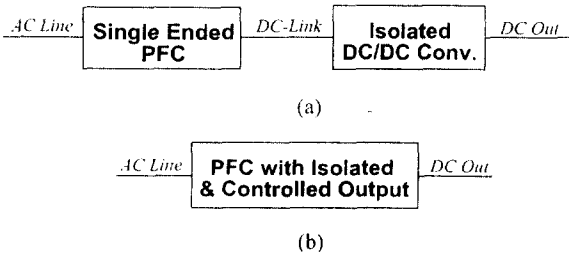
Harmonic Order (n)	Max. permissible harmonic current (mA/W)	Max. permissible harmonic current (A)
3	3.4	2.3
5	1.9	1.14
7	1.0	0.77
9	0.5	0.40
11	0.35	0.33
13 < n < 39 (odd only)	3.85/n	0.21x13/n

2. 단상 역률보상회로의 분류

단상 PFC 회로는 그림 2와 같이 크게 이단(two stage) 방식과 단단(single stage) 방식으로 분류할 수 있다. 이단 방식은 부스터 컨버터와 같은 단순한 PFC 회로를 이용하여 일정한 DC 전압을 만들고 이것을 다시 절연 트랜스를 갖는 DC/DC 컨버터를 통해서 원하는 출력전압을 얻는 방식으로 가장 많이 이용되는 방식이다. DC-link 전압에는 입력전원 주파수의 2배에 해당하는 저주파 리플이 존재하지만 출력전압에는 저주파 리플이 존재하지 않으며, 응답특성이 빠른 장점을 갖는다. 단단 방식은 하나의 전력단으로 입력 역률보상 뿐 아니라 출력전압도 제어가 가능한 구조이다. 전력단이 하나이기 때문에 원가가 낮고 효율이 높은 장점을 갖는다. 단단 방식은 크게 두 가지로 나눌 수 있는데, 하나는 입력전류를 연속모드로 제어할 수 있는 절연된 PFC 회로들이고, 다른 하나는 입력전류가 불연속모드로 제어되는 결합된(integrated) PFC 회로들이다. 절연된 PFC 회로들은 입력전류가 연속

인 대신에 출력전압에 저주파 리플이 존재하고, 응답특성이 느린 단점을 갖는다. 결합된 PFC 회로는 출력전압에 저주파 리플이 없으며, 응답특성도 빠르다. 그러나, 입력전류가 불연속이기 때문에 대용량에 적용하기 어려운 단점을 갖는다. 다음 장부터 각각의 방식에 대해서 장단점과 특징 및 효과적인 적용에 대해서 구체적으로 살펴보기로 한다.

(그림 2) 단상 역률보상회로의 분류
(a) 이단 방식, (b) 단단 방식.



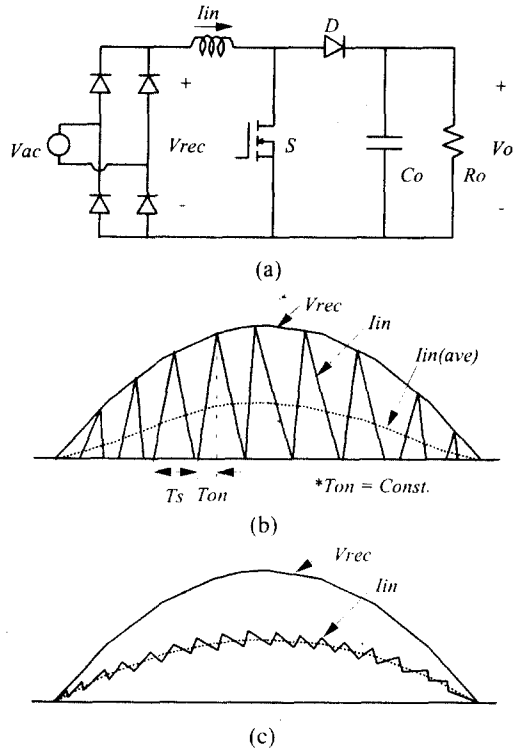
3. 이단 역률보상회로

3.1. Single Ended PFC 회로들

이단 PFC 회로는 단순한 PFC 회로와 절연 트랜스를 갖는 DC/DC 컨버터의 조합으로 구성된다. 전단의 PFC 회로부터 살펴보면 그림 3(a)와 같은 부스터(boost) 컨버터가 주로 이용된다. 부스터 컨버터 외에 벡(buck) 컨버터나 벡-부스터(buck-boost) 컨버터 등으로도 구현이 가능하지만 거의 사용이 되지 않는다. 부스터 PFC 회로는 제어방식에 따라서 크게 두 가지로 나누는데, 하나는 그림 3(b)와 같이 입력전류를 불연속 전류모드(discontinuous conduction mode: DCM)로 제어하는 방식으로 입력전류나 전압을 센싱할 필요 없이 일정 시비율(duty ratio)로 주소자를 스위칭하면 입력전류의 피크 값이 입력전압을 따라가게 되어 입력전류의 평균 값이 저절로 정현파가 되기 때문에 제어가 매우 간단한 장점이 있다. 그러나, 전류리플이 크고 필터

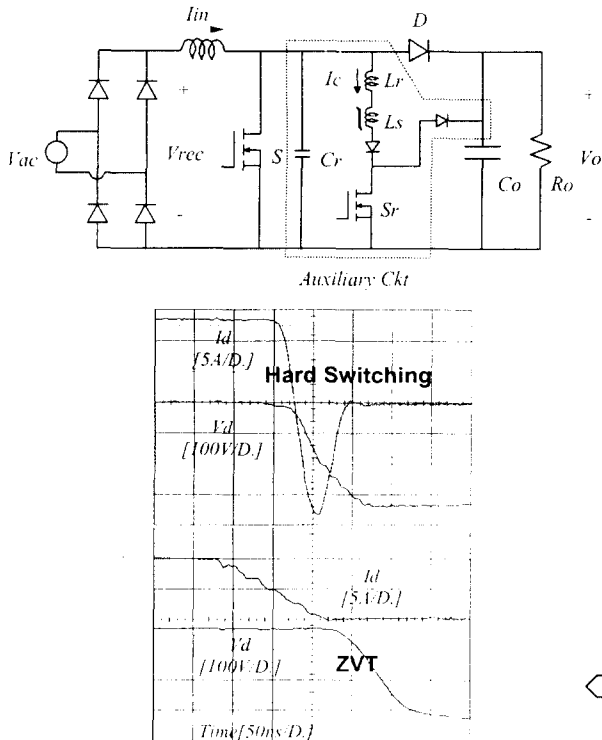
링 하더라도 그림 3(b)의 점선부분과 같이 전류파형에 왜곡이 생겨서 완전한 정현파가 되지 않는 단점을 갖는다. 그래서, 이방식은 100W급 이하의 소용량에 주로 이용된다. 다른 하나는 그림 3(c)와 같이 입력전류를 정현파가 되도록 주소자의 시비율을 시간에 따라서 가변 제어하는 방식이다. 입력전류와 전압을 센싱 해서 입력전류가 입력전압 파형을 따라가도록 제어 루우프를 두어야 하고 출력전압제어를 위한 전압 제어 루우프가 들어가야 하기 때문에 제어가 복잡하다. 그러나, UC3854와 같은 전용 제어칩이 나오고 있어서, 제어회로를 구성하는데 큰 어려움은 없으며, 주로 100W 이상의 용량에 주로 이용된다. CCM 방식의 또 다른 단점은 스위칭 다이오드가 턴-오프할 때 생기는 역회복(reverse recovery) 현상이 발생한다는 것이다. 이것은 곧 스위칭 손실과 노이즈를 발생시켜 효율을 떨어뜨리고 후단의 DC/DC 컨버터에 악영향을 주기 때문에 아주 바람직하지 못한 현상이라고 할 수 있다.

(그림 3) 부스터 PFC 회로와 제어방식에 따른 입력 전류 파형: (a) 전력회로, (b) DCM 제어, (c) CCM 제어.



다이오드의 역회복현상을 막기 위하여 스너버 (snubber) 회로를 사용하기도 하지만 주소자나 다이오드의 전압 스트레스가 커지는 단점이 있어서 그렇게 많이 이용되지는 않고 있다. 최근에 부스터 PFC에 보조회로를 추가하여 영전압 스위칭(zero voltage switching: ZVS)이 가능하도록한 ZVT(zero voltage transition) 방식[2]이 발표되어서 소개하고자 한다. ZVT 부스터 PFC 회로의 전력회로를 그림 4에 나타내었다. 하나의 능동소자를 포함하는 보조회로를 기존의 부스터 PFC에 추가하므로써 주소자 및 다이오드에 ZVS 조건을 제공해준다. 따라서, 다이오드의 역회복현상을 제거하고 스위칭손실을 대폭 줄일 수 있다. 주소자 및 다이오드의 전압 스트레스는 최소로 유지되며, 전 부하범위에서 ZVS가 보장되는 장점을 갖는다. 또한, 보조회로에 의해서 소모되는 전력은 주 전력에 비해서 크지 않게 설계할 수 있기 때문에 고효율을 얻을 수 있다. 2.5 kW급 부스터 PFC 회로의 하드 스위칭시와 ZVT 보조회로를 동작시켰을 때의 다이오드 스위칭 파형을 그림 4에 나타내었다. 하드 스위칭시에

그림 4 ZVT PFC 회로의 전력회로와 다이오드 스위칭 파형 비교.



는 큰 역회복전류가 흘러서 스위칭 손실을 유발하는 것을 볼 수 있다. 그러나, ZVT 동작시에는 역회복전류가 전혀 없으며 다이오드에 걸리는 전압의 변화도 완만하기 때문에 스위칭 노이즈의 발생도 매우 작음을 볼 수 있다.

그림 5 Buck+Boost PFC 회로[3]와 동작파형.

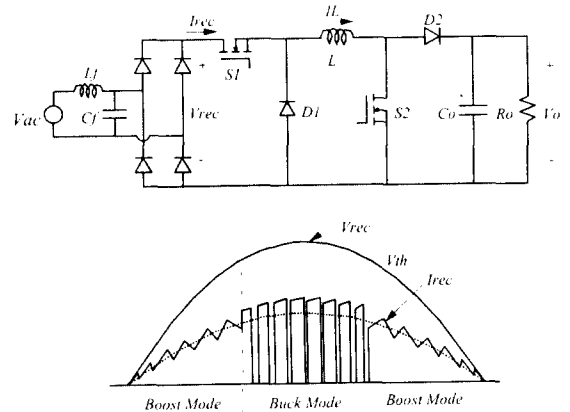


그림 5는 벅 컨버터와 부스터 컨버터를 직렬로 연결한 PFC 회로[3]와 동작원리를 보여준다. 입력 전압의 피크치보다 출력전압을 낮게 제어해야 할 경우 그림과 같이, 입력전압이 출력전압보다 낮은 범위에서는, 벅 스위치 S1을 켜 상태로 두고 부스터 컨버터를 스위칭하여 입력전류를 연속으로 제어한다. 반면에, 입력전압이 출력전압보다 높으면 부스터 스위치 S2는 켜 상태로 두고 벅 컨버터를 스위칭하여 입력전류의 평균치가 정해진 정현파 명령치를 따라 가도록 제어한다. 벅 컨버터를 제어할 때는 전하제어(charge control) 방식[3]을 사용한다. 이 방식은 AC 입력전압의 범위가 넓은 때 후단의 DC/DC 컨버터의 설계를 용이하게 하기 위하여 DC 출력전압을 일정하고 높지 않게 제어하는 용도로 사용된다.

3.2. DC/DC 컨버터 회로

후단의 DC/DC 컨버터로는 특별한 것이 없기 때문에 기존에 널리 알려져 있는 DC/DC 컨버터를 사용하면 된다. 그러나, 용량에 따라서 여러 가지

선택이 있을 수 있고, 원가 대비 성능을 고려해 볼 때, 용량별로 적당한 전력회로를 살펴보면 표 2와 같다. 여기서, 구체적인 전력회로의 구성은 잘 알려져 있기 때문에 지면상 생략하기로 한다.

DC/DC 컨버터의 효율향상과 노이즈 저감 및 신뢰성을 높이기 위해서 소프트 스위칭 (soft switching) 방식을 적용한 컨버터들이 많이 발표되었는데, 그 중에서 실용성이 높은 2개의 컨버터를 소개하고자 한다.

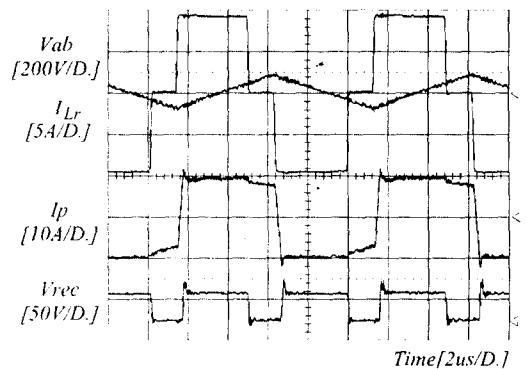
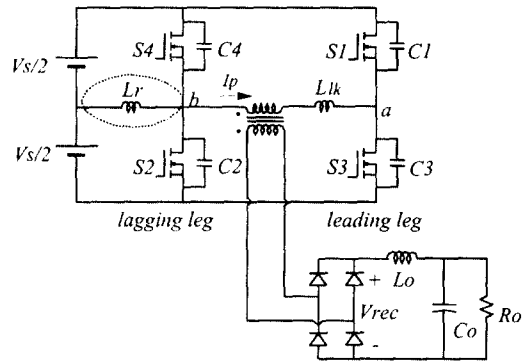
표 2 용량에 따른 DC/DC 컨버터의 최적 전력 회로 선정.

Power Rating	Best Topology
< 300W	Flyback
< 600W	Forward
< 2-3kW	Double Forward, Half Bridge
< 수십kW	Full Bridge

기존의 ZVS 풀 브릿지 컨버터[4]는 phase shift PWM 방식을 채택하면서 별도의 부품이나 보조회로를 추가하지 않고도 ZVS를 얻을 수 있어서 수 kW 정도의 용량에 널리 이용되고 있다. 그러나, lagging-leg 소자들의 ZVS 범위가 좁아서 부하가 작을 때 ZVS를 잃어버려 스위칭 손실 및 노이즈가 발생하는 단점을 가지고 있다. 그림 7의 회로는 기존의 ZVS 풀 브릿지 컨버터의 lagging-leg와 DC 입력전원의 중성점 사이에 작은 보조 인덕터를 추가함으로써 lagging-leg의 ZVS 범위를 전부하 범위로 넓힌 개선된 ZVS 풀 브릿지 컨버터[5]의 회로와 2.5kW급 시제품의 동작파형을 보여 준다. ZVS가 완벽하게 이루어지며, 보조 인덕터 전류는 트랜스 일차측 전류에 비해서 작고, lagging-leg 스위치에 흐르는 전류의 RMS 값만 조금 증가시키기 때문에 전체 효율에 크게 영향을 미치지 않는다. 이 컨버터는 MOSFET을 주로 사용하는 1-10kW 범

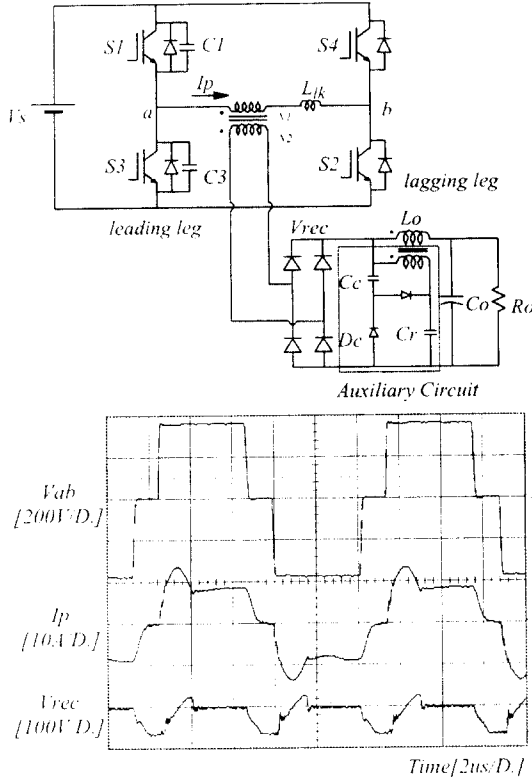
위의 용량에 효율적으로 사용될 수 있다. 이외에도 최근에, ZVS와 ZCS의 혼합된 모드로 동작하는 ZVZCS[6] 라는 새로운 개념이 도입되어, MOSFET에 비해서 스위칭 속도가 현저하게 낮은 IGBT를 사용하여 100kHz 정도의 고주파 스위칭이 가능하게 되었다. 지금까지 여러 가지 ZVZCS 컨버터가 발표되었지만[6-7] 그 중에서 가장 개선된 ZVZCS 컨버터[7]의 회로와 동작파형을 그림 7에 나타내었다. 수동소자로 구성된 간단한 보조회로를 2차측에 추가함으로써 ZVZCS 동작을 얻을 수 있을 뿐만 아니라 2차측 정류단의 클램핑(clamping) 역할과 출력필터 인덕터의 전류리플을 영으로 만들어 준다. 따라서, 별도의 손실성 클램프를 달지 않아도 되고, 출력필터 인덕터의 크기를 대폭 줄일 수 있는 장점을 갖는다. 동작파형에서 알 수 있듯

그림 6 개선된 ZVS 풀 브릿지 DC/DC 컨버터[5]의 전력회로와 2.5kW급 용량의 실험파형.



이 환류구간 동안에 1차측 전류를 영으로 만들어 줌으로서 lagging-leg 소자들에 ZCS 조건을 만들어 준다. ZVZCS 컨버터는 IGBT를 주소자를 사용하여 3kW 이상의 용량에 효과적으로 사용될 수 있다.

그림 7 영전류 리플을 갖는 ZVZCS 풀 브릿지 DC/DC 컨버터[7]의 전력회로와 2.5kW급 용량의 실험파형.



4. 단단 역률보상회로

4.1. 절연된 PFC 회로들

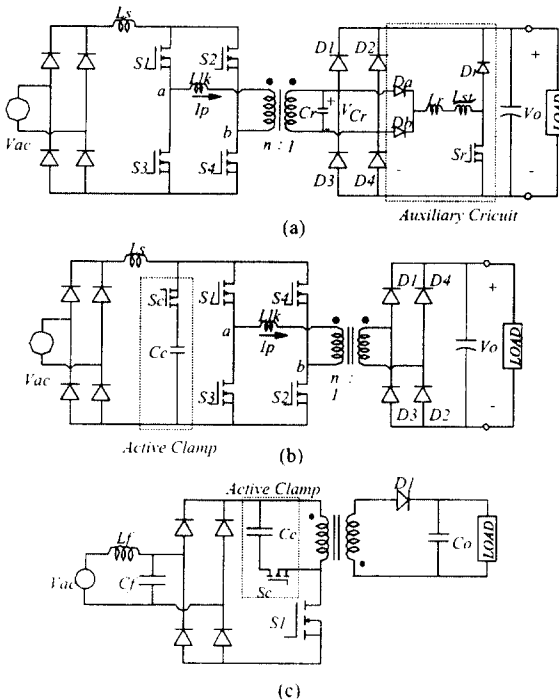
단순한 부스터 PFC 대신에 절연 트랜스를 삽입하여 DC 출력전압을 입력전압의 피크치 이하로까지 제어할 수 있도록 해줌으로서 단일 전력단으로 역률보상 및 출력전압제어가 가능해진다. 이러한 단단 PFC 회로들은 브릿지 형태의 부스터 컨버터[8-10]나 flyback 컨버터[11]로 구현이 가능하다.

그림 8(a)는 기본적인 풀 브릿지 부스터 PFC 회로에 ZVT 보조회로를 추가하여 ZVS를 가능하게 한 ZVT 풀 브릿지 부스터 PFC 회로[9]이다. 풀 브릿지 부스터 PFC의 기본동작원리(ZVT 보조회로가 없을 때)를 설명하면 다음과 같다. 1차측 스위치 4개를 모두 턴-온 시키면 입력 부스터 인덕터에 전류가 상승하여 에너지가 저장되고, 1차측 스위치 중에서 대각선 방향의 스위치(S_1-S_4 or S_2-S_3)를 턴-오프하게 되면 인덕터에 흐르는 전류는 2차측으로 흐르게 되어 인덕터에 저장된 에너지가 2차측으로 전달된다. 인덕터 전류는 입력전류와 같기 때문에 역률을 1로 하기 위해서는 인덕터 전류를 정현파로 제어해야 한다. 거의 모든 특성은 단순한 부스터 PFC와 거의 같고, 따라서 제어기 설계도 같은 방법으로 하면 된다. 2차측에 추가된 간단한 ZVT 보조회로는 기본 컨버터의 동작을 변화시키지 않으면서, 1차측 스위치들이 전 부하범위에서 ZVS로 동작할 수 있도록 해준다. 보조회로의 동작원리 및 용량은 단순한 ZVT 부스터 PFC(그림 4)와 거의 같다. 상세한 동작원리에 대한 설명은 지면상 생략하기로 한다. (참고문헌 참조바람) 그림 8(b)는 능동 클램프를 이용한 ZVT 부스터 PFC 회로[10]를 보여준다. 능동 클램프를 적절히 동작시키면 1차측 스위치 전압의 클램핑 기능은 물론 클램프 스위치를 포함한 1차측 스위치들이 ZVS로 동작할 수 있다. 손실성 수동 클램프가 제거되었으며 보조회로도 아주 간단하기 때문에 원가를 줄일 수 있고, 효율도 높일 수 있는 장점을 가지고 있다. 그러나, ZVS 범위가 조금 좁은 단점을 갖는다. 그림 8(a)와 (b)의 회로는 입력 전류를 연속모드로 제어할 수 있어 수 kW 정도의 용량에 사용될 수 있다. 그림 8(c)는 능동 클램프를 갖는 flyback PFC 회로[11]를 보여준다. 입력전류의 평균치가 정현파를 따라 가도록 전하제어법[3]을 이용하여 제어한다. 이 방식은 회로가 매우 간단하고 원가가 저렴한 장점을 갖는다. 입력전류가 스위칭된 형태이므로 큰 용량에 사용하기는 어렵지만 100-500W 정도의 용량에 효과적으로 사용될 수 있다.

그림 8의 절연된 PFC 회로들은 모두 출력전압에 저주파 리플이 존재하고 응답속도가 느리기 때문에 밧데리 충전장치나 분산전원 시스템(distributed power system)의 DC Bus를 만들어 주는 용도에 효과적으로 사용될 수 있다.

(그림 8) 절연된 PFC 회로들:

- (a) ZVT full bridge boost PFC [9].
- (b) ZVT active clamped full bridge boost PFC [10].
- (c) Active clamped Flyback PFC [11].



4.2. Integrated PFCs

집적된(integrated) PFC 회로들은 DCM 모드로 동작하는 단순한 부스터 PFC와 DC/DC 컨버터를 결합한 구조이며 대표적인 회로들을 그림 9과 10에 나타내었다. 그림에서 알 수 있는 바와 같이 하나의 능동 소자로 구현이 가능하기 때문에 S₁ (Single-Stage Single-Switch)-PFC 라고도 한다. 그림 9(a)는 DCM 부스터 컨버터와 Flyback 컨버터가 연결된 이단 PFC 구조에서 중복된 하나의 능동소자를 줄이고 회로를 재구성해서 얻어진 BIFRED

(Boost Integrated with Flyback Rectifier/Energy storage/Dc-dc converter)[12]를 보여준다. BIFRED는 결과적으로 6개의 기본적인 DC/DC 컨버터들 중에서 절연된 Sepic 컨버터가 된다. 그림 9(b)는 DCM 부스터 컨버터와 Flyback 컨버터를 결합할 때 단순히 능동소자 하나를 제거하고 대신에 다이오드(D11) 하나를 그림과 같이 연결하여 구성한 변형된 BIFRED[13] 이다. 그림 9(c)는 DCM 부스터 컨버터와 CCM Buck 컨버터가 연결된 이단 PFC 구조에서 에너지 저장소자인 큰 커패시터를 둘로 나누어 그 사이에 절연 트랜스를 삽입한 뒤 중복된 하나의 능동소자를 줄이고 회로를 재구성해서 얻어진 BIBRED (Boost Integrated with Buck

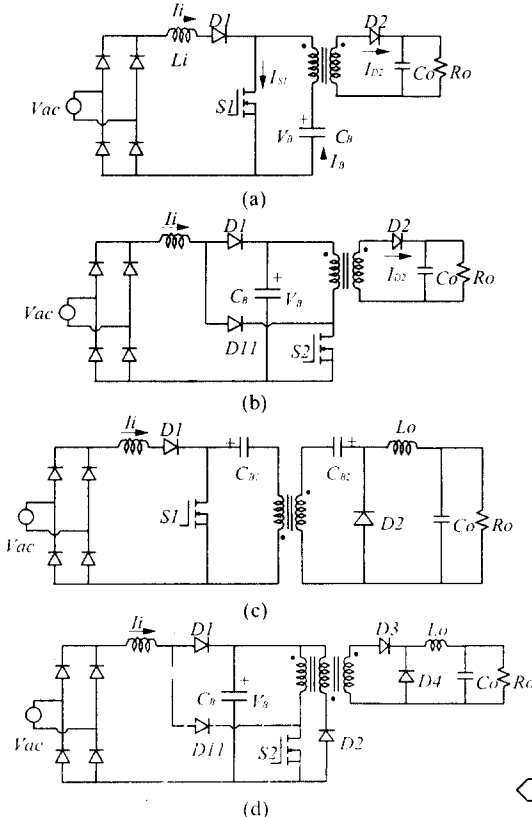
Rectifier/Energy storage/Dc-dc converter) [12]를 보여준다. BIBRED는 결과적으로 절연된 Cuk 컨버터가 된다. 그림 9(d)는 DCM 부스터 컨버터와 CCM Forward 컨버터가 연결된 이단 PFC 구조에서 단순히 능동소자 하나를 제거하고 대신에 다이오드(D11) 하나를 그림과 같이 연결하여 구성한 변형된 BIBRED[12] 이다. 그림 10은 직/병렬 형태로 결합된 Flyback PFC[13]와 Forward PFC[13]를 보여준다. S₁-PFC 회로들의 동작원리는 지면상 생략하기로 한다. (참고문헌 [12-13] 참조) S₁-PFC 회로들은 일정한 시비율로 스위칭하기 때문에 DCM 부스터 회로가 갖는 고유의 특성으로 인해서 입력전류는 저철로 정현파가 되고, 출력전압에는 저주파 리플이 전혀 없게 된다. 이것은 컨버터의 중간에 큰 에너지 저장소자가 있어서 입력측의 저주파 리플을 다 흡수해 버리기 때문에 출력전압에는 저주파 리플이 존재하지 않게 된다. 따라서, 출력전압을 정전압으로 제어할 수 있으며, 응답특성도 매우 빠르게 할 수 있는 장점을 갖는다. 또한, 하나의 능동소자로 구현이 가능하기 때문에 원가가 매우 낮다. 따라서, 아주 낮은 원가가 요구되는 100W 이하의 소용량에 매우 효과적으로 사용될 수 있다.

S₁-PFC들이 공히 갖는 하나의 문제점은 출력측이 CCM으로 동작할 때, 낮은 부하에서 에너지 저

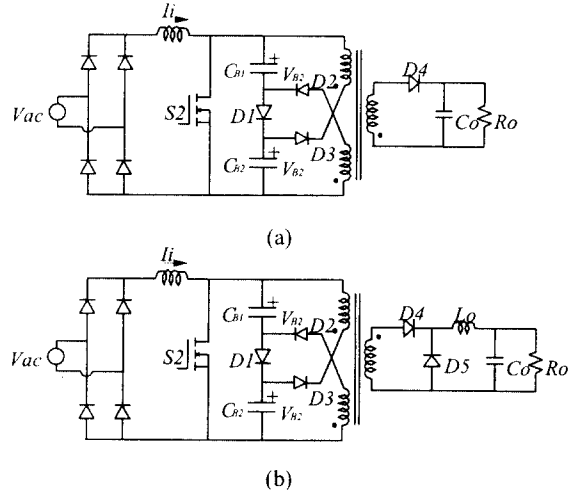
장용 커패시터와 스위칭 소자의 전압 스트레스가 높다는 점이다. 그림 11은 부하전류에 따른 커패시터 전압 V_B 의 관계를 나타낸다. 입력측 전류는 항상 DCM으로 동작하기 때문에 출력측 전류를 DCM으로 동작시키면, 커패시터 전압은 부하에 상관없이 일정하게 유지된다. 그러나, 출력측 전류를 CCM으로 동작시키면, 그림 13에서 알 수 있는 바와 같이 부하가 낮아짐에 따라 커패시터 전압이 급격하게 증가한다. 그 원인을 살펴보면 다음과 같다. 출력측 전류가 CCM으로 동작한다고 가정하면, 부하가 낮아지더라도 시비율은 일정하게 유지된다. 그러나, 입력전력은 순전히 시비율에 의해서 결정되기 때문에 시비율이 떨어지지 않으면, 낮은 부하에서도 입력에서 일정한 전력을 공급하게 된다. 따라서, DC Bus 전압은 올라가게 되고 DC Bus 전압이 올라가면 일정 출력전압을 얻기 위해서 시비율이 떨어지게 되어 결국은 평형점을 찾게 된다. 이

렇게 하여 부하가 낮아질수록 DC Bus 전압은 올라가게 되고, 커패시터와 스위치 전압 스트레스도 올라가게 된다. 출력측 전류를 DCM으로 동작시키면 PFC의 효율이 많이 떨어져 바람직하지 않고, CCM으로 동작시키면 커패시터 전압이 올라가서 높은 전압정격의 커패시터와 스위칭 소자를 사용해야 하기 때문에 원가면에서 실용성이 떨어진다. 특히, 입력전압의 범위가 85-270Vrms 정도로 매우 넓은 것이 요구되기 때문에 DC Bus 전압의 상승문제는 S_r-PFC의 실용화에 치명적인 걸림돌이라고 할 수 있다.

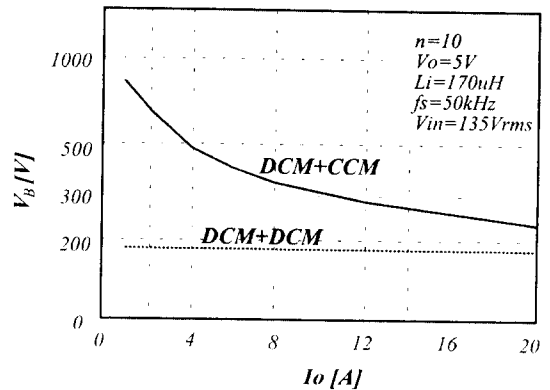
(그림 9) 결합된 PFC 회로들: (a) BIFRED[12], (b) 변형된 BIFRED[13], (c) BIBRED[12], (d) 변형된 BIBRED[12].



(그림 10) 직/병렬로 결합된 Flyback PFC(a)와 Forward PFC(b)[13].



(그림 11) 부하에 따른 DC Bus 전압특성.



이러한 문제점을 해결하기 위해서 가변 주파수 방식[14]이 제안되었다. 낮은 부하에서 DC Bus 전압을 상당히 줄였지만 실용적이라 할만큼 줄이지는 못했고, 가변 주파수에 따른 효율저감 문제가 발생하여 근본적인 해결책이 되지 못했다. 최근에 이 문제를 완벽하게 해결할 수 있는 DC Bus 전압 피이드백 방식[15,16]이 도입되었는데, 그 구성은 그림 12와 같다. 그림 12(a)를 보면 BIFRED에서 절연 트랜스에 그림과 같이 보조권선을 감고 그것을 입력 부스터 인덕터와 직렬로 연결해 줌으로서 DC Bus 전압이 올라가는 것을 막을 수 있다. 낮은 부하에서 DC Bus 전압이 올라가면 스위치가 켜졌을 때 트랜스에 걸리는 전압도 올라가고 그에 비례해서 보조권선의 전압도 올라가게 된다. 따라서, 스위치가 켜졌을 때 실제 부스터 인덕터에 걸리는 전압은 입력전압과 보조권선전압의 차만 걸리게 되기 때문에 입력전류의 상승 기울기가 줄어들고 일정 시비율에서 입력에서 공급되는 전력도 줄어들게 되어 결국 DC Bus 전압이 부하에 상관없이 일정하게 유지된다. 그림 12(b)회로도 N2(N1 일 때, 같은 원리로 DC Bus 전압 피이드백이 되는 변형된 BIFRED이고, 그림 12(c)의 회로도 비슷한 BIFRED를 보여준다. 같은 방법으로 다른 S'-PFC 들도 트랜스 보조권선만 만들어 주면 DC Bus 전압 피이드백을 구현할 수 있다. DC Bus 전압 피이드백 방식에도 한가지 단점이 있는데, 그것은 그림 13과 같이 보조권선으로 인해서 입력전류가 입력 전압의 영교차 부근에서 흐르지 않는 구간이 발생한다는 것이다. 그렇지만, 표1에 나와있는 IEC1000-3-2의 고조파 제한폭 안에 들기 때문에 큰 문제는 되지 않는다.

DC Bus 전압 피이드백 방식의 도입으로 S'-PFC들은 실용성이 매우 높아 졌으며, 100W 이하의 용도에 유용하게 사용될 것으로 사료된다.

본고에서 소개된 S'-PFC들은 대부분 비슷한 특성을 갖고 있다. 그러나, S'-PFC들의 생명은 저원가에 있기 때문에, 최적회로에 대한 선택기준은 회로의 간단성에 있다고 하겠다.

(그림 12) DC bus 전압 피이드백을 갖는 결합된 PFC 회로들: (a) BIFRED[16], (b) 변형된 BIFRED[16], (c) 변형된 BIFRED[15].

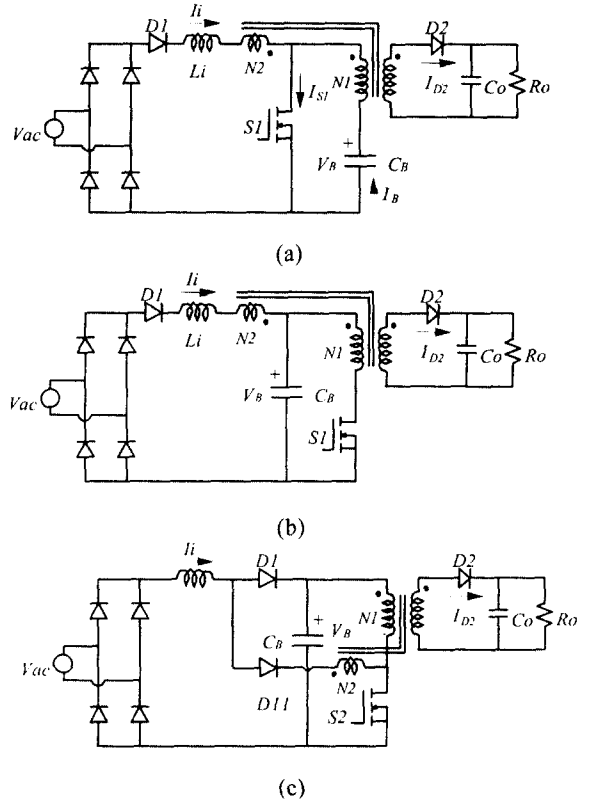
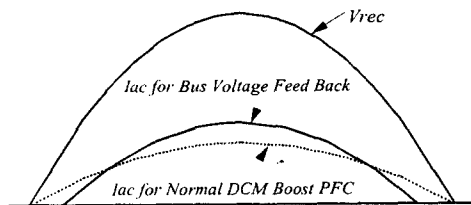


그림 13 DC bus 전압 피이드백을 갖는 결합된 PFC 회로들의 전형적인 입력 평균전류파형.



5. 결론

통신용 전원시스템에 요구되는 역률보상회로에 대한 분류와 실용성이 높은 역률보상회로들을 소개하고, 각각의 특징 및 장단점을 지적하고 응용분야에 대해서 언급하였다.

역률보상회로는 크게 이단 방식과 단단 방식으로 나누고, 단단 방식은 다시 연속 전류모드로 동작하는 절연된 PFC와 불연속 전류모드로 동작하는 결합된 PFC로 나누었다. 이단 방식은 주로 500W 이상의 대용량에 효과적으로 사용될 수 있다. 단단 방식 중 절연된 PFC들은 출력전압에 저주파 리플이 있기 때문에 배터리 충전장치나 분산 전원 시스템의 DC Bus 공급용으로 사용될 수 있고, 결합된 PFC들은 출력전압에 저주파 리플이 없고 빠른 응답특성을 갖고 있지만 입력전류가 불연속이어서 100W 이하의 저원가가 요구되는 용도에 효과적으로 사용될 수 있다.

[참고문헌]

- [1] International Standard IEC1000-3-2, Electromagnetic compatibility (EMC), First Edition, 1995.
- [2] G. Hua, C. S. Leu, and F. C. Lee, "Novel zero voltage transition PWM converters", IEEE PESC Rec. 1992, pp. 55-61.
- [3] Y. Jiang, F.C. Lee, "A new control scheme for buck+boost power factor correction circuit", VPEC Seminar'93, pp. 189-193.
- [4] J. A. Sabat, V. Vlatkovic, R. B. Ridley, F. C. Lee, and B. H. Cho, "Design considerations for high voltage high power full-bridge zero voltage switched PWM converter," IEEE APEC Rec. 1990, pp. 275-284.
- [5] O.D Patterson, and D.M. Divan, "Pseudo-resonant full bridge dc/dc converter", IEEE PESC'87, pp. 424-430.
- [6] J. G. Cho, J. A. Sabate, G. Hua and Fred C. Y. Lee, "Novel zero voltage, zero current switching full bridge PWM converter for high power applications", IEEE Trans. on Power Electronics, Vol. 11, No. 4, pp. 622-627, 1996.
- [7] J. W. Baek, C.Y. Jeong, J. G. Cho, D. W. Yoo, and G. H. Rim, "Novel zero voltage and zero current switching(ZVZCS) full bridge PWM converter with output ripple minimization", IEEE Intelec 1997, pp. 512-516.
- [8] E.X. Yang, Y. Jiang, G. Hua, and F.C. Lee, "Isolated boost circuit for power factor correction", IEEE APEC'93, pp. 196-203.
- [9] J. G. Cho, C. Y. Jeong, D. W. Yoo, and G. H. Rim, "Novel zero voltage transition isolated PWM boost converter for single stage power factor correction", IEEE Trans. on Power Electronics.(to be appeared soon).
- [10] 조정구, 김학성, 백주원, 유동욱, 임근희, "능동 클램프를 갖는 ZVT 단일 전력단 폴 브릿지 역률보상회로", 전력전자학회 하계학술대회, 1997년, pp. 247-250.
- [11] R. Watson, G. Hua, and F.C. Lee, "Characterisation of an active clamp flyback topology power factor correction applications," IEEE APEC'94, pp. 412-418.
- [12] M. Madigan, R. Erickson, and E. Ismail, "Integrated high quality rectifier regulators", IEEE PESC'92, pp. 1043-1051.
- [13] R. Redl, L. Balogh, and N. Sokal, "A new family of single stage isolated power factor correctors with fast regulation of the output voltage", IEEE PESC'94, pp. 1137-1144.
- [14] M.M. Jovanovic, D.M. Tsang and F.C. Lee, "Reduction of voltage stress in integrated high quality rectifier regulators by variable frequency control," IEEE APEC'94, pp. 569-575.
- [15] F. Tsai, P. Markowski, and E. Whitcomb, "Off-line flyback converter with input harmonic current correction," IEEE Intelec'96, pp. 120-124.
- [16] J. Qian, Q. Zhao, and F.C. Lee, "An Improved single stage single switch BIFRED PFC AC/DC converter with DC bus voltage feedback for universal line applications," VPEC Seminar'97, pp. 29-35.



조 정 구

- 1963년 3월 28일생.
- 1986년 : 경북대학교 공대 전자공학과 졸업. 한국과학기술원 전기 및 전자공학과 졸업(1988년 공학석사, 1992년 공학박사).
- 1992년 - 1993년 : 한국과학기술원 정보전자연구소 연수연구원(Post Doc).
- 1993년 - 1994년 : Virginia Polytechnic Institute & State University Virginia Power Electronics Center(VPEC) 연구원.
- 1994년 - 현재 : 한국전기연구소 전력전자연구부 선임연구원.
- 1998년 - 현재 : KAIST 전기 및 전자공학과 겸직교수. 연구 관심분야는 전력회로 설계 및 모델링, 소프트 스위칭 컨버터, 역률보상회로, 멀티레벨 인버터, FACTS, 고압펄스전원, 등.