

## 主 題

# FTTC/VDSL 가입자 전송기술

## -51.84 Mb/s 16-CAP 과 1.62 Mb/s QPSK Burst TDMA

포항공대 임 기 홍  
 삼성 종합기술원 김 기 호  
 삼성전자 실 창 섭, 임 종 대

## 차 례

- I. 서론
- II. 채널
- III. 전체시스템 구조
- IV. 16-CAP 전송시스템

- V. 타이밍 복원 회로
- VI. QPSK 시스템 구조
- VII. 성능실험

## 요 약

본 논문에서는 현재 연구 개발되고 있는 Fiber-to-the-curb / Very high-rate digital subscriber line (FTTC/VDSL) 시스템의 DAVIC 표준 가입자 전송 기술인 51.84 Mb/s 16-CAP (Carrierless AM/PM) 전송시스템 (downstream)과 1.62 Mb/s QPSK burst-mode TDMA 전송시스템 (upstream) 및, 타이밍 복원회로 등의 동작 원리 및 구조를 간략하게 기술하였다. 본 논문은 FTTC/VDSL 전송시스템 개발을 위하여 전체시스템이 운영될 환경, 즉 채널에 대하여 기술한 후, 주어진 채널에 적합한 down-stream 전송시스템 알고리즘 및 구조를 설명하였으며, 타이밍 복원 시스템을 기술하였다. FTTC/VDSL 시스템은 네트워크의 한 개의 송수신부가 가입자 댁내의 여러 개의 set-top box 와 데이터를 주고받는 점 대 다점 (point-to-multipoint) 구조로 이루어져 있으며, 따라서 역 방향 (upstream) 채널 데이터 전송을 위한 QPSK 전송시스템은 네트워크쪽의 QPSK 수신부가 가입자 댁내의 여러 개의 QPSK 송신부를 서비스할 수 있게끔 시분할

다중접속 방식인 burst-mode TDMA 전송방식으로 구현되었다. FTTC/VDSL 전송시스템은 DAVIC의 시스템 성능 요구조건을 만족하게 설계되었으며, 모든 기능은 디지털로 구현되었고 칩 구현을 위하여 각 기능의 VLSI 시스템 파라메타 들을 추출하고 성능 시험을 실시하였다

## 1. 서론

현재 우리나라와 선진각국에서 시험서비스 중인 asymmetrical digital subscriber line (ADSL) 시스템은, 기존 모뎀(최대속도 56 kb/s)과는 다르게 현재 사용중인 전화선이나 전화기를 그대로 사용하면서도 최대 약 10 Mb/s 의 고속 데이터통신이 가능할 뿐 아니라 데이터 통신과 일반전화를 동시에 이용할 수 있는 것이 특징이다 [1,2]. 최근에는 데이터 전송속도를 최대 51.84 Mb/s까지 높일 수 있는 고속 전송 시스템인 very-high rate digital subscriber line (VDSL) 시스템에 관한 연구와 표준화 작업이 활발히 진행되고 있다 [3,4]. VDSL 시스템은 전화

국과 가입자간의 거리가 짧고 가입자가 밀집된 지역에 서비스되며, 앞으로 보편화될 fiber-to-the-curb (FTTC) 구조에서 ADSL 시스템을 대체할 차세대 고속 전송 시스템이다.

본 논문에서는 현재 연구 개발되고 있는 Fiber-to-the-curb / Very high-rate digital subscriber line (FTTC/VDSL) 전송시스템의 전체구조를 요약하고, down-stream 데이터 전송에 사용된 51.84 Mb/s 16-CAP 전송시스템과 upstream 데이터 전송에 사용된 1.62 Mb/s QPSK 전송시스템 및, 타이밍 복원회로, 자동이득 제어회로 등의 동작 원리 및 구조를 기술하였다. FTTC/VDSL 시스템을 디지털로 구현하기 위해서는 DAVIC 시스템 성능 요구조건을 만족하는 전송시스템의 A/D, D/A bit 수를 추출하는 작업이 필요하며, 이에 따라 디지털 송수신부의 시스템 복잡도가 결정된다 [1]. Downstream 채널의 수신된 16-CAP 신호는 효율적인 자동이득 제어회로 (AGC)를 거쳐 적절한 전력으로 증폭된 후 타이밍 복원회로로 전달되며 FTTC/VDSL 시스템의 순방향 및 역방향 채널의 동기는 가입자쪽의 타이밍 복원기능에 의하여 수신된 16-CAP 신호로부터 추출된다. 본 논문에서는 AGC 회로와 타이밍 복원회로의 안정적이고 신속한 수렴을 위한 알고리즘과 시스템 파라메타를 추출하고 성능실험을 실시하였다. 복원된 주파수로 샘플된 신호는 적절한 A/D bit으로 양자화된 후 디지털 블라인드 동화기를 거쳐서 상위 레벨로 전달된다. DAVIC에서 규정한 FTTC/VDSL 시스템을 구현 시에, 16-CAP 전송시스템은 ONU에 있는 16-CAP 송신부가 한 가입자 맥내의 여러 단말기를 서비스할 수 있게끔 point-to-multipoint 구조로 설계되었으며 [5,6], QPSK 전송시스템은 ONU의 QPSK 수신부가 가입자 맥내의 여러 개의 QPSK 송신부를 서비스할 수 있게끔 시분할 다중접속 방식인 burst-mode TDMA 전송방식을 채택하였다. 따라서, QPSK 시스템은 수신부가 할당된 시간 내에 임의의 QPSK신호의 반송파 및 타이밍 동기를 복원하고 데이터를 수신할 수 있게끔 burst-mode로 동작

〈표 1. xDSL시스템의 전송방식 및 특성〉  
(현재 시판중이거나 개발중인 시스템)

xDSL	Modulation	S/A	DS(Mb/s)	Reach
HDSL	2B1Q/CAP	symm.	1.544/2.048	up to 12 kft
SDSL	CAP	symm.	0.384 - 2.048	up to 18 kft
IDSL	2B1Q	symm.	0.128 & up	up to 18 kft
ADSL	DMT/CAP	asymm.	1.544 - 6.144	18 & 12 kft
RADSL	CAP/DMT	asymm.	0.384 to 8.0	up to 18 kft
VDSL	CAP/DMT	sym/asym	52/26/13	1/3/4.5 kft

한다. 본 논문에서 구현한 CAP 전송기술은 ATM Forum의 51.84 Mb/s [7] 및 155.52 Mb/s [8] ATM-LAN 표준 전송방식이며 FTTC 구조에서 DAVIC 이 규정한 51.84/25.92/12.96 Mb/s 표준 가입자 전송방식 [5] 으로서 표 1 에서와 같이 xDSL 분야에서 가장 보편적으로 사용되어지는 가입자 전송기술이다 [1,2,3,4]. 특히 CAP 전송방식은 QAM 전송방식과 비교하여 시스템 성능은 동일하지만 CAP 전송방식을 사용하면 수신부의 등화기 구조가 간단할 뿐 아니라 반송파 복원 기능이 필요치 않는 등의 이점으로 최근 초고속 근거리 통신망과 xDSL 전송분야에서 널리 이용되고 있다.

서론에 이어서, 제 2 장에서 FTTC/VDSL 시스템의 환경 및 채널에 관하여 기술하고, 제 3 장에서는 시스템의 전체구조를 언급하고, 제 4 장에서는 downstream 데이터 전송을 위한 16-CAP 시스템 구조, 알고리즘을 설명하고, 제 5 장에서는 타이밍 복원회로를 설명하고, 제 6 장에서 QPSK 시스템의 전체구조를 기술하고, 제 7장에서는 설계된 FTTC/VDSL 전송시스템의 각부분, 즉 51.84 Mb/s 16-CAP, 1.62 Mb/s QPSK burst-mode TDMA 및 자동이득제어회로 와 타이밍 복원회로의 성능실험 결과를 설명하고, 제 8장에서 결론을 맺는다.

## 2. 채널

전송시스템을 설계, 개발하기 위해서는 시스템이

운영될 환경, 즉 채널에 관한 철저한 연구가 선행되어야 하며, 이어서 표준화 위원회 등에서 규정한 시스템 성능을 만족하는 알고리즘개발, 및 실제 하드웨어 구현시에 시스템 복잡도를 고려한 시스템 파라메타 등을 추출하는 과정이 필수적이다. 본 장에서는 FTTC/VDSL 시스템의 환경을 간략히 요약한 후 전송시스템이 동작할 선로에 관하여 기술한다.

그림 1. FTTC 구조의 가입자 망

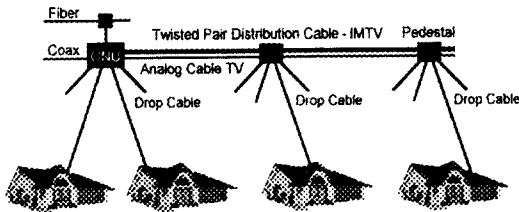


그림 1의 FTTC구조에서, 전화국 등으로부터 optical network unit (ONU)까지 광 케이블이 연결되며, ONU에서 가입자까지는 기존의 전화선로가 사용된다. 광 케이블을 통하여 전송되어온 광 신호는 ONU에서 전기신호로 변환된 후 각 가입자로 보내지기 위하여 역 다중화되며, 한 개의 ONU는 약 수십 가입자를 서비스한다. 또한, ONU는 가입자로부터 수신한 데이터를 네트워크로 전송하기 위하여 다중화한 후 광신호로 변환하는 기능도 수행한다. ONU에서 가입자로 전송되는 downstream channel 및 가입자에서 ONU로 송신되는 upstream channel의 전송속도는 각각 51.84 Mb/s (STS-1) 및 1.62 Mb/s 이며, DAVIC에서 규정한 16-CAP 및 QPSK 전송방식을 각각 이용하였다. 두 채널 모두 ATM cell을 전송하며 downstream channel 은 SONET frame을 사용한다. Downstream channel 및 upstream channel은 서로 다른 주파수 대역을 사용하기 때문에 상호간의 간섭 즉near-end crosstalk (NEXT)가 없으나, downstream channel 상호간과 upstream channel 상호간에는 far-end crosstalk (FEXT)이 존재한다 [6].

본 절에서는, FTTC/VDSL 가입자선로의 propagation loss, FEXT, RFI interference, impulse noise, bridged-tap등의 channel impairment에 관하여 기술한다.

그림 2. 가입자선로의 propagation loss (d=1kft)

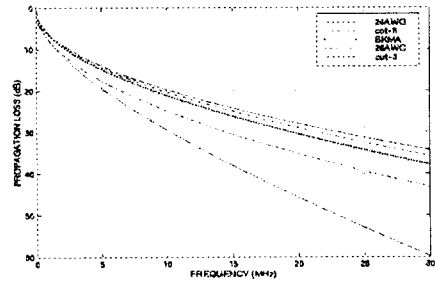


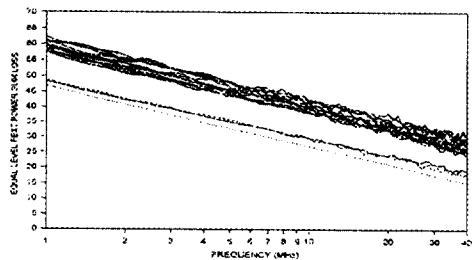
그림 2는 가입자선로로 이용되는 BKMA, 26-gauge, 및 24-gauge 케이블 등의 propagation loss를 비교하였다. 그림 2에서 보는 바와 같이 24-gauge distribution 케이블인 BKMA 케이블의 propagation loss는 TIA/EIA-568-A표준 [7,8]에 규정된 category-5 의 propagation loss와 비슷하며 다음과 같이 표시된다.

$$L_p(f) = 3.597\sqrt{f} + 0.043f + 0.0914/\sqrt{f} \quad (1)$$

이때, 는 dB로 표시된 propagation loss이며, 주파수는 MHz로 나타내었다.

FEXT interferer는 power-sum으로 나타나며, 50-pair케이블인 경우 다음식으로 표시할 수 있다.

그림 3. EL-FEXT power-sum loss(BKMA cable)



$$EL - FEXT = \frac{(49/n)^{0.6}}{\psi f^2 d} \quad (2)$$

이때,  $n$ 는 케이블의 길이이며  $\psi$ 는 coupling 계수이다. 주파수를 MHz로, 길이를 kilofeet로 각각 나타냈을 때 이다.

그림 3은 11 FEXT interferer일 때의 EL-FEXT power-sum loss를 보여주며, 600-ft의 UTP 케이블의 수신 단에서 얻은 값의 의미를 갖는다. 식 (2)의 FEXT 모델과 실험치의 FEXT power-sum loss를 비교하면 모델 값이 약 3 dB 나뉘음을 알 수 있다.

HDSL/ADSL 환경에서는, 전송시스템의 수신단에 적절한 기능을 추가함으로써 bridged-tap의 전송시스템의 성능에 끼치는 영향을 완화시킬 수 있다. 이는 HDSL/ADSL의 동작 주파수가 VDSL보다 낮고 loop 내의 bridged-tap이 길기 때문에 가능하다. 그러나, VDSL 환경에서는 short bridged-taps에 의한 영향이 상당히 심각하므로 (예를 들어, bridged-tap의 길이가 약 10 - 100 ft인 경우 loop loss가 약 30 dB 정도 추가됨), VDSL 시스템 설치 시에는 loop 내의 bridged-tap을 가능한 제거하는 등의 세심한 주의가 필요하다 [9].

그림 4. Bridged Tap의 영향

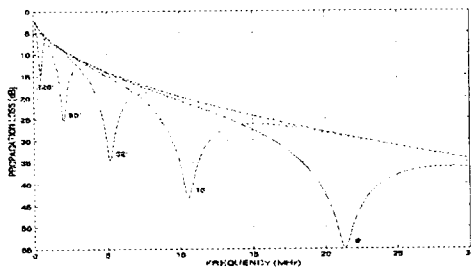


그림 4는 1 kft 24-gauge 케이블에 bridged tap이 연결되었을 때의 propagation loss를 보여주고 있다. 그림 4에서 loss의 null 주파수는 다음식과 같이 나타낼 수 있다.

$$f_0 = \frac{164}{d \text{ ft}} \quad (3)$$

이때,  $n$ 는 feet로 표시한 bridged tap의 길이이며,

주파수는 MHz로 표시하였다.

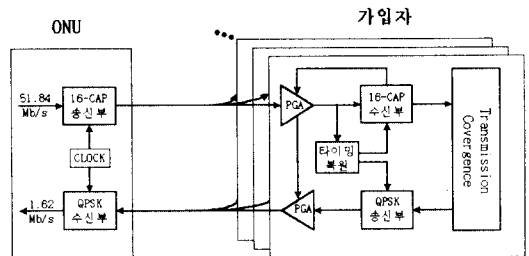
AM radio, amateur HAM radio, 및 short-wave radio 등으로 인한 RF interference (RFI)는 downstream channel과 upstream channel의 성능에 심각한 영향을 끼친다. 실험결과에 의하면 대부분의 RFI에 의한 영향은 drop cable이나 케이블의 연결부분에서 주로 발생하며 UTP distribution 케이블에는 큰 영향을 끼치지 않는다. 따라서 downstream channel 및 upstream channel 주파수 대역을 결정할 때는 FTTC/VDSL 시스템에 영향을 주는 HAM 주파수 대역 [3]을 고려해야 한다.

이밖에 가입자 건물 내에서 coaxial cable 즉, unbalanced cable을 사용할 경우 light dimmer나 hair dryer에 의하여 발생하는 impulse noise는 약 1-2 MHz의 주파수 대역까지 전송시스템에 심각한 영향을 끼친다. 이와 같은 impulse noise를 제거하기 위하여 downstream channel과 upstream channel 모두에 convolutional-interleaved Reed-Solomon code를 사용한다.

### 3. 전체시스템 구조

FTTC/VDSL 전송시스템의 전체구조는 그림 5와 같다. 전체시스템은 down-stream 및 up-stream 데이터 전송을 위한 51.84 Mb/s 16-CAP 전송시스템 및 1.62 Mb/s QPSK 전송시스템과, 타이밍 복원 회로, 자동이득 제어회로 등으로 구성되며, 각 시스템 구현 시에 DAVIC에서 규정한 권고사항을 고려

그림 5. FTTC/VDSL 전송시스템 전체구조



하였다. 16-CAP 전송시스템은 ONU에 있는 16-CAP 송신부가 한 가입자 맥내의 여러 단말기를 서비스할 수 있게끔 point-to-multipoint 구조로 설계되었으며, QPSK 전송시스템은 ONU의 QPSK 수신부가 가입자 맥내의 여러 개의 QPSK 송신부를 서비스할 수 있게끔 시분할 다중접속 방식을 채택하였다. 따라서, 16-CAP 수신부가 스스로 start-up할 수 있게끔 블라인드 적응동화 방식을 채택하였으며, QPSK 수신부는 할당된 시간 내에 임의의 QPSK신호의 carrier 및 타이밍 동기를 복원하고 데이터를 수신할 수 있게끔 burst-mode로 동작한다. 전체시스템의 동기화는 다음과 같이 이루어진다. ONU에 위치한 16-CAP 전송부의 clock은 네트워크로부터 공급되며 전체시스템의 기준 clock 기능을 한다. 가입자에 위치한 16-CAP 수신부와 QPSK 송신부를 위한 clock은 수신된 16-CAP 신호로부터 복원되며 QPSK 수신부는 16-CAP 전송부와 동일한 기준 clock를 사용하며 시분할 다중접속으로 수신된 QPSK 신호로부터 carrier와 타이밍 복원기능을 할당된 시간 내에 매번 반복 수행한다. 가입자에 수신된 downstream 신호는 자동이득 제어기, 타이밍 복원회로, A/D와 디지털 16-CAP 수신부를 거쳐서 가입자의 상위계층으로 데이터가 전달된다. 가입자의 upstream 신호는 16-CAP 수신부의 자동이득 제어기의 정보를 이용하여 적절히 증폭되어 ONU로 송신된다. Down-stream channel 및 upstream channel의 전송거리는 최대26-gauge 2.5 kft에서 DAVIC의 규정에 어울린 (downstream)와 (upstream)을 만족하도록 전체 시스템을 설계하였다 [5].

#### 4. 16-CAP 전송시스템

본 절에서는, downstream channel 데이터 전송에 사용된 16-CAP 전송시스템의 기본원리를 간략히 요약한 후에 본 연구에 적용된 decision-feedback equalizer (DFE) 구조를 기술하고, point-to-multipoint 환경에서 동작하는16-CAP 수신부의 블

라인드 동화기 알고리즘을 설명한다.

그림 6. 16-CAP-전송시스템 (a)송신부 (b)수신부

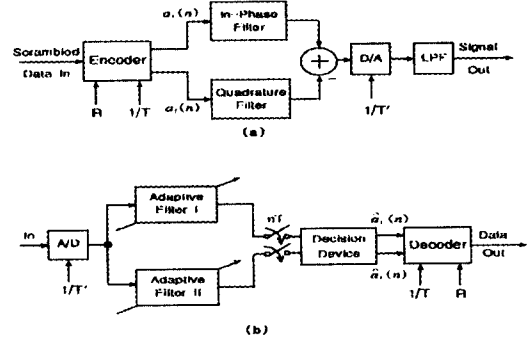


그림 6의 16-CAP 송신부의 출력신호는 다음의 식으로 나타내어진다 [7].

$$s(t) = \sum_{n=-\infty}^{\infty} [a_n p(t - nT) - b_n \tilde{p}(t - nT)] \quad (4)$$

이때, T는 심볼 주기이고 은 심볼 주기 nT 때 보낸 discrete multilevel 심볼이며, 는 각각 in-phase, quadrature shaping 펄스이다. 이때 passband 펄스인 는 baseband 펄스 를 이용하여 다음식으로부터 얻을 수 있다.

$$p(t) \equiv g(t) \cos(2\pi f_c t) \quad \tilde{p}(t) \equiv g(t) \sin(2\pi f_c t) \quad (5)$$

이때 는 passband shaping 펄스의 center frequency이며, 는 Hilbert pair를 이룬다. 그림 6의 CAP 수신부는 A/D 변환기와 두개의 적응 디지털 필터로 구성된다. A/D 변환기와 디지털 필터의 동작 주파수는 CAP 송신부의 D/A 변환기에 사용된 주파수와 동일하다. 따라서 CAP 수신부의 적응 디지털 필터는 fractionally-spaced linear equalizer 기능을 한다. 본 연구에서는 RFI와 타이밍 복원기능 등을 고려하여 12.96 MHz의 center frequency를 이용하였으며 38%의 excess bandwidth를 사용하였다.

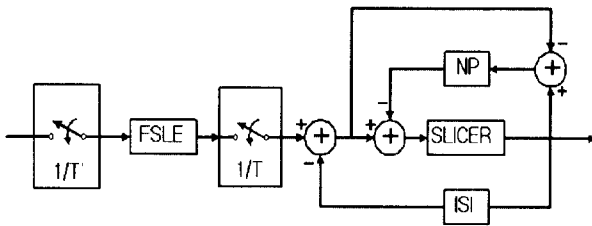
##### 4.1 DFE 구조

앞장에서 언급한 바와 같이 RFI는 FTTC/VDSL 시스템 동작 환경에서 자주 발생하는 impairment이며 이를 제거하기 위해서는 16-CAP 수신부에 DFE를 사용해야 한다 [3]. 현재 여러 전송시스템 및 storage 등에 사용되고 있는 DFE 구조는 그림7

과 같이 conventional (혹은 intersymbol-predictive) DFE (ISI-DFE)와 noise-predictive (NP-DFE) 구조로 구분할 수 있으며, 본 절에서는 두 DFE 구조의 원리와 장단점을 간략히 기술한다.

Zero-forcing 관점에서 볼 때 ISI-DFE 와 NP-DFE 는 수학적으로 동일한 형태이며, 따라서 이론적으로 동일한 성능을 갖는다. 수신된 신호의 전력 스펙트럼을 spectral factorization하여 얻은 minimum-phase (causal) filter를  $A(z)$ 로 표시하면, 두 DFE 구조의 feedback filter 함수는  $A(z)^{-1}$ 로 나타내어진다. 이때, slicer 입력신호는 ISI가 모두 제거된 심볼 값과 잡음의 상관계수가 제거된 백색잡음의 합으로 표시된다. 그러나 minimum mean-square-error (MMSE)관점에서 볼 때 (LMS 알고리즘을 사용했을 때), 두 DFE 구조는 매우 다른 특성을 갖는다. 예를 들어 RFI가 존재할 때, MMSE-NP-DFE는 ZF-NP-DFE및 MMSE-ISI-DFE보다 훨씬 열악한 성능을 보인다. 이 경우 MMSE-NP-DFE의 feed-forward 부분은 RFI를 제거하기 위하여 notch-filter 형태를 갖으며, 따라서 출력신호의 ISI가 심각하고 이를 그림 7의 noise-

그림 7. DFE 구조



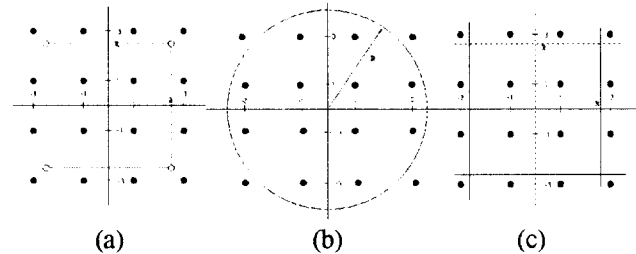
predictive feedback 구조로는 효율적으로 제거할 수 없기 때문이다. 일반적으로, MMSE-ISI-DFE는 채널이 열악하여 ISI가 심각하거나, narrowband interference가 존재할 때 성능이 우수하고, MMSE-NP-DFE는 broadband noise (예를 들어 NEXT/FEXT)가 심각할 때 우수한 성능을 보인다. 따라서, HDSL/ADSL 환경과 같이 loop가 길고 NEXT 등의 broadband noise와 narrowband interference가 심각한 상황에서는 Hybrid-DFE 가

사용되어진다 [10].

#### 4.2 블라인드 등화기 알고리즘

DAVIC에서 규정한 FTTC 구조는 ONU와 가입자 간의 가입자 망이 point-to-multipoint 구조를 이루고 있다. ONU의 16-CAP 전송부는 동일한 downstream 데이터를 가입자 맥내의 여러 개의 수신부에 연속적으로 전송하며, 가입자 맥내의 여러 개의 단말기중 임의의 한 개가 power on 되면, 다른 단말기는 이미 데이터수신 중에 있으므로, 동일한 downstream 데이터를 이용하여 스스로 blind start-up 하여야 한다. 반면에, up-stream channel 은 가입자 맥내의 여러 QPSK 송신부가 공유하므로 각 QPSK 송신은 burst-mode로 이루어지며, 초기 start-up을 위하여 preamble이라는 training signal 을 이용한다. 본 절에서는 16-CAP 수신부에 적용된 Reduced Constellation Algorithm (RCA), Constant Modulus Algorithm (CMA), Multi

그림 8. 블라인드 알고리즘 (a) RCA (b) CMA (c) MMA



Modulus Algorithm (MMA) 등의 블라인드 알고리즘을 비교 분석한다 (그림 8). 모든 블라인드 알고리즘은 각 cost function 을 규정한 후 이를 최소화하기 위한 등화기 계수 적응 알고리즘을 유도한다. RCA 방식은 CMA나 MMA 보다 시스템 복잡도 면에서 간단하지만 수렴시의 신뢰성이 적으며, CMA 방식은 시스템이 가장 복잡하지만 수렴시의 신뢰성이 우수하다. 특히 CMA 방식은 등화기의 출력 constellation이 회전되어 나타나며, 이를 바로 잡기 위하여 carrier 복원회로가 필요하다. MMA 방식은 시스템 복잡도나, 수렴시의 신뢰성 면에서 비교적 우수한 성능을 갖는다. 4.1 절에서 기술한 ISI-DFE에서는 feedforward와 feedback 등화기의

계수적용 알고리즘에 동일한 에러신호를 사용하며, feedback에 에러 심볼이 발생하면 이 에러신호가 propagation 되어 feedforward와 feedback 등화기 모두를 발산시킨다. 따라서 ISI-DFE에 블라인드 방식을 적용하기 위해서는 등화기의 필터 계수가 올바르게 수렴하도록 초기 수렴 시에 적절한 start-up 절차가 요구된다

## 5. 타이밍 복원 회로

FTTC/VDSL 시스템의 동기화는 다음과 같이 이루어진다. ONU에 위치한 16-CAP 송신부의 clock은 네트워크로부터 공급되며 전체시스템의 기준 clock 기능을 한다. 가입자에 위치한 16-CAP 수신부와 QPSK 송신부를 위한 clock은 loop-timing, 즉 수신된 16-CAP 신호로부터 복원된다. DAVIC에서 규정한 바에 의하면, ONU측, 네트워크 clock의 최대 오차는 50 ppm이며, ONU와 가입자측의 최대 타이밍 지터 (maximum peak-to-peak jitter)는 각각 1.5, 2.0 nsec이다 [5].

본 장에서는 xDSL 응용분야에 주로 사용되어지는 타이밍 복원 알고리즘을 기술하고, FTTC/VDSL 시스템에 적용된 envelope-based 타이밍 복원 시스템을 설계한 후, 성능을 비교 분석한다. xDSL 시스템의 타이밍 복원 기능을 위하여 envelope-based, band-edge, 및 equalizer-based 타이밍 복원 알고리즘이 주로 사용되어진다. Envelope-based 타이밍 복원 기능은 안정성이 있고, 시스템이 간단하며, 스펙트럼의 excess bandwidth가 큰 시스템에 주로 사용되어지나, 전송로가 길어지거나 열악해질 경우 성능이 나빠지는 단점이 있다. 전송로가 길 경우 수신된 스펙트럼의 높은 주파수 대역의 roll-off 전력이 급격히 감소하며, 이에 따라 tone-to-jitter 전력이 열악해지기 때문이다. HDSL/ADSL 응용 분야에서는 전송로의 길이가 약 10-12 kft 정도로 길므로 tone-to-jitter 성능을 개선하기 위하여 jitter 성분을 제거할 수 있는 band-edge 타이밍 복원 알고리즘이 사용되어진다.

이와 같이, band-edge 타이밍 복원 알고리즘은, 전송로가 길거나, 스펙트럼의 excess bandwidth가 적은 응용분야에 이용되어지나, envelope-based 타이밍 복원 기능보다 시스템이 복잡한 단점이 있다 [11].

xDSL 환경에서는 bridged-tap, splitter 등이 존재하며, 전송로 전달함수에 bridged-tap에 의한 스펙트럼 null이 발생한다 [9]. 이와 같은 null이 수신된 스펙트럼의 roll-off 영역에 위치할 경우, envelope-based 나 band-edge 타이밍 복원 알고리즘을 사용하면 수신된 신호의 심볼 주파수를 추출할 수 없다. Equalizer-based 타이밍 복원 알고리즘은, 수신된 신호의 스펙트럼에 상관없이 등화기의 필터 탭 값을 이용하여 심볼 주파수를 추출하는 방법으로서 bridged-tap, splitter에 의한 스펙트럼 손실 등의 환경에서 우수한 성능을 나타낸다. 특히 등화기 필터 탭의 center of gravity를 이용한 equalizer-based 타이밍 복원 방법 [12]은 심볼 주파수를 추출함과 동시에 등화기의 main-tap 위치를 조절할 수 있으며, 따라서 등화기의 탭 수가 적은 경우 main-tap 위치가 잘 못 놓임에 따른 성능 저하를 방지할 수 있다.

그림 9. 16-CAP 타이밍 복원회로

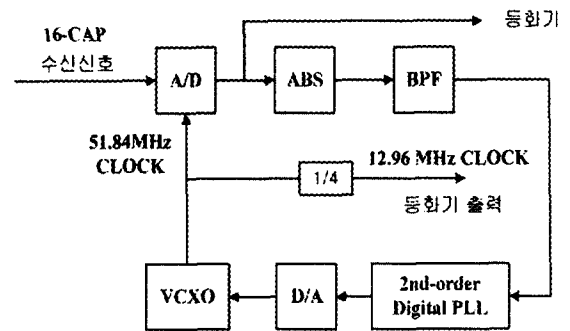


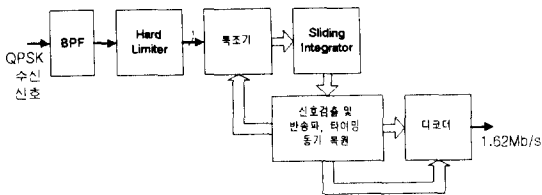
그림 9에 FTTC/VDSL 전송시스템에 적용된 타이밍 복원회로를 나타내었다. 수신된 16-CAP 신호는 A/D를 거쳐서 절대값을 취한 후 지터 등을 제거하기 위하여 BPF를 통과한다. 이어서 2차 디지털 PLL과 D/A를 거쳐서 VCXO에 전달된다.

VCXO 의 복원된 clock 은 51.84 MHz A/D 샘플링 과 등화기의 출력을 12.96 MHz로 샘플하는데 사용 된다.

## 6. QPSK 시스템 구조

QPSK 시스템의 전체구조는 그림 10과 같다. 수

그림 10. QPSK 시스템 전체 구조

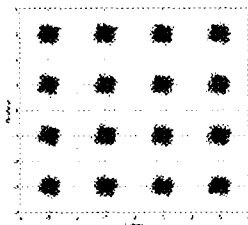


신된 QPSK 신호는 아날로그 bandpass 필터를 거친 후 Hard-limiter에 의해서 25.92 MHz로 샘플링 된다. 이어서, 복조기, sliding 적분기, 신호 검출 기, 반송파 및 타이밍 복조기 등의 모든 기능이 디지털로 구현되었다. 특히 Hard-limiter 의 출력이 1-bit 이므로, QPSK 시스템의 모든 기능은 multiplier 없이 shift and add 동작으로 실현되었다.

## 7. 성능실험

그림 11은 설계된 51.84 Mb/s CAP 전송시스템

그림 11. 수신부 출력의 16-CAP constellation



의 수신부에서 얻은 최종 constellation을 보여주고

있다. 이때 loop는 26 AWG 1 kft 이며, 11 FEXT 및 10.1 MHz RFI (16-CAP 수신신호와 같은 전력)가 존재하였다. 실험 시에, DAVIC의 시스템 성능 요구조건을 만족하는 최소의 송수신부 필터 탭 수와, 각부분 최적의 bit-precision을 사용하였다. 또한 시스템의 critical-path timing delay를 계산하여 적절한 pipeline delay를 두었으며, 수신부의 안정성을 위하여 등화기에 tap-leakage를 추가하였다 [13].

그림 12. 복원된 주파수 스펙트럼(Envelope-based)

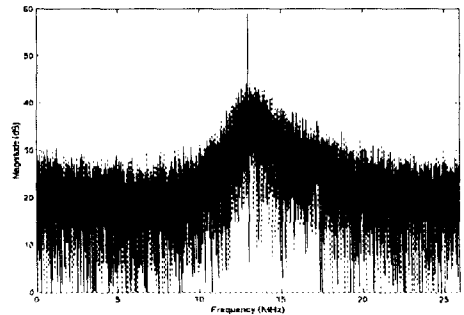
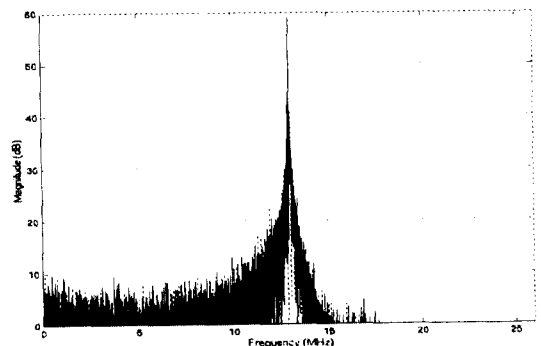


그림 12와 그림 13에 envelope-based 와 band-edge 타이밍 복원 알고리즘을 사용하여 복원된 심볼 주파수 (12.96 MHz) 의 스펙트럼을 각각 나타내었다. 이때 전송로는 BKMA 케이블 1 kft 이었으며 11 FEXT 가 존재하였다. 그림 12와 13를 비교하면, band-edge 의 경우가 envelope-based 보다 약 20 dB 정도 tone-to-jitter 전력이 개선됨을 알 수 있다. 수신된 16-CAP 신호는 일정한 clock (송

그림 13. 복원된 주파수 스펙트럼(Band-edge)





신부 신호와 동기가 안된 clock) 으로 샘플링된 후 interpolator에 입력되며 샘플된 신호는 디지털 타이밍 복원 회로에 의하여 복원된 clock으로 interpolation 된 후 등화기에 입력된다.

그림 14. 타이밍 복원회로의 주파수 offset 추적수렴

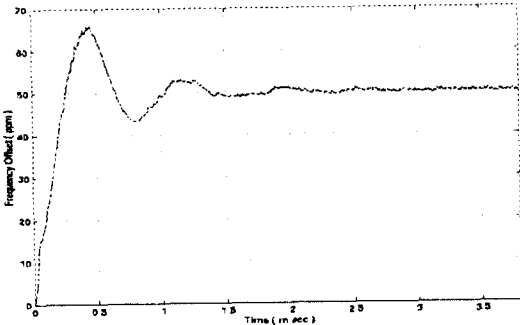


그림 14은 송,수신부의 clock 사이에 50 ppm 주파수 오프셋과 일정한 phase offset 이 있을 때 수신기가 송신부의 심볼 주파수를 추적하는 궤적을 보여준다. 그림 14에서와 같이 심볼 주파수 복원에 약 2-3 msec 가 소요됨을 알 수 있다. FTTC/VDSL 시스템을 위하여 설계된 타이밍 복원회로는 VCXO 의 최대 주파수 offset 이 100 ppm이며 지터의 최대 값이 (maximum peak-to-peak jitter) 3.0 nsec 이고, acquisition time 이 최대 18 msec 이다.

6 장에서 설계한 QPSK 시스템을 26 AWG (American Wiring Gauge), 2.5kft의 채널에서, noise

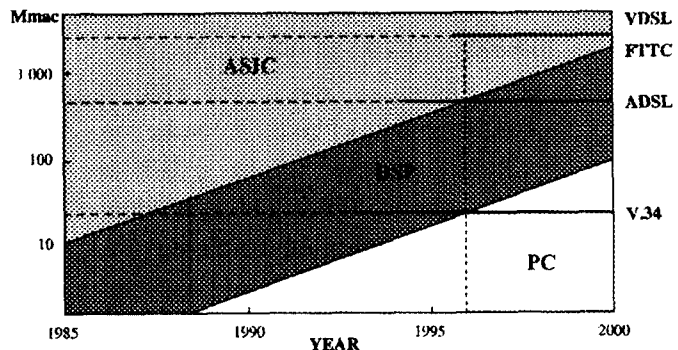
그림 15. QPSK 수신부 출력의 신호 constellation

는 11 FEXT와 AWGN (-140dBm/Hz) 으로 실험한 결과 수신단의 신호constellation을 그림15에 나타내었다. 그림 15 은 신호 1000개의 constellation을 나타내며 측정된 출력 SNR은 21.3dB이다. 실험 시에 noise의 영향을 줄이기 위하여 hysteresis를 limiter입력단에 두었고, boxcar filter에서는 탭 개수를 24로 두어 측정을 하였다.

### 8. 결론

본 논문에서는 FTTC/VDSL 시스템의 동작환경과 채널 (propagation loss, FEXT, bridged-tap, RFI, impulse noise)에 관하여 언급한 후, 전체시스템의 구조 및 동작원리를 기술하였다. 특히, downstream 데이터 전송에 사용된 16-CAP 시스템의 구조와 동작원리를 설명한 후에, DAVIC 시스템 규정을 고려하여 16-CAP 수신부에 ISI-DFE와 블라인드 등화 알고리즘을 구현하였다. FTTC/VDSL시스템을 디지털로 구현하기 위하여 순방향 채널 51.84 Mb/s 16-CAP 전송시스템의 최적의 A/D, D/A bit-precision 을 추출하고, 16-CAP 수신부의 자동이득 제어회로를 설계한 후, 가입자 댁내의 하향채널 수신과 송신채널 송신을 위한 타이밍 복원 시스템을 기술하였다. 성능실험결과 BKMA 1kft 채널에서 AGC 와 타이밍 복원회로 및 블라인드 등화기의 동작을 확인하였으며, 수렴 시에 소요된 시간은 최대 각각 20 msec, 10msec, 100msec로 DAVIC 의

그림 16. VLSI 기술 발전



Note: Mmac = million of multiply and accumulate

요구조건을 충분히 만족하였다. FTTC/VDSL 시스템의 점 대 다점 구조에서 역 방향 데이터 전송을 위한 1.62Mb/s QPSK 디지털 burst 전송시스템의 동작원리 및 구조를 기술하였으며 시스템 구현 시에 FEXT 등 noise의 영향을 제거하기 위한 알고리즘을 제시하였고, preamble과 user 데이터를 이용한 효율적인 반송파와 타이밍의 복원에 중점을 두어 시스템을 구현하였다. FTTC/VDSL 전송시스템의 모든 기능들은 디지털로 구현되었으며, 칩 구현을 위하여 각 기능들의 VLSI 시스템 파라메타 들을 추출하고 성능 시험을 실시하였다. 그림 16 에서 보는 바와 같이 VLSI 기술발전 추세에 따라서 현재 ADSL 전송시스템은 DSP 칩으로 개발되는 초기단계에 진입하였으며 본 논문에서 연구 개발한 FTTC/VDSL 가입자 전송시스템도 현재의 ASIC 단계에서 2000 년대 초기에는 DSP 칩으로 개발될 수 있으리라 예상된다.

참고문헌

- [1] G. H. Im, "Carrierless AM/PM Modulation and its applications for HDSL/ADSL, ATM LAN and Broadband Interactive Multimedia," 텔레콤 (대한전자공학회), pp. 30 - 57, Dec 1994.
- [2] 김기호, "DMT 전송기술과 ADSL," 텔레콤 (대한전자공학회), pp. 3-12, Dec. 1994.
- [3] G. H. Im, "Very-high Rate Digital Subscriber Line (VDSL) - System Level Issues and Implementation," Telecommunications Review, vol. 7, no. 2, pp. 219-231, 1997.
- [4] 유경현, "초고속 가입자선 전송 (VDSL) 의 기술동향," JCCI' 98, pp. 406-411, April 1998.
- [5] DAVIC 1.0 Specification Part 8; Lower Layer Protocols and Physical Interfaces, Nov. 1997.
- [6] D. D. Harman, G. Huang, G-H Im, M-H Nguyen, and J.J. Werner, and M.K. Wong, "Local Distribution for Interactive Multimedia TV," IEEE Multimedia Magazine, pp 14 - 23, fall 1995.
- [7] G. H. Im, D. D. Harman, G. Huang, A.V. Mandzik, M-H Nguyen, and J.J. Werner, "51.84 Mb/s 16-CAP ATM LAN Standard," IEEE J. Select. Areas Commun., vol. 13, no. 4, pp 620 - 632, May 1995.
- [8] G. H. Im and J.J. Werner, " Bandwidth-efficient digital transmission over unshielded twisted pair wiring," IEEE J. Select. Areas Commun., vol. 13, no. 9, pp 1643-1655, Dec., 1995.
- [9] G.H. Im and J.J. Werner, "Effect of Bridged Taps at VDSL Frequencies," ANSI T1E1.4/97-324, Sept. 22-26, 1997.
- [10] G.H. Im, et. al, "Hybrid decision-feedback equalizer arrangement for use in data communications equipment," July 1996 (U.S. Patent No. 5,513,216).
- [11] N.K. Jablon, "Joint Blind Equalization, Carrier Recovery, and Timing Recovery for High-order QAM Signal Constellations," IEEE Trans. Signal Processing, vol. 40, no. 6, pp.1383-1398, June 1992.
- [12] C.W. Farrow and R.L. Cupo, "A new timing recovery scheme based on the equalizer center of gravity," Bell Laboratories Technical Memorandum, April 1987.
- [13] N.R. Shanbhag and G. H. Im , "VLSI systems design of 51.84 Mb/s transceivers for ATM-LAN and broadband access," IEEE Trans. on Signal Processing, Vol 46. no5, p9 1403-1416 May 1998.

## 임 기 홍

- 1980년 2월 서울대학교 전자공학과 (B.S.)
- 1987년 2월 한국과학기술원 전기 및 전자공학과 (ph.D.)
- 1987년 2 ~ 1990년 10월 : 한국과학기술연구원(선임연구원)
- 1990년 10월~1996년 2월 : AT&T 벨 연구소(연구원)
- 1996년 2월~현재 : 포항공대 전자공학과(부교수)

## 심 창 섭

- 1975년 2월 서울대학교 응용물리과 (B.S.)
- 1993년 2월 한국과학기술원 전자공학과 (ph.D)
- 1975년 ~ 1982년: 국방과학연구소
- 1983년 ~ 1995년 : 한국전자통신연구소 (책임연구원)
- 1995년 ~ 현재 : 삼성전자 정보부문 기간네트워크 사업부  
Access Network개발팀(이사)

## 김 기 호

- 1980년 2월 한양대학교 전자공학과 (B.S.)
- 1982년 2월 한국과학기술원 전기 및 전자공학과 (M.S.)
- 1991년 : Univ. of Texas at Austin (ph.D)
- 1982년 ~ 1987년 : KBS 기술연구소
- 1991년 ~ 현재 : 삼성종합기술원 디지털통신실(부장)

## 임 종 대

- 1981년 2월 한양대학교 전자통신공학과 (B.S.)
- 1981년 2월 ~ 현재 : 삼성전자 정보통신부문 기간네트워크  
사업부 Access Network 개발팀 수석연구원(부장)