

Metal / Ferroelectric / Insulator / Semiconductor 구조의 결정 구조 및 전기적 특성에 관한 연구

신동석 · 최훈상 · 최인훈 · 이호녕* · 김용태*

고려대학교 재료공학과

*한국과학기술연구원 반도체 연구실

(1998년 3월 27일 접수)

Characteristics of the Crystal Structure and Electrical Properties of Metal / Ferroelectric / Insulator / Semiconductor

Dong-Suk Shin, Hoon-Sang Choi, In-Hoon Choi, Ho-Nyung Lee* and Yong-Tae Kim*

Department of Materials Science, Korea University, Seoul, 136-701, Korea

*Semiconductor Laboratory, Korea Institute of Science and Technology, Seoul, 130-650, Korea

(Received March 27, 1998)

요 약 - 본 연구에서는 강유전체 박막을 게이트 산화물로 사용한 Pt/SrBi₂Ta₂O₉(SBT)/CeO₂/Si(MFIS)와 Pt/SBT/Si(MFS) 구조의 결정 구조 및 전기적 성질의 차이를 연구하였다. XRD 및 SEM 측정 결과 SBT/CeO₂/Si 구조의 경우 SBT/Si 구조에 비해 SBT 박막이 더 큰 결정립이 형성되었다. HRTEM 측정으로 SBT/CeO₂/Si 박막은 약 5 nm 정도의 SiO₂ 층이 형성되었고 비교적 평탄한 계면의 미세구조를 가지는 반면, SBT/Si는 각각 약 6 nm와 7 nm 정도의 SiO₂ 층과 비정질 중간상층이 형성되었음을 알 수 있다. 즉 CeO₂ 박막을 완충층으로 사용함으로써 SBT 박막과 Si 기판의 상호 반응을 적절히 억제할 수 있음을 확인하였다. Pt/SBT/CeO₂/Pt/SiO₂/Si와 Pt/SBT/Pt/SiO₂/Si 구조에서 Polarization-Electric field(P-E) 특성을 비교해 본 결과 CeO₂ 박막의 첨가에 따라 잔류분극값은 감소하였고 항진계값은 증가하였다. MFIS 구조에서 memory window 값은 항진계값과 직접적 관련이 있으므로 이러한 항진계값의 증가는 MFIS 구조에서의 memory window 값이 증가할 수 있음을 나타낸다. Pt/SBT(140 nm)/CeO₂(25 nm)/Si 구조에서 Capacitance-Voltage(C-V) 측정 결과로부터 동작전압 4-6 V에서 memory windows가 1-2 V 정도로 나타났다. SBT 박막의 두께가 증가할수록 memory window 값은 증가하였는데 이는 SBT 박막에 걸리는 전압강하가 증가하기 때문인 것으로 생각되어진다. Pt/SBT/CeO₂/Si의 누설전류는 10⁻⁸ A/cm² 정도였고 Pt/SBT/Si 구조에서는 약 10⁻⁶ A/cm² 정도로 약간 높은 값을 나타내었다.

Abstract - We have investigated the crystal structure and electrical properties of Pt/SBT/CeO₂/Si(MFIS) and Pt/SBT/Si(MFS) structures for the gate oxide of ferroelectric memory. XRD spectra and SEM showed that the SBT film of SBT/CeO₂/Si structure had larger grain than that of SBT/Si structure. Furthermore HRTEM showed that SBT/CeO₂/Si had 5 nm thick SiO₂ layer and very smooth interface but SBT/Si had 6 nm thick SiO₂ layer and 7 nm thick amorphous intermediate interface. Therefore, CeO₂ film between SBT film and Si substrate is confirmed as a good candidate for a diffusion barrier. The remanent polarization decreased and coercive voltage increased in Pt/SBT/CeO₂/Pt/SiO₂/Si structure. This effect may increase memory window of MFIS structure directly related to the coercive voltage. From the capacitance-voltage characteristics, the memory windows of Pt/SBT(140 nm)/CeO₂ (25 nm)/Si structure were in the range of 1~2 V at the applied voltage of 4~6 V. The memory window increased with the thickness of SBT film. These results may be due to voltage drop applied at SBT films. The leakage currents of Pt/SBT/CeO₂/Si and Pt/SBT/Si were 10⁻⁸ A/cm² and 10⁻⁶ A/cm², respectively.

1. 서 론

강유전체를 이용한 불휘발성 기억소자(nonvolatile-ferroelectric RAM)는 현재의 DRAM과 NVRAM의 역할을 동시에 갖고 있다는 점에서 큰 관심을 끌어들였다 [1, 2]. 강유전체 불휘발성 기억소자의 경우 하나의 트랜지스터와 하나의 캐패시터로 구성되거나 두개의 트랜지스터와 두 개의 캐패시터로 구성된 DRO(destructive read out)-FRAM과 기억 단위소자로서 하나의 트랜지스터만을 가지는 NDRO(non-destructive read out)-FRAM으로 나눌 수 있다. 특히 NDRO-FRAM은 한 개의 트랜지스터로 동작되므로 집적도를 높일 수 있고 저장된 정보를 읽어도 정보가 휘발되지 않는 장점을 가지고 있어 앞으로 무한한 발전 가능성을 가지는 소자이다[3, 4]. 이와 같은 단일 트랜지스터로 동작되는 소자는 강유전체 박막을 게이트 산화막으로 사용한 구조인 MFS(metal/ferroelectric/semiconductor) 구조를 구현해야 한다. 그러나 이러한 MFS 구조의 경우 강유전체 박막과 Si 기판의 상호 확산으로 인한 계면 특성이 저하되어 강유전체 특성을 심각하게 저하시키고 많은 트랩 전하를 형성하여 소자 특성에 있어 문제가 있다[4, 5]. 이러한 단점을 극복하기 위해서 강유전체 박막과 Si 기판사이에 완충층을 사용한 MFIS(metal/ferroelectric/insulator/semiconductor) 구조가 제안되었다[6]. 본 연구에서는 완충층으로 CeO₂ 박막을 사용하고자 한다. CeO₂의 경우 SiO₂ 보다 더 큰 결합에너지를 가지므로 열처리 과정 동안에 SiO₂의 형성을 가능한 억제하고 열적으로 안정적인 완충층으로 기대된다. 특히 완충층의 경우 열적으로 안정한 특성이 요구되며 확산 방지막 역할이 요구된다. 본 연구에서는 NDRO-FRAM 소자 구현을 위한 MFIS 구조로서 Pt/Sr_{0.75}Bi_{2.4}Ta₂O₉(SBT)/CeO₂/Si와 Pt/SBT/Si의 결정 구조적 및 전기적 특성에 있어서의 차이를 조사하였다.

2. 실험

CeO₂ 박막은 산소 분위기에서 Ce 타겟(순도 = 99.99%)를 가지고 rf-sputtering에 의해 p-type Si(100)기판위에서 증착되었다. 다음 Table 1은 CeO₂ 박막의 성장조건이다. CeO₂ 박막의 증착률은 2.2 nm/min 이었다. CeO₂ 박막 성장률은 RBS(Rutherford backscattering spectrometry)에 의해 측정되어졌다. Sr_{0.75}Bi_{2.4}Ta₂O₉(SBT) 박막은 CeO₂/Si과 Si 기판위에서 sol-gel 방법에 의해 증착되었다. SBT 박

Table 1. Sputter conditions of CeO₂ thin film

Base pressure	1 × 10 ⁻⁶ Torr
Working pressure	7 mTorr
Ar/O ₂	8/2
Substrate temp.	room temp.
Power	100W(RF)

막은 Symetrix corp.의 MOD liquid solution을 사용하여 스핀 코팅법을 사용하여 성장하였다. 스핀 속도 2000 rpm에서 코팅한 후 250°C와 400°C에서 각각 5분씩 중간 열처리하였고 800°C에서 1시간 산소분위기에서 최종 열처리하였다. 한 번 성장한 SBT 박막의 두께는 약 70 nm이고 SBT 박막(x/y/z=0.75/2.4/2)의 조성은 WDS(wavelength dispersive spectroscopy)에 의해 측정되었다. 열처리과정동안 Bi의 휘발로 인한 Bi 조성의 2.4에서 2.2로의 감소가 일어나지만 Sr/Ta은 변하지 않았다. 전기적 특성 분석을 위하여 지름 0.2 mm인 마스크를 사용하여 상부 전극으로 두께 200 nm의 Pt전극을 sputtering 법으로 증착하였다. 상부 전극을 증착한 후 다시 산소분위기에서 600°C로 30분간 열처리하였다. CeO₂/Si, SBT/CeO₂/Si와 SBT/Si구조의 결정성은 XRD(x-ray diffraction)에 의해 분석되어졌다. 전기적 특성은 HP4140B와 HP 4284A를 가지고 I-V(current-voltage)와 C-V(capacitance-voltage)를 각각 측정하였다. RT66A를 가지고 강유전성을 측정하였다. SBT/CeO₂/Si와 SBT/Si 구조의 표면 및 계면 관찰을 위하여 FESEM(field emission scanning electron microscopy)와 HRTEM(high resolution transmission electron microscopy)을 각각 사용하였다.

3. 결과 및 고찰

Si 기판위에서 초기 성장된 CeO₂ 박막은 Fig. 1(b)에서 보여진 것처럼 (111), (220) 그리고 (311)방향으로 배열된 다결정상을 갖는다. Fig. 1(a)는 CeO₂/Si 구조를 800°C에서 1 시간 동안 산소분위기에서 열처리 한 XRD 결과이다. 이 경우 초기 증착한 박막과 결정구조의 변화는 보이지 않았다. Fig. 2(b)는 SBT/CeO₂ 박막이 800°C에서 1 시간동안 산소분위기에서 열처리한 경우로 다결정상임을 보여준다. Fig. 2(a)는 SBT/Si 구조에 대한 SBT 박막의 결정성 결과이다. 결정방향은 SBT/CeO₂/Si 구조와 거의 유사한 것으로 나타났으나 반축폭이 더 큰 것을 보아 작은 결정립이 형성된 것을 확인 할 수 있었다. 이러한 결과는 표면 관찰 결과에서도 확인할

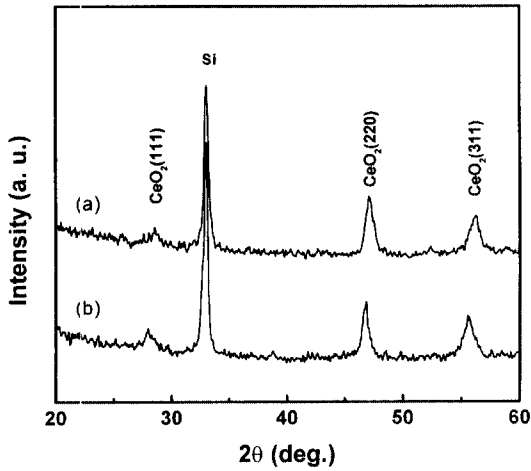


Fig. 1. XRD spectra of CeO_2/Si structure (a) annealed at 800°C for 1 hr and (b) as deposited.

수 있었다. 다음 Fig. 3은 SBT/ CeO_2/Si 와 SBT/Si 구조의 SEM 표면 관찰 결과이다. SBT/Si 구조의 경우 SBT/ CeO_2/Si 구조와 비교할 때 결정립 크기가 작은 것을 알 수 있었다. 이러한 결과는 SBT 박막이 Si 기판과 직접 접촉하고 있으므로 계면 반응에 의해서 결정 성장이 원활히 이루어지지 않은 결과로 생각되어 진다. 이와 같이 박막과 Si 기판사이의 계면 반응을 확인하기 위하여 HRTEM 단면 관찰 결과를 Fig. 4에 나타내었다. 다음 Fig. 4(a)는 SBT/ CeO_2/Si 구조의 계면 TEM 사진이다. 이 경우 계면 상태가 매우 평탄하고 CeO_2 와 Si 및 SBT와 CeO_2 사이의 계면 반응은 거의 관찰되지 않았다. 그러

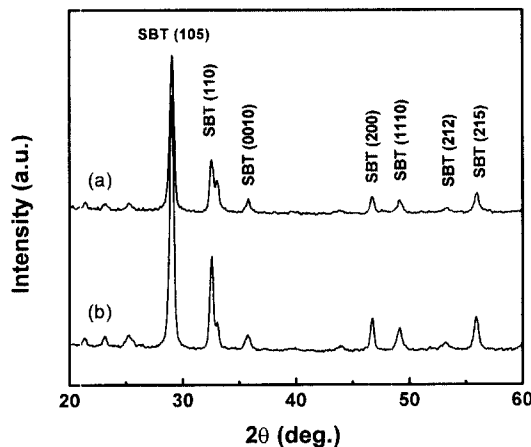
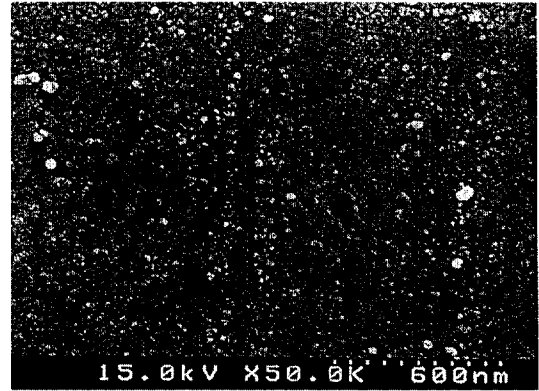


Fig. 2. XRD spectra of (a) SBT/Si annealed at 800°C for 1 hr and (b) SBT/ CeO_2/Si annealed at 800°C for 1 hr.



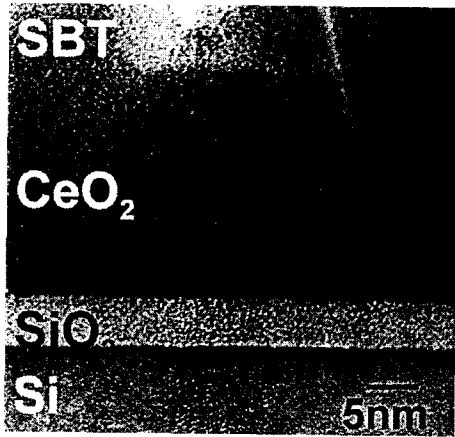
(a)



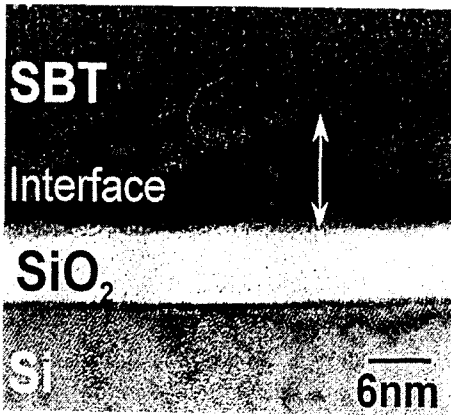
(b)

Fig. 3. SEM photographs of the surface of (a) SBT/Si and (b) SBT/ CeO_2/Si structures.

나 5 nm 두께의 SiO_2 산화막이 열처리 과정동안에 형성되었다. Fig. 4(b)는 SBT/Si 구조의 단면 관찰 결과이다. SBT 박막과 Si 기판 사이에 6 nm 정도의 SiO_2 가 형성되었고 Fig. 4(a)의 SBT/ CeO_2/Si 구조의 경우와 달리 SBT 박막과 SiO_2 의 혼합상으로 예상되는 중간상이 약 7 nm 정도 형성되었다. 이와 같은 결과를 토대로 볼 때 CeO_2 박막은 SBT와 Si 사이의 상호 반응을 억제하는 확산 방지막으로 적합한 것을 확인하였다. 다음 Fig. 5는 MFIM(Pt/SBT/ $\text{CeO}_2/\text{Pt}/\text{SiO}_2/\text{Si}$)와 MFIM(Pt/SBT/Pt/ SiO_2/Si)의 강유전성을 측정된 것이다. P-E 이력곡선을 측정된 결과에서 MFIM 구조의 경우 MFM 구조보다 항전계값이 증가하고 잔류분극값은 약간 감소하는 것으로 나타났다. 이러한 항전계값과 잔류분극값의 차이는 CeO_2 박막과 SBT 박막간의 전압분배에 의해 SBT 박막에 걸리는 전압강하가 발생하기 때문이다. 반



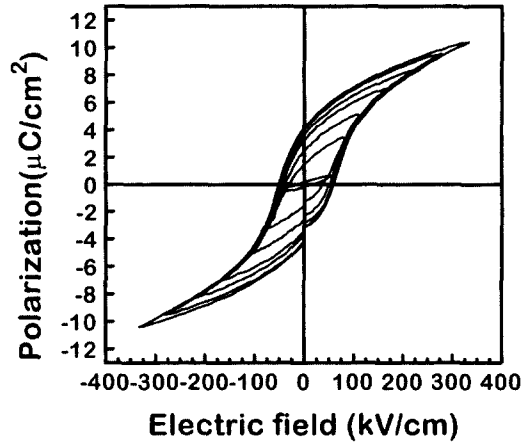
(a)



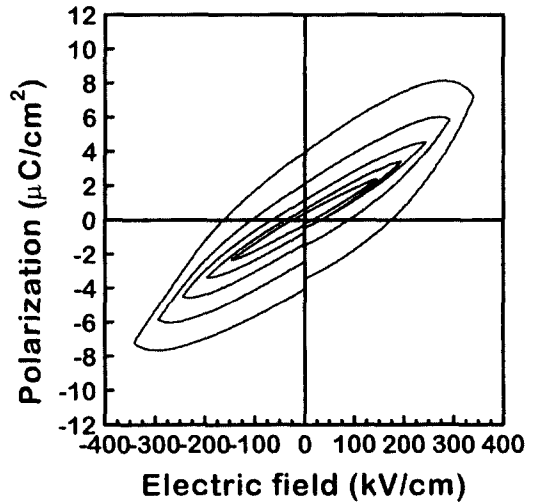
(b)

Fig. 4. HRTEM cross sectional images of (a) SBT/CeO₂/Si and (b) SBT/Si structures.

면 MFIS 구조의 경우 SBT 박막에 전압강하가 발생하여 보다 높은 전압을 걸어주어야 한다는 단점이 있다. 이와 같은 특성은 강유전체 및 완충층박막을 게이트 산화막으로 사용한 MFIS 구조의 동작 특성에 결정적으로 영향을 미친다. 그 이유는 다음과 같다. MFIS 구조에서는 낮은 동작 전압과 안정적인 memory window가 요구된다. 이 때 memory window 값은 항전계값과 직접적인 관련이 있고 동작 전압은 강유전체 및 완충층의 두께와 밀접한 관련이 있다. 즉 MFIS 구조가 이상적인 동작 특성을 갖기 위해서는 강유전체 및 완충층 두께가 적절히 조절될 필요가 있다. 물론 완충층은 확산 방지막의 역할도 해야한다. 이와 같이 강유전체 및 완충층 박막의 두께에 대한 MFIS 구조의 전기적 특성을 조사하였다. 나



(a)



(b)

Fig. 5. Hysteresis characteristics of (a) Pt/SBT/Pt/SiO₂/Si and (b) Pt/SBT/CeO₂/Pt/SiO₂/Si structures.

음 Fig. 6은 Pt/SBT(140 nm)/CeO₂(25 nm)/Si 구조에서의 C-V 측정 결과이다. 잔류분극 특성에 의한 이력 곡선이 잘 나타난다. 이 때 형성된 이력 전압을 memory window라고 한다. 즉 memory window는 항전계값이 증가할수록 증가하게 된다. 이 경우 동작 전압 6 V에서 약 2 V 정도의 memory window 값을 나타내었다. 일반적으로 안정적인 동작 특성을 얻기 위해서 약 2 V 정도가 요구되므로 이에 적합한 결과이다. 그러나 보다 낮은 전압에서 동작하기 위해서는 강유전체 및 완충층 박막의 두께를 조절하여 동작전압을 감소시킬 필요가 있다. 다음 Fig. 7은 SBT 강유전체 박막 두께 변화에 따른 memory

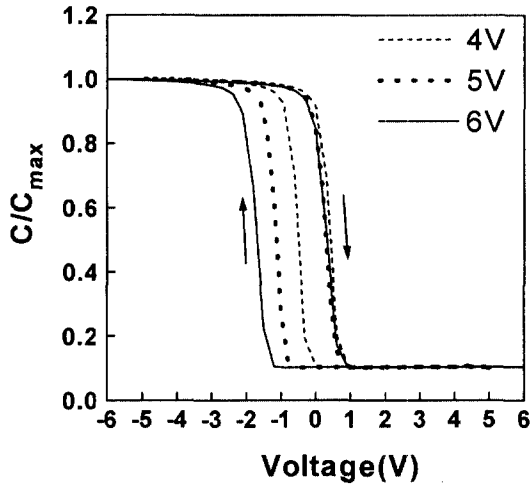


Fig. 6. Capacitance-voltage characteristics of Pt/SBT/CeO₂/Si structure.

window 값을 나타낸 것이다. SBT 강유전체 박막의 두께가 증가할수록 memory window 값이 증가하는 것을 알 수 있다. 이것은 강유전체 박막의 두께가 증가하면 정전용량이 감소하고 이에 따른 전압강하 현상이 증가하여 항전계값을 증가시키기 때문이다. 물론 강유전체 박막의 두께가 증가함에 따라 동작전압이 증가하게 되므로 적절한 조절이 필요하다. 다음 Fig. 8은 Pt/SBT(140 nm)/CeO₂(25 nm)/Si와 Pt/SBT(140 nm)/Si 구조의 I-V 특성을 나타낸다. MFIS 구조는 약 10⁻⁸ A/cm² 정도로 우수한 누설전류 특성을 갖는다. 그러나 MFS 구조는 약 10⁻⁶ A/cm² 정도로 MFIS 구조보다 높은 누설전류값을 가진

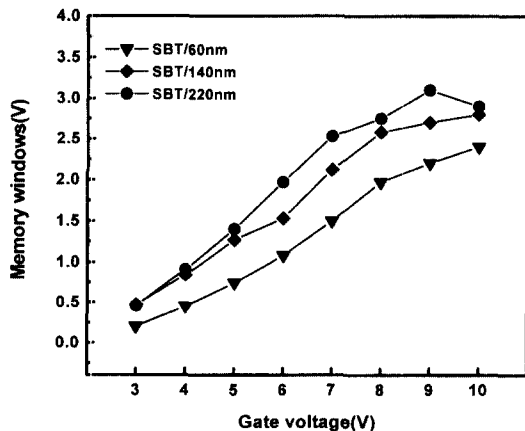


Fig. 7. Memory windows of MFIS structure of SBT/CeO₂(25 nm)/Si with a different thickness of SBT films.

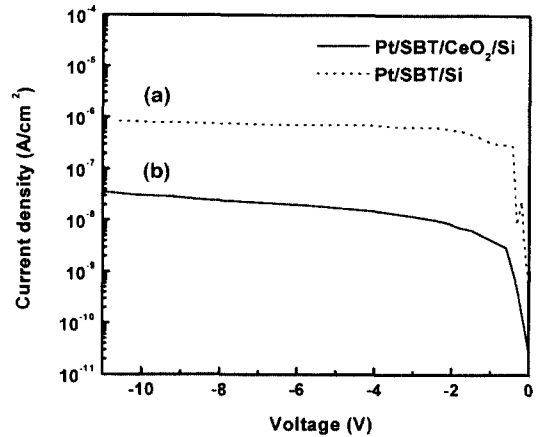


Fig. 8. Current-Voltage characteristics of (a) Pt/SBT/Si and (b) Pt/SBT/CeO₂/Si structures.

다. 이러한 결과는 위의 Fig. 3의 TEM 단면 관찰에서 보았듯이 SBT 박막과 Si 기판사이의 계면 특성 및 CeO₂ 박막에 의한 전압 강하 현상에 의한 것으로 생각된다.

4. 결 론

본 연구에서는 강유전체 박막을 게이트 산화물로 사용한 Pt/SBT/CeO₂/Si(MFIS)와 Pt/SBT/Si(MFS) 구조의 결정 구조 및 전기적 성질의 차이를 연구하였다. XRD 및 SEM 측정 결과 SBT/CeO₂/Si 구조의 경우 SBT/Si 구조에 비해 SBT 박막이 더 큰 결정립이 형성되었다. HRTEM 측정으로 SBT/CeO₂/Si 박막은 약 5 nm 정도의 SiO₂ 층이 형성되었고 비교적 평탄한 계면의 미세구조를 가지는 반면, SBT/Si는 각각 약 6 nm와 7 nm 정도의 SiO₂ 층과 비정질 중간상층이 형성되었다. 즉 CeO₂ 박막을 완충층으로 사용함으로써 SBT 박막과 Si 기판의 상호 반응을 적절히 억제할 수 있음을 확인하였다. Pt/SBT/CeO₂/Pt/SiO₂/Si와 Pt/SBT/Pt/SiO₂/Si 구조에서 P-E 특성을 비교해 본 결과 CeO₂ 박막에 첨가가 따라 잔류분극값은 감소하였고 항전계값은 증가하였다. MFIS 구조에서 memory window 값은 항전계값과 직접적 관련이 있으므로 이러한 항전계값의 증가는 MFIS 구조에서의 memory window 값이 증가할 수 있음을 나타낸다. Pt/SBT(140 nm)/CeO₂(25 nm)/Si 구조에서 C-V 측정 결과로부터 동작전압 4-6 V에서 memory window 값이 1-2 V 정도로 나타났다. SBT 박막의 두께가 증가할수록 memory window 값은 증가하였는데 이는 SBT 박막에

결리는 전압강하가 증가하기 때문인 것으로 생각되어진다. Pt/SBT/CeO₂/Si의 누설전류는 10⁻⁸ A/cm² 정도였고 Pt/SBT/Si 구조에서는 약 10⁻⁶ A/cm² 정도로 약간 높은 값을 나타내었다. 결과적으로, Pt/SBT/CeO₂/Si 구조를 사용할 경우 SBT 박막과 CeO₂ 박막사이의 두께를 적절히 조절하면 낮은 동작전압에서 안정적으로 동작하는 단일 트랜지스터 소자를 구현할 수 있을 것이다.

감사의 글

본 연구는 한국과학재단 97년도 연구비 지원으로 수행되었으며 이에 감사드립니다(97-0300-0601-3).

참고문헌

1. Y. Tarui, Technical Digest of 1994 IDEM, 7 (1994).
2. W. Kinney, Integ. Ferroelect. **4**, 131 (1994).
3. B. M. Melnick, J. Gregory and C. A. Paz-de Araujo, Integ. Ferroelect. **11**, 145 (1995).
4. T. Nakamura, Y. Nakao, A. Kamisawa and H. Takasu, Integ. Ferroelect. **11**, 161 (1995).
5. Y. T. Kim and C. W. Lee, Jpn. J. Appl. Phys. **35**, 6153 (1996).
6. D. S. Shin, Y. H. Han and Y. T. Kim, Solide State Devices and Materials, 32 (1997).