

접속 행렬을 이용한 순차 시스템 제어기 설계

(Design of Sequential System Controller Using Incidence Matrix)

전호익* · 류창근** · 우광준***

(Ho-ik Jun · Chang-Guen Ru · Kwang-Joon Woo)

요 약

본 논문에서는 페트리 네트로 記述된 제어 사양을 접속 행렬로 해석한 후, 그 결과를 근거로 병렬 시퀀스의 수행이 가능한 순차 시스템 제어기(Sequential System Controller) 를 설계하였다.

순차 시스템 제어기는 입력 처리부, 그리고 점화 처리부와 토큰 제어기로 구성된 페트리 네트 제어기로 구성된다. 입력 처리부에서는 입력 신호를 선택하여 점화 처리부로 전달하며, 점화 처리부는 토큰 운전기의 토큰 상태에 따라서 입력된 신호의 점화 여부를 판단하게 된다. 제안된 제어기는 제어 사양의 변경시 접속 행렬을 저장한 롬의 내용 변경만으로 제어기의 변경이 가능하고, 페트리 네트 제어기의 모듈화가 가능하여 기능의 확장이 용이하므로 자동창고 시스템, 반송 시스템, 및 승강기 시스템과 같은 순차 시스템 제어기의 개발 및 실현을 용이하게 할 수 있다.

Abstract

In this paper, we design a sequential system controller, which is capable of processing parallel sequence, on the basis of analysis of control specification described by Petri Net with incidence matrix.

The sequential system controller consists of input conditioning unit and petri net control unit which is composed of the token control unit and firing unit. The firing unit determines the firing condition of the transfer signal on the basis of the token status of token control unit.

By the proposed scheme, we can easily develop and implement the sequential system controller of automated warehousing system, automated transportation system, elevator system, and so on, as it is possible to modify control specification by changing simply the content of incidence matrix ROM and to expand easily functional capacity as the result of modular design.

*정회원 : 해전전문대학 전자계산과 조교수

**정회원 : 남서울산업대학 전자공학과 조교수

***정회원 : 단국대학교 전자공학과 교수

접수일자 : 1997. 11. 21

1. 서 론

최근 자동창고 시스템, 반송장치 및 승강기 시스템과 같은 순차 시스템 제어기의 개발 및 실현은 제어사양의 변경에 따른 대응능력 및 확장이 용이하게 이루어지는 유연성을 요구한다.

일반적으로 제어 시스템을 설계하는 데에는 3단계를 거쳐 이루어진다. 첫 번째 단계는 제어 시스템의 사양에 대한 알고리즘적 記述이며, 두 번째 단계로는 記述된 알고리즘에 대한 해석이다. 마지막 단계로 해석한 결과가 안전(Safe)하고 생동적(Live)이라 판정되면 이를 다양한 방법으로 구현한다.

첫 번째 단계에서는 제어 시스템의 전반적인 내용을 정확하고 간결하게 記述하기 위하여 흐름도, 상태도, GRAFCET [1,2,3] 또는 페트리 넷 (Petri Net)[4,5,6] 등을 이용하여 도식적으로 記述하며, 두 번째 과정인 記述된 알고리즘에 대한 해석에 대해서는 알고리즘의 신뢰성과 안전성에 대하여 검증을 하게 된다. 흐름도, 블록도 등은 記述하기가 편리하나 시스템의 상태 흐름을 알 수 없고 정형화된 해석 방법이 없다. 페트리 넷으로 記述된 시스템은 수학적으로 해석이 가능하다.

제어 시스템을 구현하는데 있어서 설계된 시스템의 해석 결과가 안전적이라 하여도 시스템을 記述한 알고리즘 언어를 직접적으로 구현할 수 없으며, 이를 변환하는 과정에서 오류가 발생할 수도 있고 또한 변환 과정에 많은 시간이 소요된다. 따라서, 이러한 오류와 설계 시간을 줄이기 위해서는 시스템의 記述 및 해석된 내용을 직접 제어기로 구현할 수 있어야 된다.

본 논문에서는 제어 시스템을 설계하는데 있어서 오류와 설계 시간을 줄이기 위하여 순차 시스템을 페트리 넷으로 記述하고, 이를 접속 행렬(Incidence Matrix)[7,8]로 표현하여 해석한 결과 안전하고 생동적인 시스템인 경우에 대하여 記述된 알고리즘의 해석 언어인 접속 행렬을 제어 시스템으로 직접 구현하는 방법을 제시한다.

이러한 제어 시스템은 자동 창고 및 반송 시스템과 같은 순차 시스템 제어기에 적합하다.

2. 제어 시스템의 기술 및 해석

페트리 넷을 이용하여 제어 사양을 記述하는 방법은 다음과 같다.

페트리 넷은 다음과 같이 정의한다.

$$N=(P,T,I,O,M)$$

여기서,

P는 장소(Place)의 집합으로 원으로 표시하며 제어 대상에서의 입력을 나타낸다.

$$P_j=(p_1, p_2, p_3, \dots, p_n)$$

T는 천이(Transition)의 집합으로 바(Bar)로 표시하며 제어 대상으로서의 출력을 나타낸다.

$$T_i=(t_1, t_2, t_3, \dots, t_n)$$

$I(t_i)$ 는 천이 t_i 로 입력되는 장소의 집합이다.

$O(t_i)$ 는 천이 t_i 에서 출력되는 장소의 집합이다.

M은 마킹(Marking)으로 장소에 토큰(Token)을 주어 페트리 넷으로 시스템의 상태를 나타내고, 초기 마킹(M_0)이라 함은 시스템의 초기 상태를 나타낸다.

이때, $P \cap T = \emptyset$ 이고 $P \cup T \neq \emptyset$ 이다.

장소 p_j 가 천이 t_i 의 입력 장소이면 $P_j \in I(t_i)$ 로, 출력 장소이면 $P_j \in O(t_i)$ 로 표현한다. 또한 천이 t_i 에서 다중 아크가 입력장소 p_j 에 연결되었으면 $\#(p_j, I(t_i))$ 로, 출력 장소에 연결되어 있으면 $\#(p_j, O(t_i))$ 로 표현한다.

페트리 넷의 점화 규칙은 다음과 같다.

1) 마크된 페트리 넷의 천이 t_i 는 모든 p_j 에 대하여 $M(p_j) \geq \#(p_j, I(t_i))$ 이면 점화 가능하다.

2) 점화 가능한 천이는 실제 사건이 일어나면 점화된다.

3) 천이 t_i 가 점화된 후 새로운 마킹 M' 은 (1)과 같이 정의한다.

$$M'(p_j) = M(p_j) - \#(P_j, I(t_i)) + \#(P_j, O(t_i)) \quad (1)$$

페트리 넷은 (2),(3)을 이용하여 접속 행렬인 D^- 와 D^+ 로 표시한다.

$$D^-[j,i] = \#(P, I(t_i)) \quad (2)$$

$$D^+[j,i] = \#(P, O(t_i)) \quad (3)$$

$$M' = M + x \cdot D \quad (4)$$

이때, D 는 $D = D^+ - D^-$ 이다.

여기서, D^- 는 천이에 연결된 입력 장소에 관한 행렬로 각 제어 동작에 대한 입력 조건을 표시하고, D^+ 는 천이에 연결된 출력 장소에 관한 행렬로 다음에 실행할 제어 시퀀스를 표현한다. 또한 M' 은 임의의 천이가 점화된 결과 각 장소의 토큰 수를 표시하며, x 는 점화된 천이 및 천이의 점화된 횟수를 표시한다.

해석 방법으로는 접속 행렬에 의한 방법을 이용하며 해석 알고리즘은 다음과 같다.

단계1) (2)와 (3)을 이용하여 접속 행렬 D 와 초기 마킹 M_0 를 구한다.

단계2) 점화 가능 여부를 판단하여 새로운 마킹을 구하는 단계로는 d_{ij} 의 음수를 포함하는 각 행에 대하여 다음을 실행한다.

$$M(p_i) \geq d_{ij} (d_{ij} < 0) \text{를 만족하면}$$

$$M'(p_i) = M(p_i) + d_{ij}$$

단계3) M' 를 M 으로 대치한다.

단계2에서 구한 t_i 의 행에서 원소가 양수인 p_j 열을 구한다. p_j 열에서 음수를 포함하는 또 다른 t_k 행을 구하여 단계2를 반복한다. 이때 더 이상 점화 가능한 행이 존재하지 않으면 모든 행과 다시 비교하여 점화 조건을 판별하여 그 결과도 점화 불가능이면 데드락이다.

단계4) M' 이 초기 토큰 값과 같거나 전 세대 값과 같으면 종료한다.

모든 단계를 거친 후 데드락이 발생하지 않고 모든 장소와 천이를 통과하면 정상적인 페트리 넷트라 한다.

페트리 넷트의 해석 결과는 다음과 같은 동적 특성에 의해 표시된다.

시퀀스가 진행함에 따라 임의의 장소에 토큰이 계속 증가하는 페트리 넷트를 무제한적(Unbounded)이라 하고, 임의의 장소에 토큰의 개수가 일정 수 이내에 있는 경우를 제한적(Bounded)이라 한다. 특히 제한적인 경우에서 하나의 장소에 하나의 토큰만이

존재하는 경우를 안전(Safe)적이라 한다. 가도달성(Reachability)은 초기 마킹에서 임의의 장소까지 점화되어 토큰이 전달되면 도달 가능한 경우이다. 생동성(Liveness)은 어떠한 점화 순서에서도 데드락이 발생하지 않으면 이를 생동적이라 한다. 생동적인 페트리 넷트는 어떠한 점화 순서를 선택하더라도 데드락 없이 동작한다.

3. 순차 시스템 제어기의 설계

제어기는 제어 부분과 데이터 부분으로 구성된다. 데이터 부분은 실행 시퀀스를 記述한 부분으로 페트리 넷트 구조를 접속 행렬로 정의한 D^+ , D^- 행렬을 직접 롬에 저장한다. 제어부분은 입력 처리부와 페트리 넷트 제어기로 구성되며, 페트리 넷트 제어기의 비동기와 병행성 진행은 토큰의 이동으로 실현되므로 페트리 넷트의 점화 규칙이 실행되도록 점화 처리부와 토큰 제어기로 구성한다. 그림1은 순차 시스템 제어기의 블록도 이고, 그림2는 실현 회로이다.

입력 처리부는 센서에서 입력된 신호를 정형하는 회로와 우선 순위를 갖는 인코더(Encoder)로 구성되며, 센서로부터 가장 먼저 입력 처리부에 인가된 입력 신호를 펄스로 정형하여 D래치를 거친 후, 우선 순위를 갖는 인코더에 인가하여 입력 신호인 천이 번호를 판별한다. 이 천이 번호가 점화 처리부에 있는 D^- 롬과 D^+ 롬의 주소가 된다. 이때 입력 신호가 점화 처리부에 비동기로 인가되므로 모든 입력 신호에 대하여 스캔할 필요가 없으므로 제어기는 실시간 제어가 가능하다.

또한 입력 신호를 단안정 멀티바이브레이터에 인가하여 입력 신호가 변할 때마다 점화를 Low상태로 만들어 점화가 계속 High상태에 머무는 것을 방지한다.

점화 처리부는 페트리 넷트의 구조를 나타내는 D^- , D^+ 롬과 점화 가능한 상태를 판별할 수 있는 조합 회로로 구성된다. D^- 롬의 내용은 D^- 행렬 원소의 1의 보수로 저장하고 D^+ 롬에는 D^+ 행렬의 원소를 저장한다. 제안된 제어기는 안전한 경우에만 고려하므로

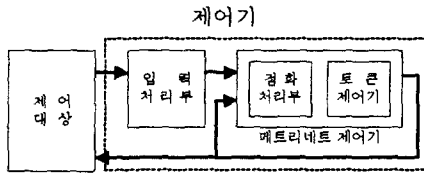


그림 1. 제안된 순차 시스템 제어기의 블럭도
Fig. 1. Block Diagram of Sequential System Controller

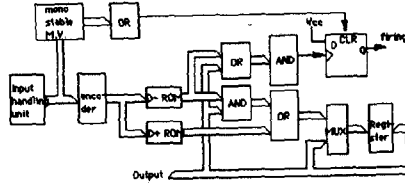


그림 2. 제어기의 실현 회로도
Fig. 2. Implementation Circuit of Controller

각 장소의 토큰 수는 하나이거나 없는 경우만 존재하고 아크의 가중치는 항상 1이다. 즉, D-룸의 내용은 해당 천이에 연결되는 장소에서 0, 천이에 연결되지 않는 장소에서 1 이고 D+룸의 내용은 해당 천이에 연결된 장소에서 1 천이에 연결되지 않는 장소에서 0이다. 이 때 D-룸에는 D-행렬의 1의 보수를 저장하므로 메모리 워드만큼의 NOT 게이트 수를 줄일 수 있고 지연 시간도 줄일 수 있다.

점화 처리부의 동작 순서는 다음과 같다.

1단계 : 그림 3(a)는 점화 처리부로서 제어 대상으로부터 입력된 천이 신호에 해당하는 D-룸의 내용과 토큰 출력 레지스터 (TOR : Token Output Register)를 이용하여 (5)에 의해 점화 가능 여부를 판별한다.

$$\{D^-(\text{천이번호}) \vee \text{TOR}\} = 1 \quad (5)$$

2단계 : 점화가 불가능하면 입력된 천이신호를 무시하고 다음 신호를 입력받아 점화 여부를 판단한다.

3단계 : 점화가 가능하면 그림 3(b)의 토큰 제어기는 토큰 출력 레지스터의 내용을 (6)에 의해 새로운 값으로 수정한다.

$$\text{TOR} \leftarrow (\text{TOR} \wedge D^-(\text{천이번호}) \vee D^+(\text{천이번호})) \quad (6)$$

기존의 점화 처리부에서는 입력된 천이 신호가 점

화 조건을 만족하면 D+(천이번호)의 내용을 출력하고 토큰 레지스터에는 이전의 장소에 대한 토큰만을 제거한 후 그 값을 저장하게된다.[9,10] 이와 같은 방식에서는 점화 후 토큰 레지스터에 새로이 점화된 장소의 내용을 갱신하거나, 토큰을 가지고 있으나 점화되지 않은 장소들은 점화가 될 때까지 현재의 상태를 유지하기 위해서는 별도의 회로가 필요하며 처리 시간도 지연이 된다.

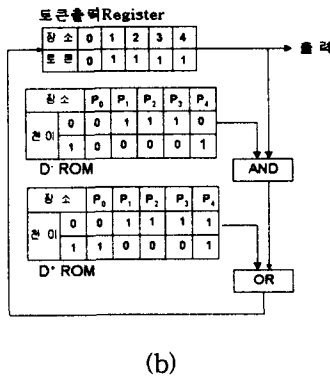
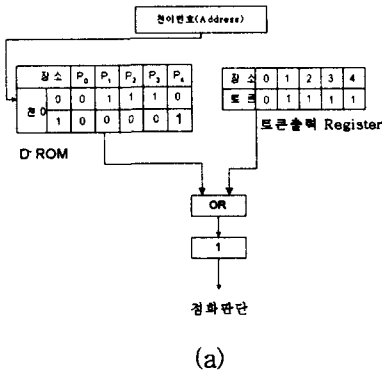
따라서 본 논문에서는 페트리넷 제어기의 토큰 제어기에서 직접 토큰 출력 레지스터의 내용을 변경하고 이를 출력 신호로 이용하므로써 별도의 회로 없이 구현할 수 있다.

조합 회로는 점화 규칙에 따라서 점화 가능 여부를 판별할 수 있는 (5), (6)을 실행할 수 있도록 그림 3(a), (b)와 같이 구성한다. 점화 규칙은 입력 장소에 있는 토큰 수가 아크의 가중치보다 크거나 같으면 점화 가능하고, 점화된 후 입력 아크의 가중치만큼 입력 장소에서 토큰을 제거하고 출력 장소에 출력 아크의 가중치만큼 토큰을 추가한다.

점화 처리부는 토큰 출력 레지스터 값과 D-룸의 내용을 각 비트별로 OR한 후, 이의 출력을 모두 AND하여 결과가 1이면 점화 가능한 경우이고 0이면 점화 불가능한 경우로서 이를 각 부분의 제어 신호로 이용한다. 토큰 제어기는 점화 처리부에서 점화 가능 신호가 발생하면 입력 장소의 토큰을 제거하기 위하여 토큰 출력 레지스터의 내용과 D-룸의 내용을 AND하고, 이 결과에 출력 아크의 가중치가 저장되어 있는 D+룸의 내용과 OR를 하게 된다. 그러므로 토큰을 가지고 있으나 점화되지 않은 장소들은 점화가 되기 전까지 현재의 상태를 유지하게 되며 점화된 장소들은 다음 장소로 토큰을 전달하게 된다.

이 결과를 토큰 제어기의 토큰 출력 레지스터에 저장함과 동시에 제어 대상에 출력한다.

토큰 출력 레지스터는 전원인가시 초기 토큰 값을 저장하게 되고, 시퀀스의 진행에 따라 변화된 토큰 상태를 저장하여 시퀀스를 진행한다.



(a) 점화 처리부 (b) 토큰 제거기

그림 3 페트리 넷 제어기

(a) Firing Unit (b) Token Control Unit

Fig. 3. Petri Net Control Unit

4. 순차 시스템 제어기의 설계 예

순차 시스템의 예로 그림4와 같은 자동창고 시스템에서의 入出庫 업무를 처리할 수 있도록 페트리 넷으로 記述한 후 제어기를 설계한다.

자동창고 시스템은 취급 물량의 증가에 대해 보다 빠른 시간 내에 入出庫기능을 수행할 수 있도록 1개의 入庫區와 出庫區를 자동창고 양측에 2개로 확장 하였으며 자동창고 시스템의 기능적 사양은 다음과 같다.

1) 임의의 위치에 있는 Stacker Crane(S.C)는 入庫 명령에 의해 入庫區로 이동한 후 入庫시킬 Pallet를 지정된 Rack에 入庫시키고 入庫시킨 위치에서 정지한다.

2) 入庫 동작중 S.C는 최소 거리를 이동하기 위

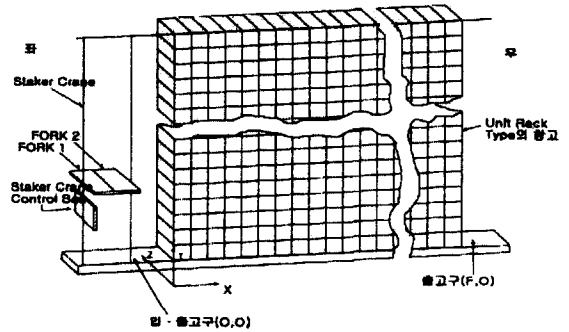


그림 4. 자동창고 시스템의 구조

Fig. 4. Structure of Automated Warehouse System

해 지정된 2개의 Rack중 入庫區로부터 가까운 Rack으로 이동한다.

3) 임의 위치의 S.C는 出庫 명령에 의해 지정된 Rack의 Pallet를 좌측 또는 우측 出庫區로 出庫시킨다.

4) S.C이동시 주행이동(X축) 및 승강이동(Y축)을 동시에 행하여 S.C의 이동시간을 최소로 하였으며 S.C의 1회 이동에 2개의 Pallet를 서로 다른 Rack에 入出庫 할 수 있도록 설계하였다.

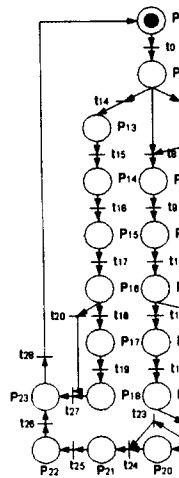


그림 5. 페트리 넷으로 모델링한 결과
Fig. 5. Modeling Result by Petri Net

그림 5는 그림 4의 구조를 갖는 시스템에 대한 기능적 제어 사양을 페트리 넷으로 記述한 결과이

5. 결 론

본 논문에서는 순차 시스템을 페트리 네트로 記述하고 이를 접속 행렬로 표현하여 해석한 결과 안전하고 생동적인 시스템인 경우에 대하여 접속 행렬을 롬의 내용으로 하는 마이크로프로그램머블 제어기를 설계하였다.

제어기는 제어 부분과 데이터부분으로 구성하였으며, 데이터 부분은 실행 시퀀스를 記述한 부분으로 페트리 네트 구조를 접속 행렬로 정의한 D^+ , D^- 행렬을 직접 롬의 내용으로 저장하였다. 제어 부분은 입력 처리부와 페트리 네트 제어기로 구성되며, 페트리 네트 제어기는 페트리 네트의 점화규칙이 실행되도록 점화 처리부와 토큰 제어기로 구성되었으며, 입력 처리부는 입력 천이 신호를 정형하고 우선 순위 인코더에 의해 천이 번호를 판별하게 하였다.

제안된 제어기는 알고리즘의 해석 언어인 접속 행렬을 롬의 내용으로 함으로서 설계 시간의 단축과 직접 실현이 가능하고, 제어사양의 변경시 롬의 내용 변경만으로 제어기의 변경이 가능하며, 모듈화가 가능하여 기능 확장이 용이하므로 자동참고 시스템, 및 반송 시스템, 및 승강기 시스템과 같은 순차 시스템 제어기의 개발 및 실현을 용이하게 할 수 있다.

참 고 문 헌

- [1] M. Lloyd, "GRAFSET - Graphical function chart programming," Proceeding conference Programmable Controllers, London, pp.51 - 56, 1985.
- [2] L. Jacic, "Flexible industrial control system design - a GRAFSET approach," Japan U.S a symposium on Flexible Automation pp.847 - 850, 1987.
- [3] K.J Woo and C.K. Rhu, "병렬 sequence를 갖는 순서 논리 시스템의 microprogrammable sequential controller의 설계," 한국통신학회 논문지, 13권, 6호, pp. 470 - 479, 1988.
- [4] J.L. Peterson, "Petri nets," Computer Surveys, vol. 9, no.3, pp.223 - 252, 1977.
- [5] T.Murata, "Petri nets : properties analysis and application," Proceeding of the IEEE, vol. 77, no.4, pp. 541 - 580, 1989.
- [6] J.L.Peterson, "petri net theory and the modeling of systems." Prentice - Hall, 1981
- [7] S.K. Das, V.K. Agrawal, et al., "Reflexive incidence matrix representation of Petri nets," IEEE trans. Software Engineering, vol. 12, no. 6, 1987.

- [8] N.Komoda, et al., "Application of Petri net for factory automation," System and Control vol. 30, no. 1, 1986
- [9] T.Murata, N.Komoda, et al., "A petri net - based controller for flexible and maintainable sequence control and its application in factory automation," IEEE trans. Industrial Electronics, vol. 33, no. 1, 1986
- [10] H.Murakoshi, M.Sugiyama, et al., "A high speed programmable controller based on petri net," IECON' 91, pp. 1966 - 1971, 1991.

◇ 著 者 紹 介 ◇



전 호 익 (田昊益)

1962년 11월 18일생. 1984년 단국대학교 전자공학과 졸업. 1986년 단국대학교 대학원 전자공학과 졸업(석사). 1995년 단국대학교 대학원 전자공학과 박사과정 수료. 현재 혜전전문대학 전자계산과 조교수.



류 창 근 (柳昶根)

1956년 2월 19일생. 1981년 단국대학교 전자공학과 졸업. 1983년 단국대학교 대학원 전자공학과 졸업(석사). 1993년 단국대학교 대학원 전자공학과 졸업(박사). 현재 남서울 산업대학교 전자공학과 조교수.



우 광 준 (禹廣俊)

1946년 11월 8일생. 1974년 한양대학교 전자공학과 졸업. 1977년 한양대학교 대학원 전자공학과 졸업(석사). 1980년 Universite Louis Pasteur de Strasbourg (D.E.A). 1983년 Institute National Polytechnique de Grenoble(Docteur Ingenieur). 현재 단국대학교 전자공학과 교수.