

다결정 Si기판 위의 Co/Ti 이중층의 실리사이드화

권영재 · 이종무 · 배대록* · 강호규*

인하대학교 금속공학과

*삼성전자 반도체연구소 LS 공정개발

Silicidation of the Co/Ti Bilayer on the Doped Polycrystalline Si Substrate

Youngjae Kwon, Chongmu Lee, Ho-Kyu Kang* and Dae-Lok Bae*

Department of Metallurgical Engineering, Inha University, Incheon 402-751

*LS Process Development Semiconductor R&D Center, Samsung Electronics, Suwon 449-900

(1998년 3월 4일 받음, 1998년 3월 30일 최종수정본 받음)

초 록 P가 고농도로 도핑된 다결정 Si기판 위에 Co/Ti 이중층막을 스퍼터 증착하고 급속열처리함으로써 얻어지는 실리사이드 층구조, 실리사이드막의 응집, 그리고 도펀트의 재분포 등을 단결정 Si기판 위의 그것들과 비교하여 조사하였다. 다결정 Si기판 위에 형성한 Co/Ti 이중층을 열처리할 때 단결정 기판에서의 경우보다 CoSi_2 로의 상전이는 약간 더 낮은 온도에서 시작되며, 막의 응집은 더 심하게 일어난다. 또한, 다결정 Si기판내의 도펀트는 단결정 Si 내의 도펀트보다 웨이퍼 표면을 통하여 바깥으로 outdiffusion 함으로써 소실되는 양이 훨씬 더 많다. 이러한 차이는 다결정 Si 내에서의 결정립계 확산과 고농도의 도펀트에 기인한다. Co/Ti/doped-polycrystalline Si의 실리사이드화 열처리후의 층구조는 polycrystalline CoSi_2 /polycrystalline Si으로서 Co/Ti/(100) Si를 열처리한 경우의 층구조인 Co-Ti-Si/epi- CoSi_2 /(100) Si와는 달리 Co-Ti-Si층이 사라진다.

Abstract Silicide layer structures, agglomeration of silicide layers, and dopant redistributions for the Co/Ti bilayer sputter-deposited on the P-doped polycrystalline Si substrate and subjected to rapid thermal annealing were investigated and compared with those on the single Si substrate. The CoSi_2 phase transition temperature is higher and agglomeration of the silicide layer occurs more severely for the Co/Ti bilayer on the doped polycrystalline Si substrate than on the single Si substrate. Also, dopant loss by outdiffusion is much more significant on the doped polycrystalline Si substrate than on the single Si substrate. All of these differences are attributed to the grain boundary diffusion and heavier doping concentration in the polycrystalline Si. The layer structure after silicidation annealing of Co/Ti/doped-polycrystalline Si is polycrystalline CoSi_2 /polycrystalline Si, while that of Co/Ti/(100) Si is Co-Ti-Si/epi- CoSi_2 /(100) Si.

1. 서 론

도핑된 다결정 Si는 초기 MOS 트랜지스터의 gate 전극이나 하부배선 재료로 널리 사용되었으나, 소자의 크기가 지속적으로 감소됨에 따라 전극의 전기적 특성이 상대적으로 악화되게 되었다. 그리하여 근래에는 다결정 Si 위에 이보다 비저항이 더 낮은 내열금속(W, Ta, Ti...)의 실리사이드층과 다결정 Si의 이중층으로 이루어진 폴리사이드(polycide) 구조가 도핑된 다결정 Si의 단일층 구조를 대체하여 널리 사용되어지고 있다.¹⁾ 더구나 높은 작동속도가 요구되는 ASIC이나 논리회로에서는 gate와 source/drain 전극을 동시에 실리사이드화하는 salicide (self-aligned silicide) 구조의 사용이 불가피한 실정이다.^{1~3)}

Salicide 구조에는 여러 금속 실리사이드들 중에서 비저항이 낮고 공정호환성이 우수한 TiSi_2 와 CoSi_2 가 주로 사용되고 있다.^{4,5)} 특히, Co 실리사이드는 Ti 실리사이드에 비해 고온에서 도펀트들과 화합물을 잘 형성하지 않고 좁은 선폭에서도 균일한 실리사이드의 형성이 가능하며,⁶⁾ HF 수용액과

전식에칭에 대한 내성이 크기 때문에 앞으로 Ti 실리사이드를 대체하여 양산에 더욱 널리 사용될 것으로 전망된다.^{7,8)}

그러나 Co 실리사이드는 고온에서 도펀트들과 화합물은 잘 형성하지 않는 반면, 다결정질 기판 위에 형성시킬 경우에는 표면이 거칠어지는 경향이 있다. Schreutelkamp 등⁹⁾에 따르면, 특히, 800°C 이상에서 열처리할 경우에 실리사이드막이 응집(agglomeration)되어 막의 전기적 특성이 크게 떨어지는 문제가 있다고 한다. 그밖에 실리사이드화 열처리중 다결정질 Si기판의 결정성장이 일어나서 실리사이드화 반응중 이런 결정립들 사이로 실리사이드층이 침입(penetration) 함으로써 소자의 기능이 떨어지기도 한다.¹⁰⁾

최근 salicide 공정에서 전극재료로 Co 실리사이드를 사용할 때 실리사이드화 전극의 열적 안정성과 전기적 특성을 개선하기 위한 한 방안으로 MOS 소자의 source/drain 전극부에 Co와 Ti를 이중층으로 증착하고 급속열처리 하여 단결정 Si기판과 에피텍셜(epitaxial) 관계를 갖는 실리사이드층을 성장시키는 TIME(Titanium Interlayer Mediated Epitaxy) 법이 제안된 바 있다.^{11,12)} 그런데 이 때

gate전극부에서는 Co/Ti 이중층막이 도핑된 다결정 Si막 위에 증착되어 실리사이드화 열처리가 이루어지는데, 단결정 Si 위에서 실리사이드화가 이루어지는 source/drain전극부에서와는 달리 최종막구조와 표면 morphology, 도펀트의 재분포 등의 면에서 차이가 있을 것으로 생각된다.

그러나 이러한 TIME 방법을 salicide공정에 적용할 때 다결정질 Si기판 위에서 Co의 실리사이드화에 미치는 Ti중간층의 영향에 대해서는 아직 논의된 바 없다. 그러므로 본 논문에서는 P가 최대 용해한도까지 주입된 다결정질 Si기판 위에 Co와 Ti를 차례로 증착하고 이어 열처리함으로써 Co/Ti 이중층 구조로부터 실리사이드를 형성할 때, 그 층구조 및 표면의 거칠기 변화와 도펀트의 재분포 거동에 관하여 보고하고자 한다.

2. 실험 방법

N형 (100) Si기판 위에 500 Å의 열산화막을 성장시키고 이어서 LPCVD를 이용하여 3000 Å의 다결정 Si를 증착하였다. 그리고 이 다결정 Si기판에 $POCl_3$ 을 증착하고 (50 Ω/□ on bare wafer), 100 : 1 BHF에서 8분간 deglazing 처리를 하여 P가 최대용해한도까지 주입된 다결정 Si기판을 형성하였다. 이상과 같이 준비된 기판 위에 스퍼터링(sputtering) 방법을 사용하여 Ti박막을 각각 100 Å 두께로 증착한 데 이어 150 Å의 Co박막을 증착함으로써 Co/Ti/polycrystalline Si 이중층 시편을 준비하였으며, 이와 동시에 동일한 구조의 이중층막을 단결정 Si기판 위에도 증착하여 이 두 구조들을 비교하였다. 이 때 스퍼터 챔버 내의 초기진공도는 5×10^{-7} torr 수준이었으며, 막증착시의 진공도는 3-6 mtorr를 유지하였다. 금속막의 스퍼터 증착시 플라즈마 전력밀도는 Co의 경우에는 1.3 W/cm^2 이며, Ti의 경우는 4.4 W/cm^2 이었다. 이 시편들을 진공 (2×10^{-5} torr)의 RTA 장비 내에서 각각 330, 420, 500, 600, 700 및 800 °C로 가열하여 30초간 급속열처리 (RTA) 함으로써 여러 종류의 실리사이드 시편들을 만들었다.

이 시편들에 대해 4-point probe와 XRD 및 AES를 사용하여 형성상 및 층구조를 결정하였으며, AFM (Atomic Force Microscopy) 을 이용하여 표면거칠기의 RMS (root mean square) 를 조사하였다. 또한 SIMS를 이용하여 열처리 과정 중 일어나는 P의 재분포 거동에 대해서도 조사하였다.

3. 결과 및 고찰

그림 1은 각각 단결정 및 다결정 Si기판 위에 Ti막을 100 Å 두께로 증착한 데 이어 150 Å 두께의 Co막을 증착함으로써 Co/Ti/Si의 이중층 구조를 가진 시편을 만들고, 이들에 대해 여러 열처리 온도에서 30초간 열처리한 후 면저항의 변화를 조사한 것이다. 단결정 기판의 경우 열처리 온도를 증가시키에 따라 420 °C를 전후하여 급격한 면저항의 변화가 있으나, 다결정 Si기판의 경우에는 열처리 온도의 증가에 따라 380 °C 부근에서 작은 면저항의 피크가 나타난 이외에는 대체로 단조 감소하는 경향을 보이고 있다.

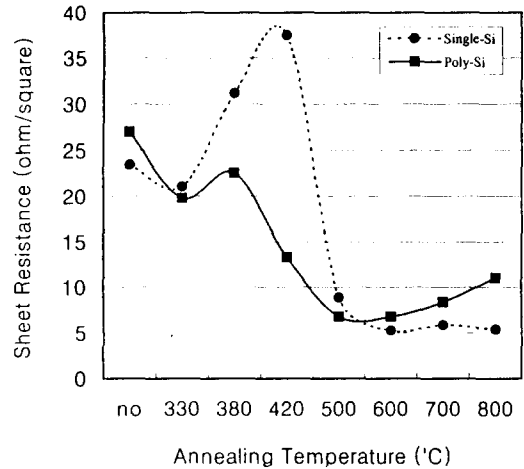


Fig. 1. The sheet resistances of the Co/Ti bilayer silicides on single and polycrystalline Si substrates as a function of annealing temperature

단결정 Si기판의 경우 420 °C 부근에서 나타나는 큰 피크는 비저항이 높은 준안정상인 Co_2Si 와 $CoSi$ 가 이 온도에서 생성되었다가 더 온도가 증가됨에 따라 비저항이 더 낮은 안정정상인 $CoSi_2$ 로 바뀌기 때문으로 생각된다.

다결정 Si기판의 경우는 LPCVD법에 의하여 Si막을 증착한 후 도펀트 P를 도핑하는 과정에서 그 방법에 따라 막 구조에 많은 차이가 생긴다. 즉, 이온주입에 의하여 도핑하는 경우에는 이온주입 후에도 증착직후와 마찬가지로 비정질 또는 주상정(columnar) 구조를 그대로 유지하지만, $POCl_3$ 확산에 의하여 도핑하는 경우에는 고온 확산공정중에 Si의 결정성장이 일어나게 된다.¹²⁾ 그런데 본 연구에서 사용한 다결정 Si층의 경우에도 $POCl_3$ 확산에 의하여 도펀트를 도핑하였으므로, 결정립계가 뚜렷이 존재하는 확실한 다결정질 구조를 가질 뿐만 아니라 어느 정도 결정성장이 일어났을 것이다. 그러므로 Co가 실리사이드화 열처리 공정 중 주확산 원자인 Co가 다결정 Si의 결정립계를 따라 우선적으로 확산하고, 그 결과 실리사이드화 반응이 불균일하게 일어났을 것으로 생각된다. 고온 열처리 단계에서 이와 같이 면저항에 차이가 생긴 것은 이러한 원인에 기인한 것으로 생각된다. 특히, 이러한 경향은 열처리 최종단계에서 실리사이드의 막 구조와 gate oxide의 안정성에 많은 영향을 미친다.

Sun과 Wong 등^{13,14)}은 단결정과 다결정 Si기판 위에 Co와 Ti 실리사이드를 형성할 때 후열처리 과정에서 이와 같은 불균일한 반응에 의하여 막의 응집이 일어나고 gate oxide의 안정성이 저해되었다고 보고한 바 있다. 그러므로 실리사이드를 형성한 후 막의 안정성을 조사하기 위한 열처리 공정을 추가로 실시하지는 않았지만, 그림 1에서 볼 수 있듯이 700 °C와 800 °C 사이의 온도범위에서 실리사이드화 열처리 온도의 증가에 따라 단결정과 다결정 Si간 면저항의 차이가 점점 더 커지는 것은 단결정 Si에서 보다 결정립계가 존재하는 다결정 Si에서 막의 응집이 더 심하게 일어나기 때문이다. 단결정 Si와 다결정 Si간의 이러한 응집

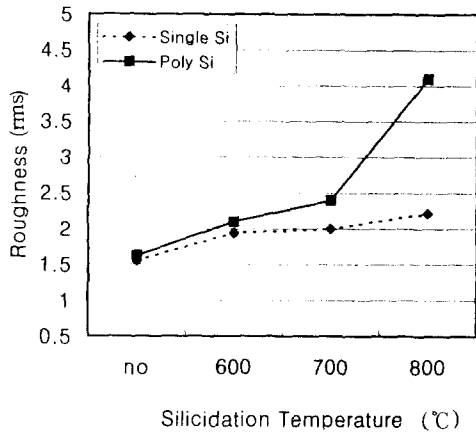


Fig. 2. The Rrms of Co/Ti bilayer on single and polycrystalline Si substrate

발생정도의 차이는 AFM을 이용하여 조사한 실리사이드 막 표면의 거칠기에 관한 분석 결과로부터 확인할 수 있다. 그림 2는 단결정과 다결정 Si기판 위에 증착시킨 Co/Ti이중층 구조의 열처리 온도변화에 따른 표면거칠기를 조사한 AFM 분석결과이다. 그림 1에서 볼 수 있듯이 이 둘 사이의 면저항이 600°C 이상에서부터 조금씩 벌어지기 시작하여 800°C에서 상당히 많은 차이가 난 것은 이와 같은 응집발

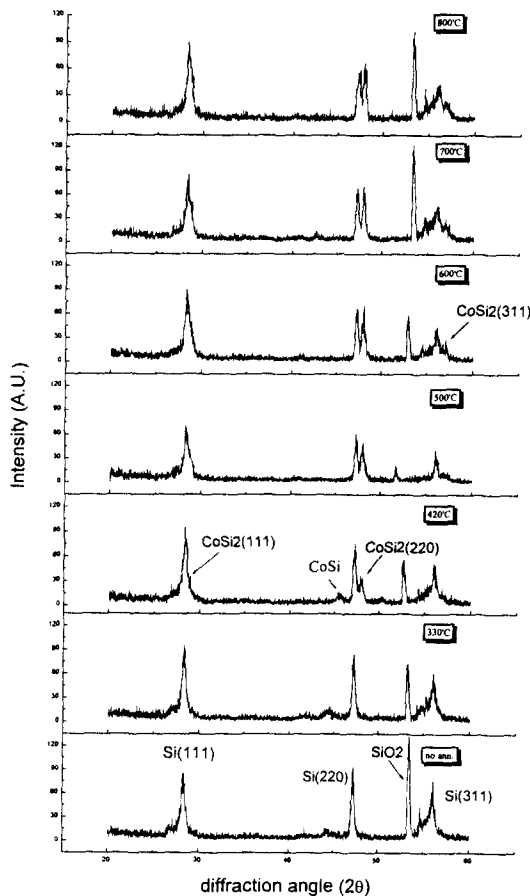


Fig. 3. XRD spectra of the Co/Ti bilayer silicide on the polycrystalline Si substrate as a function of RTA annealing temperature for 30sec.

생에 따른 표면거칠기의 차이가 그 주원인임을 알 수 있다.

그림 3은 각 열처리 온도에서 형성된 상들을 확인하기 위하여 다결정 Si기판 위에 형성한 Co/Ti이중층 실리사이드 구조에 대해서 실시한 glancing angle XRD분석 결과이다. 이 XRD분석결과를 막구조와 실험조건에 따라 상천이 온도에는 다소 차이가 있지만, 단결정 Si기판 위에 증착한 단일층 Co실리사이드 열처리에 나타나는 전형적인 상천이 과정을 보여준다. 열처리하지 않은 (as-deposited) 경우에는 다결정 Si의 (111), (220), 그리고 (311) 피크가 두드러지며, 증착된 금속층들은 거의 비정질 상태이다. 이러한 상태는 330°C에서 열처리한 경우에도 마찬가지이며, 420°C에서 열처리한 후 처음으로 CoSi₂ 상이 형성되기 시작한다. 이와 더불어 Co실리사이드의 저온상인 CoSi도 관찰된다. 500°C 부근에서는 CoSi₂상의 형성이 본격화되어 (220) CoSi₂피크 외에 (111) CoSi₂피크도 나타나기 시작한다 ((111) CoSi₂피크는 (111) Si피크와 거의 겹쳐 나타남). 이어서 600°C 이상에서는 (311) CoSi₂피크의 형성도 확인된다.

그림 4는 다결정질 Si기판 위의 Co/Ti이중층 구조에 대

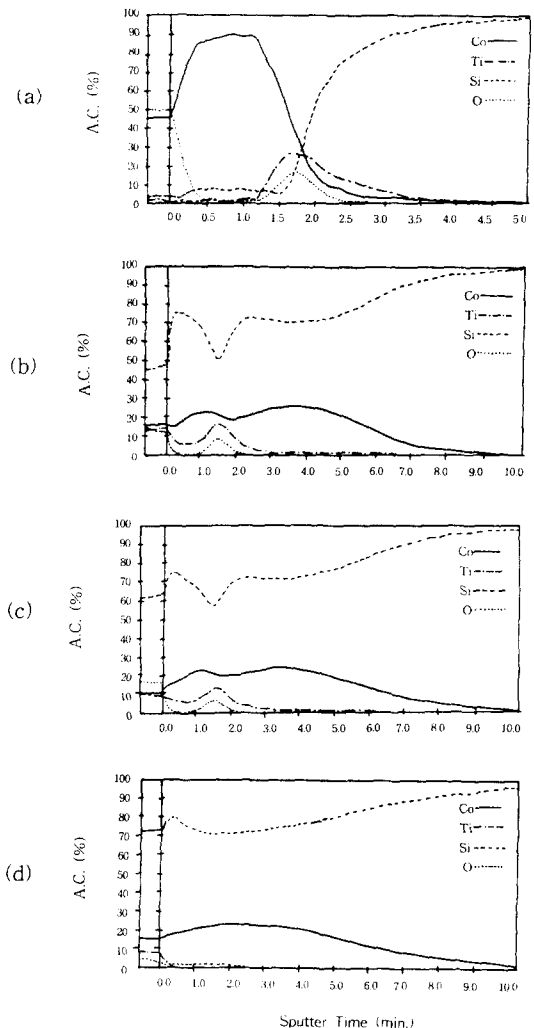


Fig. 4. The AES depth profiles of the Co(150Å)/Ti(100Å)/polycrystalline Si sample after RTA annealing for 30sec; (a) as-deposited, annealed at (b) 500°C, (c) 600°C, and (d) 700°C

한 AES 깊이분포 변화를 보인 것이다. 증착직후의 시편에서는 상부 Co가 Ti 중간층 내로 어느 정도 확산하여 중간층 내에 이미 존재하고 있으며, 500°C에서 열처리한 후에는 상당량의 Co와 Si가 각각 Ti중간층을 확산통과하여 Si기판과 표면쪽으로 이동하였다. 그림 3의 XRD스펙트럼에는 나타나 있지 않지만, 단결정 Si기판 위에 증착한 동일한 구조에 대하여 조사하였던 앞서의 경우¹⁵⁾로부터 추정하건대, 그림 4의 500과 600°C 시편에서 Ti중간층은 Co 및 O와 더불어 Co-Ti-O의 화합물을 형성하고 있을 것으로 생각된다. 그리고 이 화합물층과 Si의 정체층 (plateau region)이 겹치는 것으로 보아 이 화합물 중에 일정량의 Si가 고용되어 있고 이 층의 아래위에 각각 CoSi₂층이 형성되어 있는 것으로 생각된다. 물론, 600°C 이상에서는 이 Co-Ti-O층이 분해되는 것도 예상할 수 있지만, 단결정 Si기판 위에서의 실리사이드 에피성장의 경우와는 달리 다결정 Si기판이 에피성장에 필요한 seed 역할을 하지 못하기 때문에 Co-Ti-O의 반응제어층이 형성되더라도 실리사이드는 그림 3에 나타난 바와 같이 다결정질 상태로 성장한다.

700°C에서 열처리한 후에는 그림 4의 AES 깊이분포도에서는 명확하지 않으나 Co curve의 변화와 본 연구자들이 앞서 발표한 단결정 기판에서의 Co/Ti이중층의 실리사이드화에 관한 연구결과¹⁵⁾로부터 판단할 때, Co와 Ti층간에 막위치의 역전이 일어난 것으로 생각된다. 그리고 이와

같이 층의 역전이 일어났음에도 불구하고 XRD결과로부터 이 때 형성된 Co실리사이드는 Ti표면층 아래의 Si기판쪽에 다른 온도에서와 마찬가지로 다결정질 상태로 형성되었음을 알 수 있다.

도펀트가 도핑된 다결정 Si기판 위에 Co층을 증착하고 실리사이드화 열처리할 때, 또 한가지 고려해야 할 점은 열처리 도중에 일어나는 도펀트의 재분포 거동이다. 그림 5는 다결정 Si기판 위에 Co/Ti이중층을 증착하고 실리사이드화 열처리하였을 때 그 증착직후와 700°C에서 열처리한 후의 도펀트와 막 구성원소들의 분포변화를 보인 SIMS분석 결과이다. 앞의 AES 분석결과에서도 알 수 있었듯이 700°C 열처리 후 그 두 층 사이에 완전한 층의 역전이 이루어져 있음을 볼 수 있다.

그림 5를 보면, 700°C에서의 열처리 후 P는 주로 열처리 전 원래 분포해 있던 다결정 Si기판과 표면층에 분포해 있으며, 실리사이드층 내에서는 도펀트의 확산속도와 용해도가 낮으므로, 주위보다 다소 낮은 분포를 보였다. 이러한 분포를 보이는 원인은 P가 열처리 도중 다결정질 Co실리사이드의 결정립계를 따라 우선적으로 확산한 데에 있다.

4. 결 론

다결정 Si기판 위에 Co/Ti이중층막을 증착하고 실리사이드화 열처리하였을 때 일어나는 여러 현상들을 조사한 결과 다음과 같은 결론을 얻었다.

1) 다결정 Si기판 위에 형성한 Co/Ti이중층 실리사이드의 상천이는 단결정 기판에서의 경우보다 약간씩 더 낮은 온도에서 시작되었으며, 이러한 경향은 열처리의 초기 단계에서 다결정 Si기판의 결정립계를 따라 실리사이드화 반응이 우선적으로 일어나기 때문이다. 그리고 열처리의 초기단계에서 이러한 우선적인 (불균일한) 실리사이드 형성은 실리사이드의 고온 안정성에 악영향을 미친다.

2) Co/Ti/doped-polycrystalline Si의 경우가 Co/Ti/single Si의 경우보다 실리사이드화 열처리시 표면의 거칠기가 더 심하다. 이것은 polycrystalline Si막의 결정립계가 원자들의 우선 확산경로 역할을 하여 실리사이드화 반응이 불균일하게 일어날 뿐만 아니라 그 결정립계와 polycrystalline Si/실리사이드 계면의 교차점에서 국부적인 에너지 평형관계에 따른 grooving 현상을 조장하기 때문이다.

3) Co/Ti/doped-polycrystalline Si의 실리사이드화 열처리후의 층구조는 polycrystalline CoSi₂/polycrystalline Si으로서 Co/Ti/(100) Si을 열처리한 경우의 층구조인 Co-Ti-Si/epi-CoSi₂/(100) Si과는 달리 Co-Ti-Si층이 사라진다.

4) P가 도핑된 다결정 Si기판 위에 Co/Ti이중층을 형성하고 실리사이드화 열처리할 때 일어나는 P의 재분포는 B의 경우와는 달리 주로 polycrystalline Si기판과 Co-Ti화합물층에 편석되며, Co실리사이드층 내에서는 주위보다 더 낮은 분포를 보인다. 이것은 실리사이드층 내에서의 P의 용해도와 확산이 낮기 때문이며, 이 층 내에서의 도펀트의

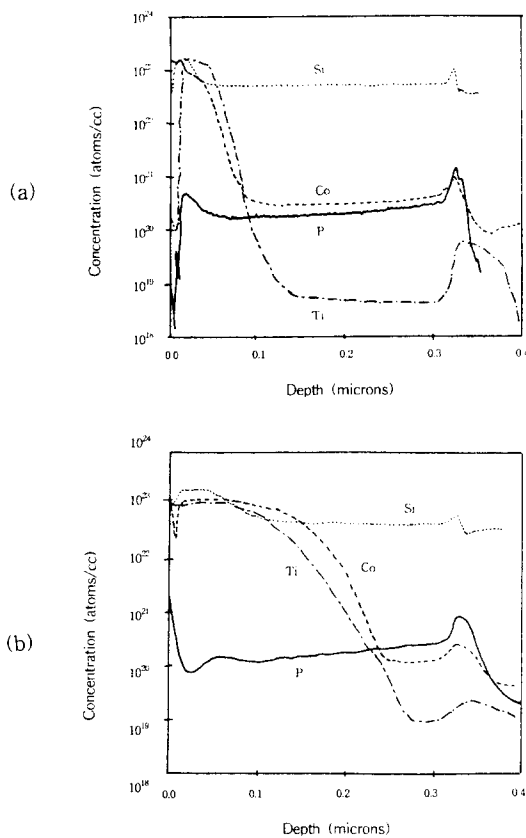


Fig. 5. The SIMS depth profiles of the Co(150Å)/Ti(100Å)/polycrystalline Si sample after RTA annealing for 30sec; (a) as-deposited and annealed at (b) 700°C

확산은 주로 결정립계를 따라 이루어진다.

감사의 글

본 연구는 (주) 삼성전자의 연구비 지원으로 이루어졌으며, 이에 감사드립니다.

참 고 문 헌

1. S. Wolf and R.N. Tauber, *Silicon Processing for the VLSI Era vol. 1-Process Technology*, (Lattice Press, CA, USA), 384-399 (1986).
2. E.K. Broadbent, R.F. Irani, A.E. Morgan, and P. Maliot, *IEEE Trans. Electron Devices*, **38**, 246 (1991).
3. Y.H. Ku, S.K. Lee, and D.I. Kwang, *J. Electrochem. Soc.*, **137**, 2530 (1991).
4. C.K. Lau, Y.C. See, D.B. Scott, J.M. Bridges, S.M. Perma, and P.D. Davis, in *Int. Electron Device Meet Tech. Dig.*, **714** (1982).
5. L. Van den Hove, R. Wolster, K. Maex, R.F. de Keersmaecker, and G.J. Declerck, *IEEE Trans. Electron Devices*, ED-**34**, 554 (1982).
6. J.B. Lasky, J.S. Nakos, O.J. Kain, and P. J. Geiss, *IEEE Trans. Electron Devices*, **38**, 262 (1991).
7. S.J. Hillenius, H.I. Cong, J. Lebowitz, J.M. Andrews, R.L. Field, L. Manchanda, W.S. Lindemberger, D.M. Boulin, and W.T. Lynch, *Abs. 132*, *The Electrochem. Soc. Ext. Abs. vol 89-1*, p. 184 (1989).
8. M. El-Diwany, J. Borland, J. Chen, S. Hu, P.V. Wijnen, C. Vorst, V. Akylas, M. Brassington, and R. Razuok, *IEDM Tech. Dig.*, p.245 (1989).
9. R. Schreutelkamp, B. Deweerdt, R. Verbeeck, and K. Maex, *Microelectron. Eng.*, **19**, 665 (1992).
10. M.L.A. Dass, D.B. Fraser, and C.-S. Wei, *Appl. Phts. Lett.* **58**, 1308 (1991).
11. S.L. Hsia, T.Y. Tan, P. Smith, and G.E. Mcguire, *J. Appl. Phys.* **70**(12), 7579 (1991).
12. S.P. Muraka, and D.S. Williams, *J. Vac. Sci. Technol. B* **5**(6), 1674 (1987).
13. W.-T. Sun, W.-L. Liaw, M.-C. Liaw, K.-C. Hsieh, and Charles C.-H. Hsu, *Jpn. J. Appl. Phys.*, **36**, L89 (1997).
14. C.Y. Wong, L.K. Wang, P.A. McFarland, and C.Y. Ting, *J. Appl. Phys.*, **60**(1), 243 (1986).
15. 권영재, 이종무, 배대록, 강호규, 한국재료학회, submitted.