

CoSi₂ 에피박막을 확산원으로 이용하여 형성한 매우얇은접합의 전기적 특성

구본철 · 심현상 · 정연실 · 배규식
수원대학교 전자재료공학과

Electrical Properties of Ultra-Shallow Junction formed by using Epitaxial CoSi₂ Thin Film as Diffusion Source

Bon-Cheol Koo, Hyun-Sang Shim, Yun-Sil Jung and Kyoo-Sik Bae
Department of Electronic Materials Engineering, The University of Suwon, Suwon 445-743

(1998년 3월 11일 받음, 1998년 3월 23일 최종수정본 받음)

초 록 Co/Ti 이중막을 급속열처리하여 형성한 CoSi₂에 As⁺을 이온주입한 후, 500~1000°C에서 drive-in 열처리하여 매우얇은 n⁺p접합의 다이오드를 제작하고 I-V 특성을 측정하였다. 500°C에서 280초 drive-in 열처리하였을 때, 50nm 정도의 매우얇은접합이 형성되었고, 누설전류가 매우 낮아 가장 우수한 다이오드 특성을 나타내었다. 특히, Co 단일막을 사용한 다이오드에 비해 누설전류는 2order 이상 낮았으며, 이는 CoSi₂/Si의 계면이 균일하였기 때문이다.

Abstract As⁺ was ion-implanted onto CoSi₂ thin films formed by rapidly thermal-annealed Co/Ti bilayers. Then the specimens were drive-in annealed at 500~1000°C to form ultra-shallow n⁺p junction diodes and to measure their I-V characteristics. When drive-in annealed at 500°C for 280 sec., 50 nm thick ultra-shallow junctions were formed and diodes showed the best I-V characteristics with low leakage current. In particular, the leakage current was 2 orders lower than that of diodes formed by using Co monolayer. It was attributed to uniform CoSi₂/Si interfaces.

1. 서 론

최근 MOS소자의 급격한 고밀도화로 0.25 μ m의 설계기준을 갖는 256M DRAM이 양산화되고 현재는 0.1 μ m 대의 설계기준을 갖는 초미세 (deep-submicron) CMOS소자의 개발이 진행중이다. 이의 실현을 위해서는 소스/드레인에 접합의 깊이가 0.1 μ m 이하인 매우얇은접합 (ultra-shallow junction)이 형성되어야 한다.¹⁾ 그런데, 기존의 Al-Si 접촉구조는 spike효과 때문에 매우얇은접합에는 적합하지 못하여 새로운 접촉 및 게이트 전극 재료로서 금속 실리사이드를 사용하게 되었다. 그 중 비저항이 낮은 TiSi₂가 가장 널리 사용되었으나, Ti-B과 Ti-As 같은 화합물을 만들고, 낮은 저항을 갖는 얇은 선풍의 게이트 전극 형성이 어려워 초미세 소자에의 적용에는 한계가 있다.²⁾ 반면 CoSi₂는 이러한 문제점이 없으며 TiSi₂와 유사한 비저항 ($\rho = 15 \sim 20 \mu\Omega\text{-cm}$)을 갖고 있어 TiSi₂를 대체할 실리사이드로 연구되고 있다.

통상 실리사이드 접촉은 먼저 이온을 주입하여 매우얇은 접합을 만든 후, 그 위에 금속을 증착하고 열처리하여 형성한다. 그러나 접합이 얇아지면 실리사이드 형성과정에서 접합이 쉬 파손되고 주입한 불순물의 농도가 변화되어 높은 누설전류를 야기하게 된다. 이를 해결하기 위하여 실리사이드를 먼저 만들고 이 실리사이드에 이온주입한 후 이를 확산원으로 하여 매우얇은접합을 형성하는 방법 (silicide as diffusion source, SADS)이 시도되고 있다.^{2~6)}

실리사이드 접촉에서 누설전류를 증가시키는 또 다른 원

인은 기판 Si과의 계면 거칠성 (roughness)이다. 더욱이 계면이 거칠면 후속 열공정시 응집 (agglomeration)이 쉬 일어나 면저항을 증가시킨다. 그런데, 기존의 Co단일막 대신 Co/Ti 이중막을 Si 기판위에 증착하고 열처리하여 에피 CoSi₂를 형성하면 계면을 평탄하게 할 수 있다.^{7,8)} 이는 Ti 중간층이 자연산화막을 제거하고 Co 확산의 완충 역할을 하기 때문이다.

본 연구는 Co/Ti 이중막을 급속열처리하여 형성한 CoSi₂를 확산원으로 하여 매우얇은 n⁺p접합의 다이오드를 제작하고 그 I-V 특성을 측정하였다. 특히, Co 단일막을 이용하여 만든 다이오드의 I-V 특성과 비교하여, CoSi₂의 계면 평탄성이 접합의 누설전류에 미치는 영향을 조사하였다.

2. 실험 방법

본 실험에서는 비저항이 10~20 $\Omega\text{-cm}$ 인 4"p형 (100) Si 웨이퍼를 기판으로 사용하였다. LOCOS공정으로 접촉창 (100 \times 100 μ m)을 만든 후, 전자빔 증발증착기 (e-beam evaporator)에 넣어 3 \times 10⁻⁶Torr에서 (1) 20nm 두께의 Co 단일막 또는 (2) 5nm의 Ti와 20nm의 Co 이중막을 연속적으로 증착시켰다. 이 시편을 N₂ 분위기에서 800°C, 20초 급속 열처리 (rapid thermal anneal, RTA)하여 CoSi₂를 형성하였다. 미반응 금속과 Co/Ti 이중막의 경우 표면에 생성된 Co-Ti-Si층은 (1 HNO₃ : 1 H₂O) 용액으로 10분, (2 H₂O₂ : 1 NH₄OH : 1 H₂O) 용액으로 10분 에칭하였다. CoSi₂가 형성된 시편에 단위 주입량 (dose) 10¹⁵ cm⁻²의 As⁺을 35keV로 이온 주입하고, As⁺의 기화를 막

기 위하여 플라즈마 화학 증착법(PECVD)로 200nm 두께의 SiO₂ 보호막을 형성하였다. 이온 주입된 불순물을 drive-in하여 n⁺p접합을 형성하기 위하여 RTA 온도(500~1000℃)와 시간(10~280초)을 변화시키면서 후속 열처리하였다.

열처리 전후의 As⁺ 분포와 CoSi₂/Si 계면의 평탄성은 SIMS(secondary ion mass spectroscopy) 및 TEM(transmission electron microscopy)로 분석하였다. 다이오드의 I-V 특성은 SiO₂ 보호막을 HF 용액으로 제거한 후 HP 4156A parameter analyzer를 이용하여 측정하였다.

3. 결과 및 고찰

실리사이드에 이온주입된 불순물이 Si 기판으로 확산하여 접합을 형성하는 데 가장 적당한 drive-in 열처리 온도와 시간은 이온 주입량 및 에너지에 따라 달라진다. 특히 입계(grain boundary)를 통해 확산하는 As은 CoSi₂에서의 확산속도가 낮기 때문에⁹⁾ 충분한 확산이 이루어지지 않으면 접합이 형성되지 않고, 특히 CoSi₂/Si 계면 농도가 낮아 누설전류를 야기한다. 그림 1~3은 Co/Ti 이중막을

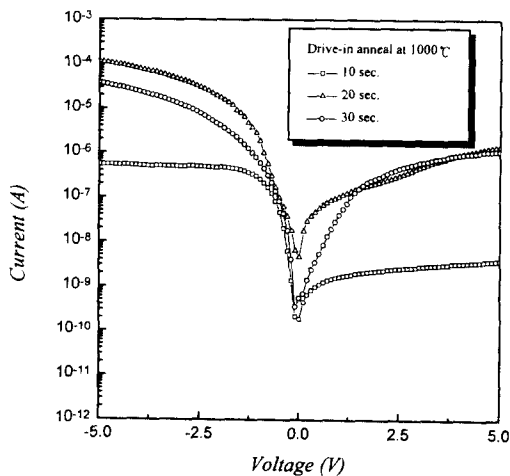


Fig. 1. I-V characteristics of n⁺/p diodes formed by using Co/Ti bilayers and drive-in annealed at 1000°C.

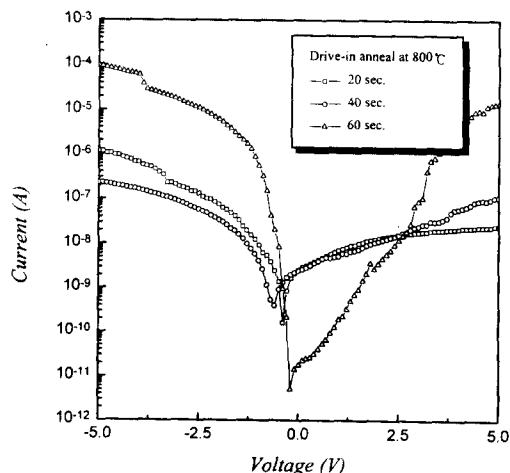


Fig. 2. I-V characteristics of n⁺/p diodes formed by using Co/Ti bilayers and drive-in annealed at 800°C.

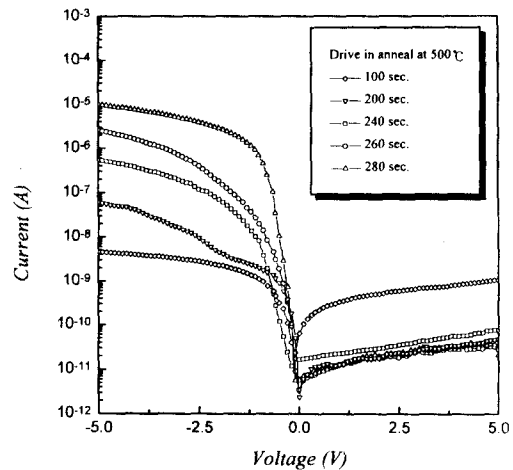


Fig. 3. I-V characteristics of n⁺/p diodes formed by using Co/Ti bilayers and drive-in annealed at 500°C.

이용하여 형성한 다이오드의 I-V 특성을 후속열처리 온도와 시간에 따라 나타낸 것이다. 1000℃의 경우(그림 1), 열처리 시간이 10초일 때는 전방향(forward) 전류가 10⁻⁶A로 매우 낮았으나 20초 이상이 되면 10⁻⁴~10⁻³A로 증가하여 충분한 As⁺확산이 일어나 n⁺p접합이 형성되었음을 알 수 있다. 그러나 열처리 시간이 증가함에 따라 누설전류(5V 기준)도 10⁻⁶~10⁻⁵A로 높아져 Schottky 다이오드와 같은 I-V 특성을 나타내었다. RTA 온도를 800℃로 낮춘 경우(그림 2)에도 이와 유사한 I-V 특성을 나타내었다. 즉, 40초까지는 전방향 전류가 낮았으나, 60초로 충분히 drive-in을 시키면 10⁻⁴A로 증가하고, 동시에 누설전류도 급격히 증가하였다. 누설전류의 급격한 증가는 고온에서 장시간 열처리시 박막이 응집(agglomeration)하고 그 결과 실리사이드의 spiking이 일어나 부분적으로 Schottky 다이오드를 형성하기 때문이다.³⁾ 응집이 일어나지 않도록 온도를 낮추어 500℃에서 열처리하였을 때의 I-V 특성을 그림 3에 보였다. 열처리 시간이 증가함에 따라 As의 확산이 충분히 일어나 전방향 전류는 증가하고 누설전류는 감소하였다. 특히, 240초 이상의 경우 누설전류가 3×10⁻¹¹A까지 낮아져 전방향 전류와 5 order 정도의 차이가 나는 전형적인 n⁺p접합특성⁵⁾을 나타내었다. 누설전류의 감소는 계면 및 접합내의 As농도 증가와 이온주입에 의한 기판 손상의 회복에 기인한다. 그러나 전방향 전류는 800℃ 20초 및 1000℃ 60초의 경우와 비교하여 1~2 order만큼 낮았다. 이상의 결과에서 충분한 확산이 일어나 계면농도가 높은 접합을 형성하면서 동시에 응집을 최소화하기 위해서는 열처리 온도와 시간의 적절한 조화가 필요함을 알 수 있다. 이온주입량이 10¹⁵cm⁻²인 경우, 가장 우수한 I-V 특성을 나타낸 열처리 조건은 500℃ 280초였다.

열처리 온도 및 시간에 따른 I-V 특성의 변화(그림 1~3)와 As 농도분포와의 관계를 알아보기 위하여 열처리 전후의 SIMS분석 결과를 그림 4에 나타내었다. 이온주입된(as-implanted) As의 농도 분포를 보면, 본 실험에서 사용한 이온주입기의 최소 에너지인 35keV에도 불구하고 CoSi₂ 박막의 두께가 50nm로 매우 얇아 상당한 양의 As이 Si기

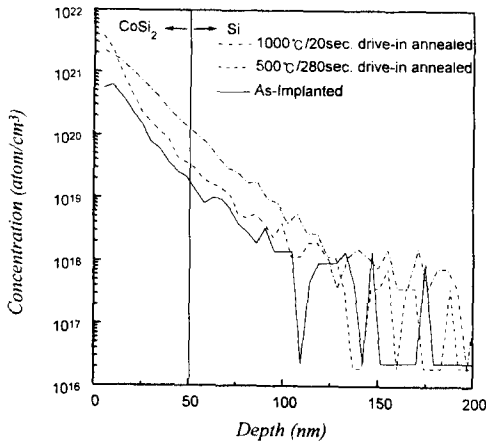


Fig. 4. SIMS As⁺ depth profile in specimens with 10⁵cm⁻² implantation at 35keV into 50nm thick CoSi₂.

판내에 주입되어 있음을 알 수 있다. 500°C 280초 및 1,000°C 20초 열처리로 약 50 및 70nm의 매우 얇은 접합이 형성되었고, CoSi₂/Si 계면의 As⁺ 농도는 각각 4×10¹⁹ 및 10²⁰cm⁻³으로 증가하였다. 그러나 이 계면농도는 900°C에서의 Si의 As 용해도인 10²¹cm⁻³에 훨씬 미치지 못하였다. 그 결과, 그림 1과 3에 보인 바와 같이 전방향 전류값이 낮았으며, 특히 500°C 280초의 경우 전방향 전류는 10⁻⁵A에 불과하였다. 계면농도를 10²¹cm⁻³로 증가시키기 위해서는 이온주입량을 5×10¹⁵cm⁻²이상의 high dose를 사용해야 할 것으로 판단된다.

그림 5는 Co단일막을 사용하여 형성한 다이오드의 I-V 특성이다. Drive-in 열처리는 Co/Ti를 사용하였을 때 가장 누설전류가 낮았던 그림 3의 결과와 비교하기 위하여 500°C에서 실시하였다. 100 초간의 열처리에도 전방향 전류는 10⁻⁵A 이었고, 열처리 시간이 증가함에 따라 오히려 감소하는 경향을 나타내었다. 이는 As이 에피보다는 다결정 CoSi₂내를 더 잘 확산하기 때문에, 장시간 열처리로 As의 계면농도가 줄어들고 접합이 두꺼워지기 때문이다. 반면, 누설전류(5V 기준)는 200초 이상의 열처리시 약 5×

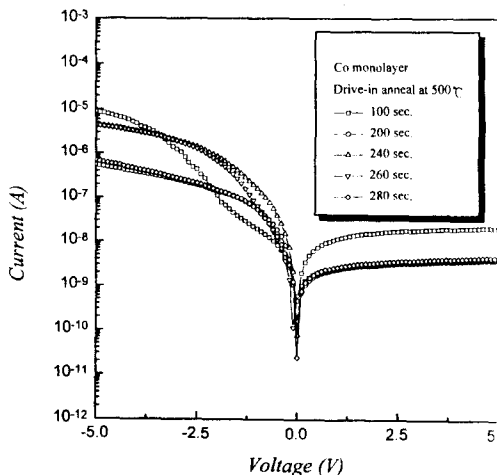


Fig. 5. I-V characteristics of n⁺/p diodes formed by using Co monolayers and drive-in annealed at 500°C.

10⁻⁹A로 감소하였으나, Co/Ti 이중막의 경우에 비교하면 2 order 이상 높았다. 그 결과, 전방향 전류와 누설전류값의 차이가 작아 Schottky 다이오드와 같은 I-V 특성을 나타내었다.

그림 3과 5의 결과로부터 ideality factor를 구하여 그림 6에 비교하였다. ideality factor (η)는 전방향 I-V 특성값을 $I = I_d [e^{V/nkT} - 1]$ 에 fitting하여 구한 값으로서 1 일 때 이상적인 n/p 접합 다이오드 특성을 나타낸다.³⁾ Co/Ti 이중막을 사용한 경우 열처리 시간이 증가하면 η 값은 낮아져 280초 일 때 거의 이상적인 다이오드 특성을 나타내었다. 반면 Co 단일막은 240초 이후 η 값이 오히려 증가하였다. 그림 7은 그림 3과 5에서 누설전류값을 구하여 비교한 것이다. Co/Ti 이중막의 경우 전류밀도로 계산하여 10⁻⁷~10⁻⁶A/cm²의 누설전류를 보였는데, 이 결과는 Co단일막과 high dose를 사용한 다른 연구자들의 결과^{3,10)}보다도 낮은 값이다. 또 열처리 시간이 증가할수록 전방향 전류의 증가(그림 3)와 더불어, 누설전류는 감소하였다. 이는 확산에 의한 As⁺ 계면농도의 증가에 따른 것이다.

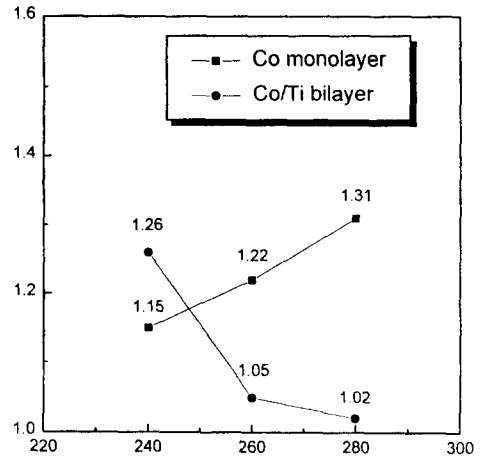


Fig. 6. Comparison of ideality factor(n) for n⁺/p diodes formed by using Co/Ti bilayers and Co monolayers (drive-in annealed at 500°C).

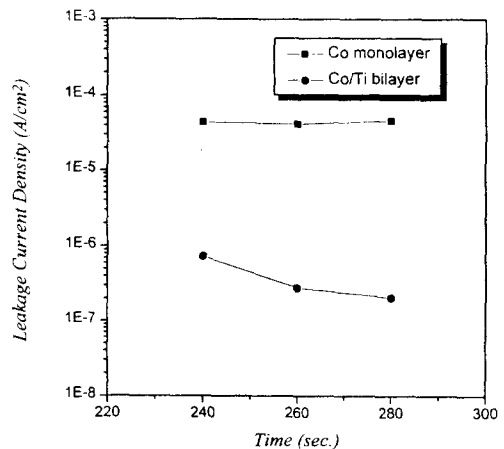


Fig. 7. Comparison of leakage current density for n⁺/p diodes formed by using Co/Ti bilayers and Co monolayers (drive-in annealed at 500°C).

CoSi₂/n⁺p접합에서의 누설 전류는 실리사이드화 및 접합 형성 과정에서 생겨나는 불균일한(nonuniform) CoSi₂/Si 계면¹¹⁾과 이에 의한 Fowler-Nordheim tunneling,¹²⁾ 접합내 손상이나 불순물에 의한 generation current,¹²⁾ CoSi spiking¹³⁾ 등 다양한 원인에 의해 발생하는 것으로 제시되었다. 그러나, 본 실험에서는 SADS법을 사용하였고, 800℃에서 실리사이드를 형성하였으므로 이온주입 손상에 의한 deep level이나 CoSi spike의 발생 가능성은 희박하다. 그런데, 잘 알려진 바와 같이 Co 단일막으로부터 형성한 CoSi₂는 다결정 구조를 하고 있으며 Si 기판과의 계면이 거칠고 불균일하나, Co/Ti 이중막을 사용하여 형성한 에피박막은 기판과의 계면이 비교적 평탄하다.^{4,7)} 이를 그림 8의 단면 TEM 사진에서 확인할 수 있다. 이러한 차이는 Si 표면에 존재하는 자연산화막때문에 실리사이드화 반응시 불균일한 확산이 일어나기 때문이다. 그런데, CoSi₂가 다결정이고 계면이 거칠면 Si 기판쪽으로는 As 확산이 불균일하게 일어나 I-V 특성이 나빠진다. 따라서, 그림 7에 보인 누설전류값의 차이는 주로 CoSi₂/Si 계면 불균일성에 의한 것으로 판단된다.

4. 결 론

Co/Ti 이중막을 800℃에서 급속열처리하여 CoSi₂를 형성하였다. 이 실리사이드에 1×10¹⁵cm⁻²의 As⁺을 35keV로 이온주입한 후 drive-in 열처리하여 매우얇은 n⁺p접합의 다이오드를 제작하고, 그 I-V 특성을 측정하였다. 800℃(60초) 및 1000℃(20초 이상)로 drive-in 열처리 한 경

우, As의 충분한 확산으로 계면농도가 높아 전방향 전류는 높았으나, 응집으로 인해 누설전류도 매우 높았다. 응집이 일어나지 않도록 열처리 온도를 500℃(280초 이상)로 낮춘 경우, 50nm 정도의 매우얇은접합이 형성되었으며, 누설전류가 3×10⁻¹¹A로 매우 낮고 ideality factor가 1.02(280초)인 우수한 다이오드 특성을 나타내었다. 이 결과를 Co 단일막을 사용하고 같은 조건에서 drive-in 열처리하여 만든 다이오드와 비교하면, ideality factor는 0.29, 누설전류는 2order 이상 낮았다. 이는 Co/Ti 이중막을 사용하여 형성한 CoSi₂는 에피박막이며 기판 Si와 평탄한 계면을 만들기 때문이다. 따라서, 누설전류를 최소화하고 우수한 I-V 특성을 가진 SADS접합을 만들기 위해서는 Co단일막 대신 Co/Ti 이중막을 사용하고 비교적 낮은 온도(500℃)에서 장시간(280초 이상) drive-in 열처리하는 것이 중요하다.

감사의 글

본 연구는 한국과학재단 핵심전문연구의 지원에 의해 수행되었기에 감사드립니다(과제번호 : 961-0804-030-2).

참 고 문 헌

1. National Technology Roadmap for Semiconductors, (Semiconductor Industry Association, 1994)
2. H. Jiang, C.M. Osburn, P. Smith, Z-G. Xiao, D. Griffis, G. McGuire, and G.A. Rozgonyi, J. Electrochem. Soc., **139** (1), 196 (1992)
3. Q. Wang, C.M. Osburn, and C.A. Canovai, IEEE Trans. Electron Devices **39** (11), 2486 (1992)
4. J. Lin, W. Chen, S. Banerjee, J. Lee, and C. Magee, J. Electronic Materials, **22** (6), 667 (1993)
5. E.C. Jones and N.W. Cheung, J. Electronic Materials, **24** (7), 863 (1995)
6. K.S. Bae, J.R. Kim, S.Y. Hong, and Y.B. Park, Thin Solid Films, **302**, 260 (1997)
7. S.L. Hsia, T.Y. Tan, P. Smith, and G.E. McGuire, J. Appl. Phys., **72** (5), 1864 (1992).
8. 김종렬, 조운성, 배규식, 한국재료학회지, **5** (3), 324 (1995)
9. H. Jiang, C.M. Osburn, Z-G. Xiao, G. McGuire, G. A. Rozgonyi, B. Patnaik, N. parikh, and M. Swanson, J. Electrochem. Soc., **139** (1), 206 (1992)
10. B.S. Chen and M.C. Chen, J. Appl. Phys., **74** (5), 3605 (1993)
11. L. Van den Hove, K. Maex, L. Hobbs, P. Lippens, R. De Keersmaecker, V. Probst, and H. Shaber, Appl. Surf. Sci., **38**, 430 (1989)
12. R. Liu, D.S. Williams, and W.T. Lynch, J. Appl. Phys., **63** (6), 1990 (1988)
13. K. Goto, A. Fushida, J. Watanabe, J. Sukegawa, K. Kawamura, T. Yamazaki, and T. Sugii, IEDM Tech. Dig., 449 (1995)

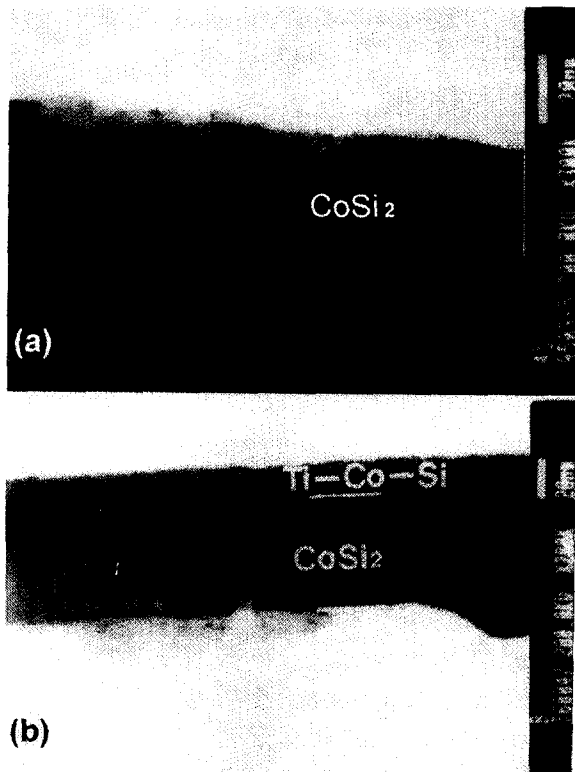


Fig. 8. Cross-sectional TEM micrographs after formation of CoSi₂ by using (a) Co single layer and (b) Co/Ti bilayer.