

Co/Ti 이중막 실리사이드를 이용한 p⁺-n 극저접합 다이오드의 제작과 전기적 특성

張志根 · 嚴于鎔* · 張鎬廷

檀國大學校 電子工學科

*仁荷工業專門大學 電子科

Fabrication and Electrical Characteristics of p⁺-n Ultra Shallow Junction Diode with Co/Ti Bilayer Silicide

Gee Keun Chang, Woo Yong Ohm* and Ho Jung Chang

Department of Electronic Engineering, Dankook University, Chonan, 330-714

*Department of Electronics, Inha Technical Junior College, Incheon, 402-752

(1997년 9월 11일 받음, 1997년 12월 4일 최종수정본 받음)

초 록 n-well Si(100) 영역에 BF₃를 이온주입 [에너지 : 30KeV, 주입량 : $5 \times 10^{15} \text{cm}^{-2}$] 하고 Co(120 Å)/Ti(40 Å) 이중막을 진공증착하여 RTA-silicidation을 통해 Co/Ti 이중막 실리사이드층을 갖는 p⁺-n 극저접합 다이오드를 제작하였다. 제작된 소자의 이상계수와 비접촉저항 및 누설전류는 각각 1.06, $1.2 \times 10^{-6} \Omega \cdot \text{cm}^2$, $8.6 \mu\text{A}/\text{cm}^2$ (-3V)로 나타났으며 실리사이드층을 갖는 이미터 영역의 면저항은 약 $8 \Omega/\square$ 로, 실리사이드/실리콘 계면에서 보론 농도는 약 $6 \times 10^{19} \text{cm}^{-3}$ 으로, 실리사이드 두께 (~500 Å)를 포함한 접합깊이는 약 0.14 μm로 형성되었다. 다이오드 제작에서 Co/Ti 이중막 실리사이드층의 형성은 소자의 누설전류를 다소 증가시켰으나 이상계수의 개선과 이미터 영역의 면저항 및 비접촉저항의 감소를 가져왔다.

Abstract The p⁺-n ultra shallow junction diode with Co/Ti bilayer silicide was formed by ion implantation of BF₃ [energy : 30KeV, dose : $5 \times 10^{15} \text{cm}^{-2}$] onto the n-well Si(100) region and RTA-silicidation of the evaporated Co(120 Å)/Ti(40 Å) double layer. The fabricated diode exhibited ideality factor of 1.06, specific contact resistance of $1.2 \times 10^{-6} \Omega \cdot \text{cm}^2$ and leakage current of $8.6 \mu\text{A}/\text{cm}^2$ under the reverse bias of 3V. The sheet resistance of silicided emitter region, the boron concentration at silicide/Si interface and the junction depth including silicide layer of 500 Å were about $8 \Omega/\square$, $6 \times 10^{19} \text{cm}^{-3}$ and 0.14 μm, respectively. In the fabrication of diode, the application of Co/Ti bilayer silicide brought improvement of ideality factor on the current-voltage characteristics as well as reduction of emitter sheet resistance and specific contact resistance, while it led to a little increase of leakage current.

1. 서 론

집적회로 소자가 고밀도로 초미세화 되면서 short channel 현상을 최소화하기 위해 소오스/드레인의 접합깊이를 0.15 μm 이하의 ultra shallow junction으로 실현하려는 연구가 진행되고 있다. 그러나 소자의 설계 규칙이 엄격해질수록 접합의 면저항과 poly Si 게이트 전극의 배선저항, 금속-반도체간의 접촉저항 증가로 나타나는 기생저항의 크기는 소자의 안정적 동작을 제한하는 중요한 요인으로 대두된다. 이에 따라 낮은 저항의 신뢰성있는 submicron 스케일의 VLSI 소자를 제작하기 위해 실리사이드를 이용한 저저항 극저접합 형성 기술이 개발되었다.^{1~3)}

실리사이드를 이용한 소자제작 기술은 실리사이드 박막이 실리콘이 노출된 영역에서 선택적으로 형성되어 poly Si 게이트 전극의 배선저항을 감소시킬 뿐만 아니라 접합이 형성된 전체 Si 표면을 금속 접촉면으로 전환함으로써 접합면의 면저항과 금속의 접촉저항을 줄일 수 있다. 현재의 저저

항 소오스/드레인 형성 기술에서는 TiSi₂와 CoSi₂가 일반적으로 이용되고 있는데,^{4,5)} TiSi₂에 비해 CoSi₂는 Si과 같은 입방(cubic) 구조이며 Si과의 격자 부정합이 1.2%밖에 되지 않아 에피택시 성장이 가능하며, 비저항이 낮고, 금속-도펀트 화합물 형성에 대한 안정성이 높아 차세대 반도체 기술에서 극저접합의 형성을 위한 미래의 실리사이드로 가장 주목을 받는 재료이다.⁶⁾

CoSi₂를 이용한 소오스/드레인 극저접합의 형성은 SADS (silicide as diffusion source) 방식을 중심으로 주로 연구되고 있으며⁷⁾ SADS 방식은 실리사이드막을 도펀트원으로 하여 확산에 의해 극저접합을 형성함으로써 실리사이드막의 Si 소모에 따른 접합과피를 방지할 수 있다는 장점이 있다. 그러나 SADS 방식에서는 실리사이드/실리콘 계면에서 높은 도펀트 농도를 얻기가 어렵고 단일 Co 박막으로부터 얻어진 CoSi₂는 Si 표면에 존재하는 자연산화막의 영향으로 randomly oriented 결정구조를 나타내어 후속 고온처리과정에서 실리사이드막의 열적 불안정성에 문제점

이 제기되고 있다.”

이에 본 실험에서는 n-well에 BF₂를 이온주입하고 Co/Ti 이중막을 silicidation하여 실리사이드/실리콘 계면에서 높은 보론 농도와 에피성장된 CoSi₂ 접촉을 갖는 새로운 p⁻-n 극저접합 다이오드의 제작을 연구하였으며 공정과정에서 접합특성(면저항, 도펀트 분포 등)의 변화와 제작된 다이오드의 전기적 특성을 조사하였다.

2. 실험방법

p형 (100) Si 웨이퍼($\rho=10 \Omega\text{-cm}$)에 n-well의 형성을 위해 인(P)을 이온주입($150 \text{ keV}, 3.4 \times 10^{13} \text{ cm}^{-2}$)하고 1150°C에서 3시간 동안 drive-in을 실시하였다. 이후 BF₂를 30keV 에너지에서 $5 \times 10^{15} \text{ cm}^{-2}$ 의 dose로 이온주입하고 후속공정을 위해 약 4500Å 두께의 CVD 산화막을 성장시켰다. 이후 베이스 영역을 외부로 이끌어 내기 위해 n-well에 이르기까지 Si를 메사에칭(에칭 깊이: ~1 μm , 메사 영역: $170 \times 120 \mu\text{m}^2$)하고 이온주입에 의한 기관순상의 회복과 도펀트의 활성화, 베이스 영역의 silicidation을 방지하기 위해 800°C에서 30분간 wet O₂ 분위기로 산화 공정을 실시하였다. 다음으로 실리사이드가 형성되는 이미터 영역의 산화막을 제거하고 E-beam evaporation 장치에서 Co(120Å)/Ti(40Å) 이중막을 진공증착하였다. 증착된 금속박막으로부터 실리사이드를 형성하기 위하여 RTA(rapid thermal annealing) 장치를 이용하여 N₂ 분위기로 800°C에서 20초간 급속 열처리를 실시하였으며 열처리 후 반응되지 않은 Ti와 Co를 <NH₄OH:H₂O₂:H₂O = 1:1:5>와 <HCl:H₂O₂ = 3:1>의 용액으로 제거하였다. 이후, 표면보호막으로 약 1500Å 두께의 SiO₂ 층을 진공증착하고 850°C로 30분간 고온로(N₂, flow rate:2l/min)에서 후속 열처리를 실시한 후 접촉 창구의 개방과 Al 금속의 증착을 통해 소자의 전극을 형성하였다.

본 실험에서 제작된 소자의 접합 특성을 평가하기 위해 4 탐침법(4-point probe)으로 공정단계별 면저항값을 측정하였고, X선 회절(XRD) 분석을 통해 실리사이드막의 결정상을 조사하였다. 또한 실리사이드막의 표면형상을 주사 전자 현미경(SEM)으로, 두께를 투과 전자 현미경(TEM)으로 관찰하였으며, 이온주입된 도펀트의 분포를 알아보기

위해 SIMS 분석을 실시하였다. 소자 공정과정에서는 실리사이드층이 형성되지 않은 conventional p⁺-n 다이오드를 비교용으로 함께 제작하였으며, Kelvin 저항을 제작하여 p⁺-Si/silicide/Al 및 p⁻-Si/Al의 비접촉저항(specific contact resistance)을 측정하였다. 그림 1은 제작된 소자의 단면구조를 보여주고 있다.

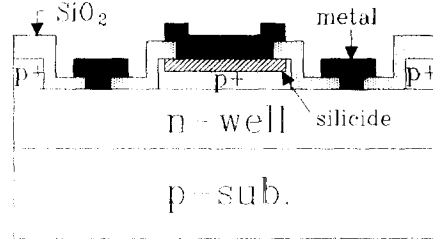


Fig. 1. The cross-sectional view of the fabricated diode.

fact resistance)을 측정하였다. 그림 1은 제작된 소자의 단면구조를 보여주고 있다.

3. 결과 및 고찰

그림 2는 BF₂를 30KeV, $5 \times 10^{15} \text{ cm}^{-2}$ 로 이온주입하고 800°C에서 30분간 산화공정을 실시한 후 Co(120Å)/Ti(40Å)의 두께로 증착한 시편의 RTA-silicidation과 후속 열처리를 거친 공정단계별 면저항값의 변화를 보여주고 있다. BF₂의 as-implantation 상태에서 면저항값은 230 Ω/\square 로, 산화공정을 실시한 후에는 175 Ω/\square 로 나타났으며

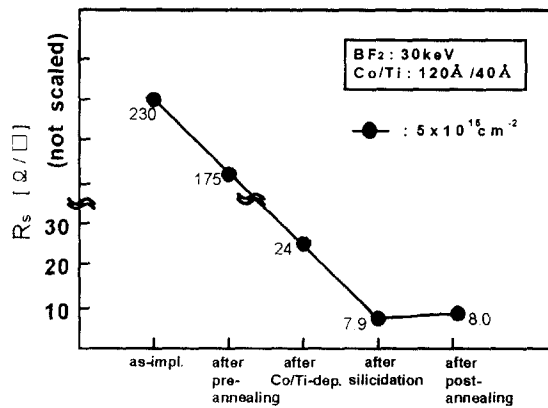


Fig. 2. The change of sheet resistance at various precess steps.

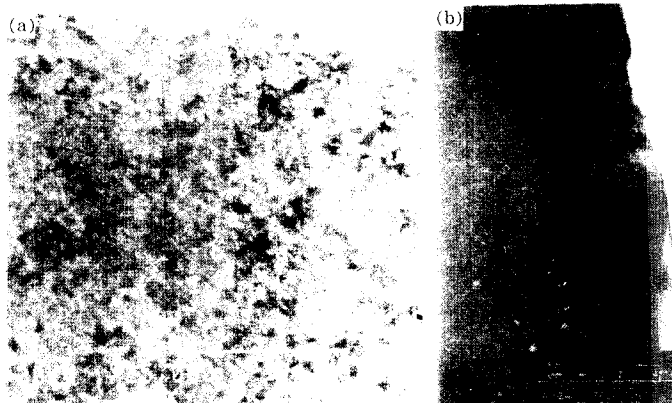


Fig. 3. Surficial(a) and cross sectional(b) micrographs of silicide layer from the fabricated diode.

silicidation 후 면저항값은 약 $7.9\Omega/\square$ 로 나타났다. Co/Ti 이중막 실리사이드층을 갖는 이미터 영역의 면저항값은 후속열처리에 별다른 차이를 나타내지 않았으며 Co/Ti 이중막 실리사이드의 이러한 높은 열적 안정성은 에피성장과 밀접한 관계가 있는 것으로 생각된다.

그림 3은 제작된 시편의 실리사이드 박막에 대한 SEM 표면과 TEM 단면 사진을 보여주고 있다. SEM 사진으로부터 Co/Ti 이중막 실리사이드의 표면 형상은 850°C 에서 30분간 고온 열처리를 통해서도 전반적으로 열적 응집현상 (agglomeration) 없이 비교적 매끈하게 유지되고 있음을 관찰할 수 있다. TEM 사진으로부터 Co/Ti 이중막 실리사이드의 두께가 약 500\AA 로 측정되며 실리사이드/실리콘 계면 굴곡의 변화는 약 20%로 관찰된다. 따라서 실리사이드의 두께를 약 500\AA 로 유지하고 접합깊이를 $0.15\mu\text{m}$ 정도로 나타낸 p⁻-n 극저접합 형성에서 실리사이드 두께의 비균일성이 접합의 불안정성에 영향을 주지는 않을 것으로 판단된다.

그림 4는 제작된 시편의 실리사이드 박막에 대한 결정상을 알아보기 위해 XRD 분석을 실시한 결과이다. 이 그림으로부터, Co/Ti 이중막 실리사이드는 CoSi₂막과 Co-Ti-Si 고용체로 이루어져 있음을 볼 수 있으며 CoSi₂ 결정상은 Si(100) 기판과 에피층을 이루면서 CoSi₂(200) 상으로 나타남을 볼 수 있다. Co/Ti 이중막 실리사이드가 Si 기판상에 에피 성장됨은 산화력이 큰 Ti가 Si 표면의 자연산화막을 환원하여 청결한 Si 표면을 만들고 확산계수가 큰 Co가 Ti와 위치역전을 일으켜서 Si 결정과 격자정합을 이루는 CoSi₂ 박막이 만들어지기 때문이다.^{9,10)}

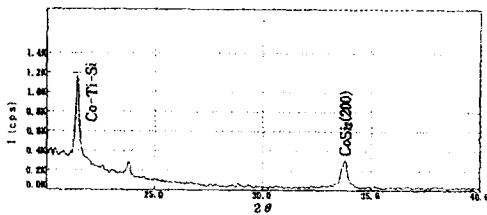


Fig. 4. X-ray diffraction patterns of Co/Ti bilayer.

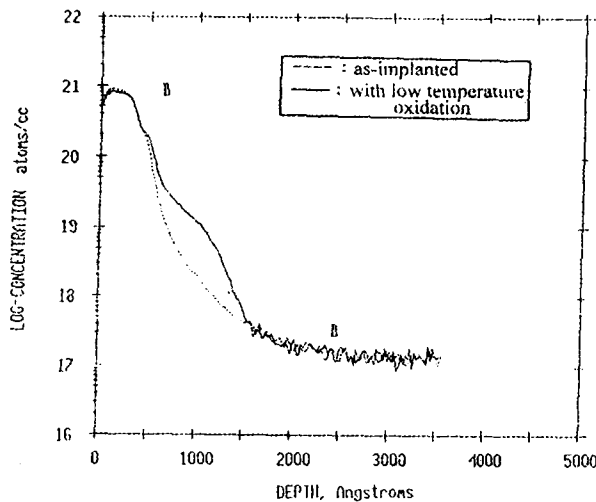


Fig. 5. Boron depth profiles before silicidation.

그림 5는 BF₂를 이온주입한 시편의 as-implanted 상태와 800°C 에서 30분간 저온산화공정을 실시했을때의 보론 depth profile을 SIMS 분석한 결과이다. n-well의 농도를 10^{18}cm^{-3} 으로 잡을 경우, as-implanted 상태에서 접합깊이는 약 $0.12\mu\text{m}$ 로 나타났으며, 산화공정을 실시했을 경우 접합깊이는 약 $0.14\mu\text{m}$ 로 나타났다. 산화공정을 통해 보론 분포의 접합깊이가 깊어지는 것은 이온주입에 의한 결정결함으로 인해 재결정화되기 전의 다결정 상태에서 보론의 enhanced diffusion이 발생하기 때문이다.

그림 6은 실리사이드 형성 직후 및 고온로에서 850°C , 30분간 후속 열처리한 경우 실리사이드막을 제거한 시편의 보론 depth profile을 나타내고 있다. 이 그림에서 silicidation 직후의 실리사이드 두께를 포함한 접합깊이 ($X_j \sim 0.13\mu\text{m}$; 실리사이드막을 제거한 p⁻ 영역의 접합깊이 $\sim 0.08\mu\text{m}$)를 살펴보면 산화공정 후의 접합깊이 ($X_j \sim 0.14\mu\text{m}$)보다 다소 감소된 결과로 나타나고 있는데 이는 silicidation 과정에서 보론의 out-diffusion에 기인하는 것으로 판단된다. SIMS 분석결과, silicidation 전과 후속열처리 후의 접합깊이는 큰 차이가 없으며 최종공정단계에서 실리사이드와 실리콘 경계면에서 보론 (B)의 농도는 $6 \times 10^{19}\text{cm}^{-3}$ 을 유지하고 p⁻-n 접합깊이는 약 $0.14\mu\text{m}$ 정도로 나타남을 볼 수 있다.

그림 7은 제작된 다이오드들의 전류-전압특성을 HP4145B로 측정된 결과를 보여주고 있다. 그림 7(a)에서 실리사이드층을 갖는 p⁻-n 다이오드는 ideality factor (η)가 1.06으로 이상적인 다이오드의 전류-전압특성을 나타내고 있으며, -3V 에서 누설전류 (J)는 $8.6\mu\text{A}/\text{cm}^2$ 로 측정된다. 또한, N₂ 분위기에서 Al 전극의 RTA alloy (450°C , 20sec) 과정을 거친 p⁻-Si/silicide/Al계의 Kelvin 저항은 $10 \times 10\mu\text{m}^2$ 면적을 통해 1.2Ω 의 값을, 비접촉 저항으로는 $1.2 \times 10^{-5}\Omega \cdot \text{cm}^2$ 의 값을 나타내었다. 이에 비해 conventional p⁻-n 다이오드는 1.23의 이상계수와 $5\mu\text{A}/\text{cm}^2$ (-3V)의 누설전류 특성을 나타내었으며 p⁻-Si/Al계의 비접촉저항은 약 $1.0 \times 10^{-5}\Omega \cdot \text{cm}^2$ 로 나타났다.

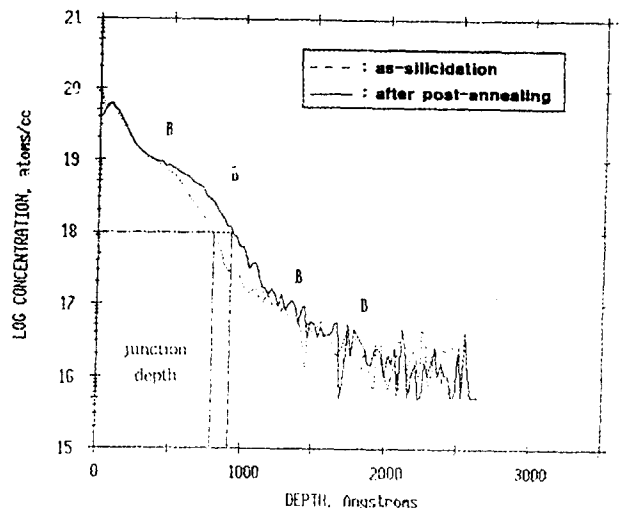
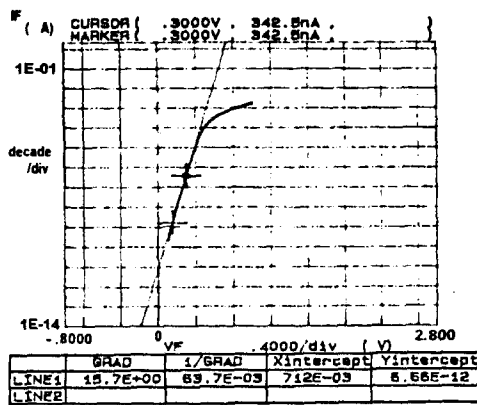
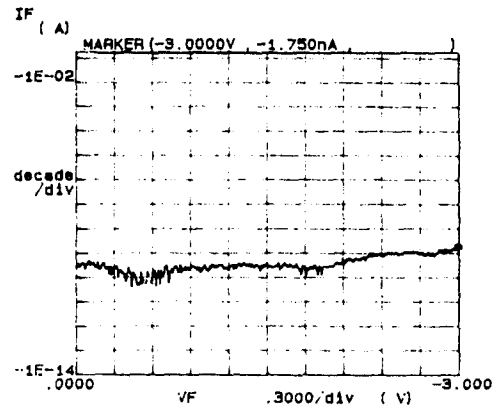


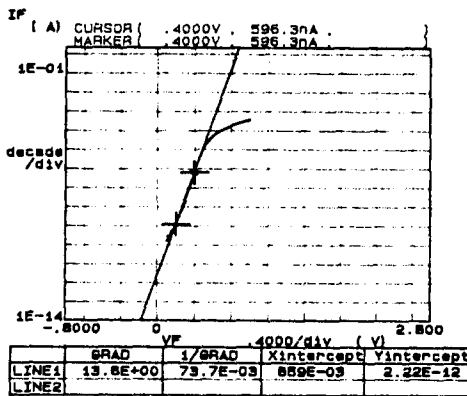
Fig. 6. SIMS depth profiles for boron after removing silicide layer.



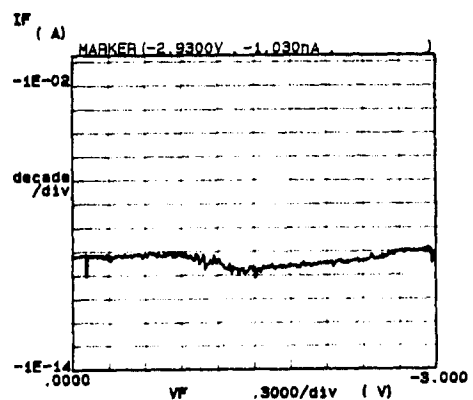
(a-1) forward characteristics



(a-2) reverse characteristics



(b-1) forward characteristics



(b-2) reverse characteristics

Fig. 7. I-V characteristic curves of fabricated diodes. (a) diode with silicide layer. (b) conventional diode.

실리사이드층을 갖는 p⁻-n 극저접합 다이오드는 conventional 구조의 다이오드에 비해 누설전류의 커다란 증가없이 낮은 이미터 접촉저항과 이상계수를 갖는 전기적 특성을 나타내었다.

본 실험에서 제작된 소자들의 다소 높은 누설전류는 메사 구조와 표면 보호막으로 이용된 CVD 산화막의 poor quality에 기인하는 것으로 사료되며 플래너 구조와 thermal SiO₂를 이용한 소자제작의 경우 누설전류의 크기는 훨씬 줄어들 것으로 예상된다.

4. 결 론

n-well Si(100) 영역에 BF₂를 30KeV, 5×10¹⁵cm⁻²의 dose로 이온주입하고 Co(120Å)/Ti(40Å) 이중막을 진공증착하여 RTA-silicidation과 후속열처리를 통해 Co/Ti 이중막 실리사이드층을 갖는 p⁻-n 극저접합 다이오드를 제작하였다. 제작된 소자의 이상계수와 비접촉저항 및 누설전류는 각각 1.06, 1.2×10⁻⁶Ω·cm², 8.6μA/cm²(-3V)로 나타났으며 실리사이드층을 갖는 이미터 영역의 면저항은 약 8Ω/□로, 실리사이드/실리콘 계면에서 보론 농도는 약 6×10¹⁹cm⁻³으로, 실리사이드 두께(~500Å)를 포함한 접합깊이는 약 0.14μm로 형성되었다. Co/Ti 이중막 실리사

이드층을 갖는 p⁻-n 극저접합 다이오드는 실리사이드 층이 형성되지 않은 conventional 다이오드에 비해 누설전류가 다소 증가되었으나, 이상계수의 개선과 이미터 영역의 면저항 및 비접촉저항의 감소를 가져왔다. 본 연구에서의 Co/Ti 이중막 실리사이드를 이용한 새로운 p⁻-n 극저접합 형성기술은 공정의 용이성, 실리사이드/실리콘 계면에서 높은 도펀트 농도, 실리사이드 박막의 우수한 열적 안정성, 이미터 영역의 낮은 면저항과 비접촉저항 등으로 인해 차세대 저저항 소오스/드레인 개발에 그 활용이 모색된다.

감사의 글

본 연구는 단국대학교 교내 연구비 지원에 의하여 수행되었으며 이에 감사를 드립니다.

참고 문헌

1. J. Amano, K. Nauka, M. P. Scott, J. E. Turner, and R. Tsai, Appl. Phys. Lett., **49**(12), 737 (1986)
2. A. E. Morgan, E. K. Broadbent, M. Delfino, B. Coulman, and D. K. Sadana, J. Electrochem. Soc., **134**, 925(1987)
3. S. P. Murarka, D. B. Fraser, A. K. Sinha, H. J.

- Levinstein, E. J. Lloyd, R. Liu, D. S. Williams and S. J. Hillenius, IEEE Trans. Electron Devices, **ED-34** (10), 2108 (1987)
4. C. K. Lau, Y. C. See, D. B. Scott, J. M. Bridges, S. M. Perna, and R. D. Davies, IEDM Tech. Dig., 714 (1982)
5. M. Tabaskky, E. S. Bulat, B. M. Pitcheck, M. A. Sullivan, and S. C. Shatas, IEEE Trans. Electron Devices, **ED-34** (3), 548 (1987)
6. S. P. Murarka, *Silicides for VLSI Applications*, pp. 30~33, Academic Press, New York, (1983)
7. B. S. Chen, and M. C. Chen, J. Appl. Phys., **72** (10), 4619 (1992)
8. 장지근, 엄우용, 신철상, 장호정, 전자공학회지, **33-A** (11), 2251~2257 (1996)
9. S. L. Hsia, T. Y. Tan, P. Smith, and G. E. McGuire, J. Appl. Phys., **72** (5), 1864 (1992)
10. S. L. Hsia, T. Y. Tan, P. Smith, and G. E. McGuire, J. Appl. Phys., **70** (12), 7579~7587 (1991).