[논 문] 한국재료학회지
Korean Journal of Materials Research
Vol. 8, No. 3 (1998)

Co/metal/Si 이중층 구조의 실리사이드화 열처리에 따른 dopant의 재분포

이종무 · 권영재 · 이수천 · 강호규* · 배대록* · 신광수** · 이도형**

인하대학교 금속공학과
*삼성전자 반도체연구소 LS 공정개발
**산업과학기술연구소 분석실

Redistribution of Dopant by Silicidation Treatment in Co/Metal/Si

Chongmu Lee, Youngjae Kwon, Soo Chun Lee,
Ho-Kyu Kang*, Dae-Lok Bae*, K. S. Shin** and D. H. Lee**

Department of Metallurgical Engineering, Inha University, Inchon 402-751
**LS Process Development Semiconductor R&D Center, Samsung Electronics, Yongin 449-900*
***Department of Analysis, Research Institute of Industrial Science and Technology, Pohang 790-784*

(1997년 7월 11일 받음, 1997년 12월 19일 최종수정본 받음.)

초 록 SIMS를 사용하여 Co/metal 이중층 구조의 실리사이드화 열처리시 발생하는 기판내 도펀트의 재분포 거동에 대하여 조사하였다. Co 실리사이드화 반응의 중간층으로는 Ti, Nb, 또는 Hf를 사용하였고, 여러 도펀트들 중 실리사이드 내에서의 확산속도가 특히 빠른 B에 대하여 조사하였다. Co/Ti과 Co/Nb의 경우 열처리후 B 피크의 높이는 1 order 정도 낮아지지만 표면으로부터의 주피크의 상대적인 위치는 열처리전과 동일하였다. B의 분포양상은 Ti 및 Nb의 그것과 일치하는데, 이것은 B와 Ti 및 Nb간의 친화력이 크기 때문이다. Co/Hf의 경우에도 B의 피크는 Hf과 거의 같았으나, Ti나 Nb에 비해서 약간 차이가 나는 것으로 보아 B-Hf 간의 친화력은 다소 떨어지는 것으로 보인다. 전체적으로 열처리후 Co/metal 이중층 실리사이드에서의 B의 재분포는 Si 계면에서 고갈되는 반면, Co-metal/Co 실리사이드 계면에서 pile-up되는 양상을 보였다.

Abstract The redistribution behavior of boron during Co silicidation annealing in the Co/metal/Si system was investigated using SIMS. Ti, Nb and Hf films were used as epitaxy promoting metal layers. After annealing treatment the boron peak height was about 1 order lowered in Co/Ti/Si and Co/Nb/Si systems but the relative peak position from the surface did not change. The distribution of boron was very similar to those of Ti and Nb, because of the strong affinities of boron with them. Also, the position of the main boron peak in the Co/Hf/Si system was almost the same as that of Hf, but the distribution feature of the Co/Hf/Si system somewhat differed from those of Co/Ti/Si and Co/Nb/Si systems. This implies that the affinity between B and Hf is weaker than those of B-Ti and B-Nb. Boron tends to be depleted at the silicide/Si interface while it tends to be piled-up at the Co-metal/Co silicide interface during silicidation annealing.

1. 서 론

Salicide (self-aligned silicide) 공정은 MOS 트랜지스터의 소스와 드레인 및 게이트 전극을 동시에 실리사이드화시키는 공정을 말한다.[1] 이러한 실리사이드화는 일반적으로 실리콘 기판 위에 금속막을 증착시킨 후 열처리하여 금속과 기판에 반응이 일어나게 함으로써 이루어진다. 그러나 실제로 이러한 반응이 일어나는 MOS 트랜지스터의 소스, 드레인 및 게이트 전극에는 B나 As, P등의 도펀트 (dopant)들이 고농도로 도핑되어 있다. 따라서 그 위에 여러 금속막을 증착하고 열처리를 하면, 실리콘 내의 도펀트들이 확산하여 재분포하게 된다. 이러한 도펀트들의 재분포 거동은 반응계의 구성원소들의 확산계수, 용해도, 구성상간의 편석계수 (segregation coefficient), 표면과 계면, 그리고 열처리시 도펀트들의 증발 (evaporation)과 반응 (reactive loss) 등에 의한 영향을 받는다.[2] 실리사이드화 열처리 공정중 도펀트의 확산에 의하여 접합표면 (interconnect-electrode contact)에서 도펀트의 농도가 고갈되어 접촉저항과 접합의 누설전류가 증가한다든지,[3] quasi-Schottky diode 거동[4]이 나타나는 등 소자의 작동성능을 저하시키는 문제가 발생할 수 있다. 도펀트의 재분포 거동과 관련한 중요한 관심사는 열처리후 도펀트들이 새로이 재집적되는 위치이다. 즉, 열처리전의 도펀트의 농도피크인 금속/실리콘 계면부로부터 열처리후 전진하는 반응계면에 밀려서 도펀트들이 실리사이드/실리콘 계면에 집적되는지, 아니면 실리사이드층을 확산통과하여 상부에 아직 반응하지 않고 남아있는 금속과 실리사이드의 계면에 집적되는가 하는 점이다. B나 As등의 도펀트가 이온주입된 실리콘 기판상의 Ti나 Co를 실리사이드화 할 때 이온빔 mixing의 경우[5]를 제외하고는 모두 열처리후 도펀트들이 실리사이드/실리콘 계

면에서는 고갈되는 반면, 미반응 금속/실리사이드 계면에서는 누적되는 것으로 알려져 있다.[6~8] 이것은 내화금속 실리사이드에서도 마찬가지이다. 한편, Ni, Pt, Pd 같은 준귀금속(near-noble metal)의 경우에는 열처리후에 오히려 실리사이드/실리콘 계면의 도펀트 농도가 증가하는데, 이러한 현상은 snow plough 효과로 알려져 있다.[9~11] 보통 실리사이드에서는 도펀트들의 확산속도와 용해도가 실리콘의 그것들에 비해 비교적 낮기 때문에,[5,12] 이와 같은 snow plough 현상이 일어날 것으로 생각되지만 실제로는 실리사이드의 결정립계 확산과 열처리에 따른 도펀트들의 증발 및 도펀트와 이들 금속간의 반응에 의한 손실 등의 영향 때문에 더 복잡하다. 특히, 근래의 실리사이드 연구추세는 단일한 금속막을 통한 실리사이드 형성보다는 epitaxy promoting 금속층을 삽입한 Co/metal 이중 금속층 구조를 사용하여 실리사이드화를 추구하는 경향[13,14]이 있는데, 이런 경우 도펀트들의 재분포 양상은 더욱 복잡할 것이다.

현재 실리사이드화 과정에서의 도펀트의 재분포 거동에 대한 설명은 기구적인 측면에서 여러 접근이 시도되고 있으나 기본이 되는 열역학적 자료의 결핍과 여러 반응인자들에 대한 이해부족 등으로 인하여 아직 명확한 결론이 내려져 있지 못한 실정이다. 특히, Co/metal 이중층 구조의 실리사이드화 과정에서의 도펀트의 재분포에 대한 조사는 더욱 부족한 실정이다. 이런 배경에서 본 연구에서는 B이 고농도로 이온주입된 기판 위에 실리사이드 형성 재료로서 Co를, 실리사이드화 반응제어층으로는 각기 Ti, Nb, Hf을 차례로 증착한 이중층 구조의 시편을 제작한데 이어, 급속열처리(Rapid Thermal Annealing)을 통하여 실리사이드층을 형성하고, SIMS를 이용하여 실리사이드화 열처리중 재분포된 B의 거동에 대하여 조사하였다.

2. 실 험 방 법

본 실험에서는 기판으로써 N^--기판의 표면부에 P^+-well 정션을 형성한 시편을 사용하였다. 이것은 실리사이드화 열처리 공정중 N^+-well 내의 As이나 P보다는 P^--well 내의 B이 실리사이드 내에서의 확산속도가 월등히 더 커서 외부로 확산되어 손실될 가능성이 더 높기 때문이다. 그러므로, 열처리중 도펀트의 재분포 거동을 연구하는 데에 있어 P^+-well 내의 B의 재분포 거동을 반드시 조사할 필요가 있다.

기판의 준비 과정은 다음과 같다. 먼저 P형 (100) Si 웨이퍼에 P를 100 KeV로 1.5×10^{13}만큼 이온주입하여 N^--기판을 형성한 후 1150℃에서 13시간 동안 drive-in 처리하였다. 그 다음 10nm의 gate oxide를 성장시키고 이어서 30KeV, 5.0×10^{15}의 B를 주입한 후 850℃에서 3분간 활성화 열처리를 하고 전면의 산화막을 제거하여 P^+-well 시편을 준비하였다. 이상과 같은 과정을 거쳐 준비한 n^+-Si 기판 위에 스퍼터링(sputtering)법을 사용하여 먼저 12nm 두께의 Ti, Nb 그리고 Hf 박막을 증착하고, 이어서 25nm의 Co 박막을 증착함으로써 Co/Ti, Nb 또는 Hf/(100)Si 시편을 만들었다. 이 때 스퍼터 챔버내의 진공도는 5×10^{-7}torr 수준이었다. 이 시편들을 진공 분위기(2×10^{-5}torr)의 RTA 장비 내에서 각각 600, 700 및 800℃로 가열하여 30초간 급속열처리 함으로써 여러 종류의 실리사이드 시편들을 만들었다.

이 시편들에 대해 4 point probe를 사용하여 면저항을 측정하고, glancing angle XRD를 사용하여 실리사이드화 열처리에 의해 생성된 상들을 분석하였다. 또한, AES depth profiling에 의하여 시편 표면으로부터의 깊이에 따른 조성의 변화를 조사하여 전체적인 층구조를 결정하였다 (위와 같은 층구조의 분석에 사용된 자료들은 Co/metal 이중층 구조의 실리사이드화에 대해서 다루었던 앞서의 논문들[15,16]에 제시되어 있다). 이어서 SIMS 분석에 의하여 도펀트의 depth profile을 얻었다.

3. 결과 및 고찰

3.1. Co/Ti/(100)Si 내에서의 B의 재분포

서론에서 기술한 바와 같이 실리콘 기판 위의 금속막을 실리사이드화 열처리할 때 도펀트의 재분포와 관련한 가장 큰 관심사는 도펀트가 실리사이드/Si 계면에 pile-up되는가, 아니면 실리사이드 층내로 이동하여 궁극적으로 실리사이드/금속계면에 pile-up되는가 하는 것이다.

그림 1은 Co/Ti/(100)Si 시편의 열처리 전과 후의 SIMS depth profile들이다. 열처리하기 전(as-deposited)에는 B의 피크가 Ti와 Si의 계면에 위치하고 있다(SIMS depth profile 분석은 여기서는 제시하지 않았으나 먼저 AES와 XRD를 이용하여 층구조 및 생성상을 결정한 후 이 둘을 서로 비교하여 결정하였다.). 600℃에서 Ti의 일부가 Co층을 지나 표면부로 이동하여 Ti는 표면과 원래위치의 두 군데에서 농도 피크를 보이는 반면, Co는 Si 기판쪽으로 상당히 확산해 들어간 분포를 보이고 있다. 즉 원래의 Co/Ti 이중층 구조가 열처리 후 서로 위치가 역전되는 모습을 보였다. 그리고 여기서 Ti가 어느 정도 기판쪽으로 확산한 것처럼 보이는 것은 SIMS의 knock-on 현상 때문이다. 한편, Si curve는 표면쪽으로 다소 이동하여 Ti 층을 이동하여 확산해 온 Co curve와 겹치는 모습을 보였다. 이 Co와 Si의 두 curve가 겹치는 부분은 본 논문에서는 제시하지 않았지만 XRD와 AES의 결과로부터 알 수 있었던 것처럼 $CoSi_2$의 Co 실리사이드가 형성된 부분으로 생각된다. 그리고 B의 전체적인 분포양상은 열처리 전과 비교하여 큰 변화는 없었으나 다만 표면과 실리콘 내부 쪽으로 일부가 확산 이동하면서 주피크의 높이가 다소 낮아지는 모습을 보였다. 이 주 피크는 표면으로부터 약 30-40nm 하부에 위치하는데, 이 위치는 열처리 전에는 Ti/Si 계면 약간 아래에 해당하였으나 600℃의 열처리후에는 Co와 Ti간의 상호확산과 실리콘 계면에서의 실리사이드화 반응으로 인해 Co-Ti-Si 합금층과 Co 실리사이드층에 해당한다.(도펀트로 주입된 B들의 이런 열처리후 거동은 뒤에 기판 Si과 Co 및 Ti등의 증착층들의 curve를 배제하고 원소들의 sensitivity factor를 고려하여 다시 그린 SIMS 결과에서 보다 더 자세히 언급하겠다.)

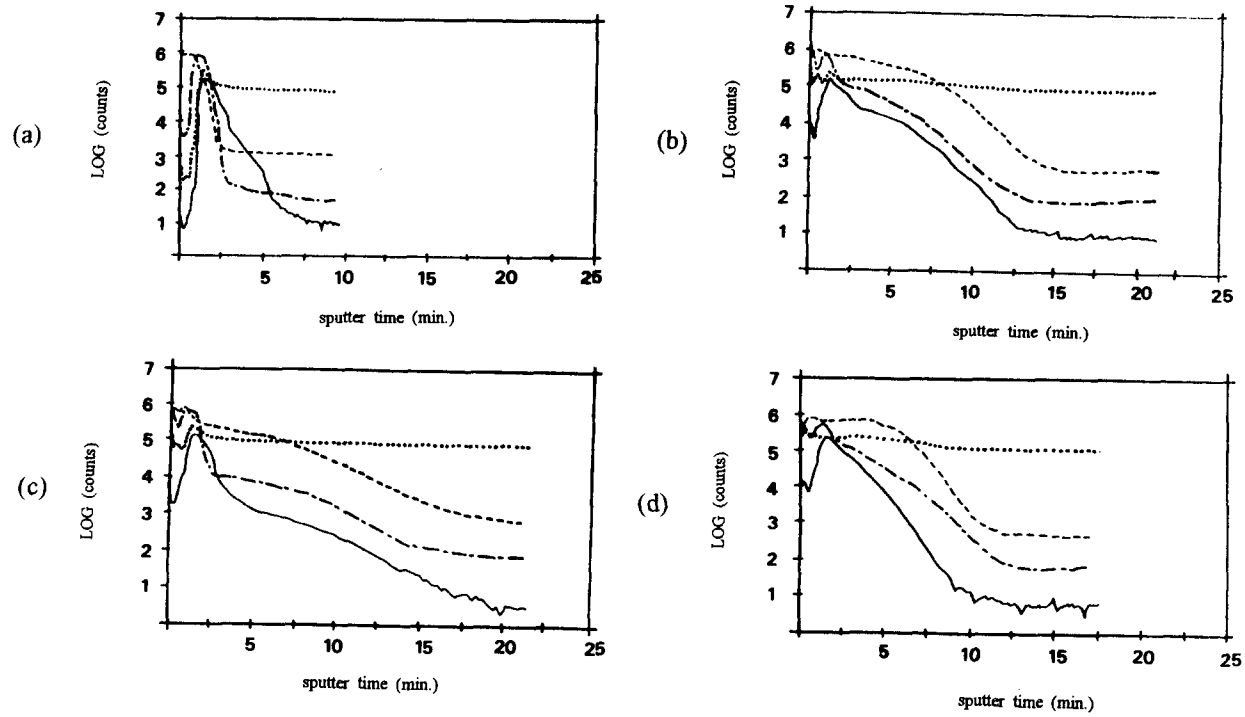

Fig. 1. SIMS depth profiles of the Co/Ti/(100)Si sample (a) as-deposited, after RTA for 30s at (b) 600℃, (c) 700℃ and (d) 800℃. (·····Si, ·····Co, - - - - Ti, ——B)

700℃에서 Ti는 여전히 표면쪽과 원래의 위치에서 각각 피크를 보이는 반면, Co는 표면으로부터 Si기판쪽으로 들어가면서 농도가 완만하게 연속적으로 감소하는 분포를 보이고 있다. 한편, 일부 Si는 기판과의 계면에서 Co와 실리사이드를 형성하며 이 층 위에서 Si와 Co 및 Ti curve의 피크들이 서로 겹치거나 교대로 굴곡진 분포를 보이는데, 이 부분은 Co/Ti의 이중층 구조가 층역전을 통하여 Co 실리사이드를 형성할 때 그 도중에 생기는 Co-Ti 및 Co-Ti-Si 등의 합금층을 나타낸다. 그리고 B 피크는 이들 Co와 Ti 및 Si의 상호확산으로 형성된 Co-Ti-Si 합금/Co 실리사이드/Si 기판의 여러 층에 걸쳐 위치하지만, 사실은 열처리하기 전의 원래 B 피크의 위치와 크게 다를 바 없다.

AES와 XRD에 의하여 확인한 결과 800℃에서의 최종층의 구조는 TiO_2/Co-Ti-Si 합금/$CoSi_2$/Si이었으며, 이 때에도 B의 전체적인 분포양상에는 큰 변화가 없었다. B의 주피크는 $CoSi_2$층 내에 존재하며, 그림 1 (d)의 SIMS profile에서 볼 수 있듯이 그 위층과 아래층에도 상당량의 B가 분포해 있다.

위의 여러 열처리 온도에 대한 B 농도곡선들만을 모아서 그림 2에 나타내었다. 열처리 직후의 시편에서는 시편 표면으로부터 40nm 깊이에 높은 피크, 25nm 깊이에 낮은 피크를 보이는데, 이 피크위치들은 각각 Co/Ti 및 Ti/Si 기판의 계면에 해당된다. 그러나 이러한 피크는 열처리 전에 이미 B가 out-diffusion되어 이들 계면에 편석되었다기 보다는 SIMS 분석시 이들 계면에서 매질효과 (matrix effect)가 나타난 결과로 생각된다. 그리고, 600℃에서의 B 피크는 열처리전의 그것보다 Si 기판 쪽으로 약간 이동해 있으며, 700℃와 800℃에서의 B 피크도 열처리가 진행됨

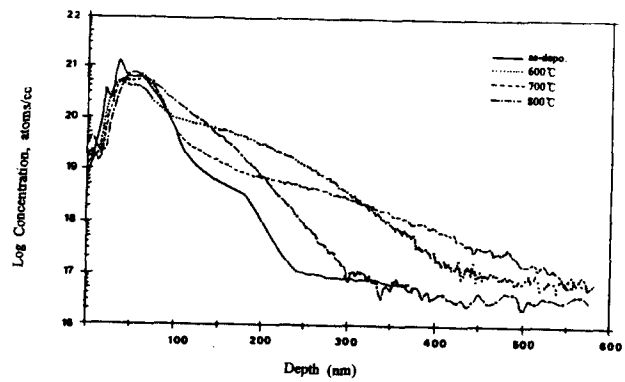

Fig. 2. SIMS measurement of boron dopant profiles in the Co/Ti/(100)Si sample after RTA for 30s at various temperatures.

에 따라 약간씩 이동하였다. 그러나 B curve의 전체적인 높이나 분포 양상에는 큰 변화가 없었다. 이것은 B원자들 중 일부는 out-diffusion하여 웨이퍼 표면으로부터 빠져나가 소실되었겠지만, 그림 2의 농도곡선들을 서로 비교해 볼 때 대부분의 B 원자들이 애초의 Si 기판쪽으로 다소 확산 이동하였으나 열처리후에는 결과적으로 이 주 피크가 금속/Si 기판 계면으로부터 Co 실리사이드 층내로 이동한 것으로 판단된다. 요컨대 Co/Ti/(100) Si system에서 실리사이드화 열처리 공정중 B의 outdiffusion에 의한 소실은 별로 없는 것으로 결론 내려도 괜찮을 것이다. 또한, 열처리 후의 표면으로부터 B 피크의 위치는 열처리전과 비교하였을 때 변화된 층구조와는 무관하게 거의 일정하였다. Co를 Si과 반응시켜 실리사이드를 형성할 때 기판내에 주입된 도펀트들의 실리사이드 내로의 확산과, 특히 이들 outdiffusi-

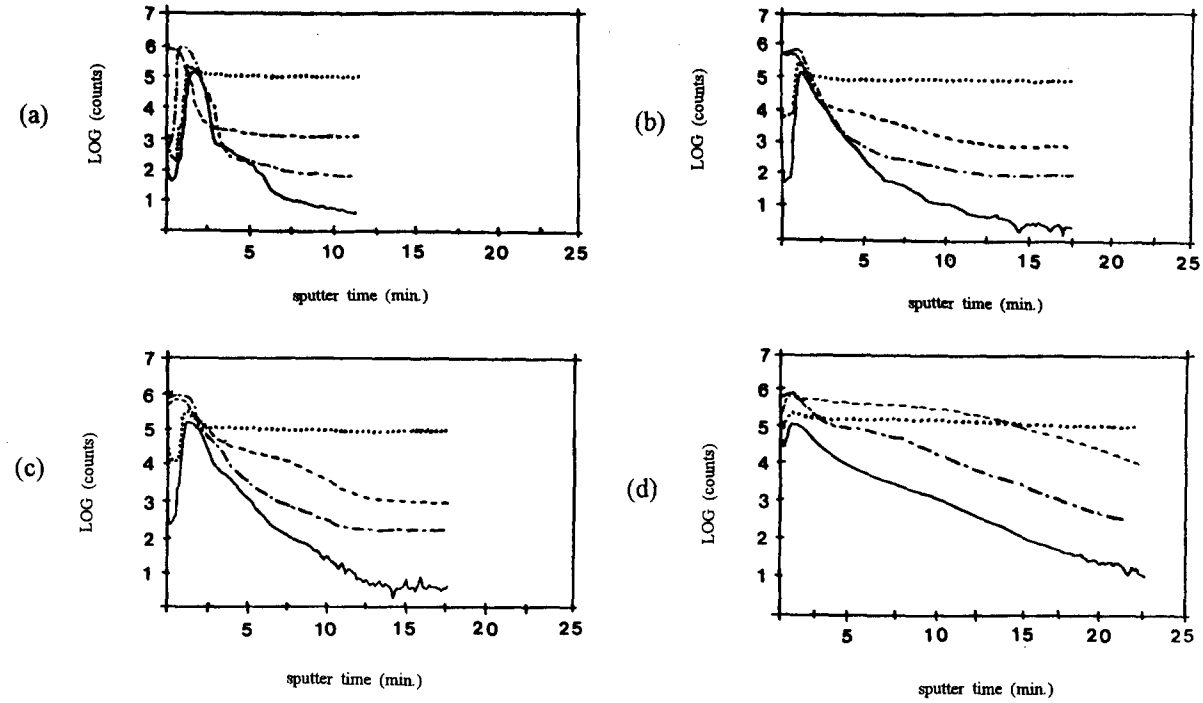

Fig. 3. SIMS depth profiles of the Co/Nb/(100)Si sample (a) as-deposited, after RTA for 30s at (b) 600℃, (c) 700℃ and (d) 800℃. (·····Si, ------Co, - - - - Nb, ——B)

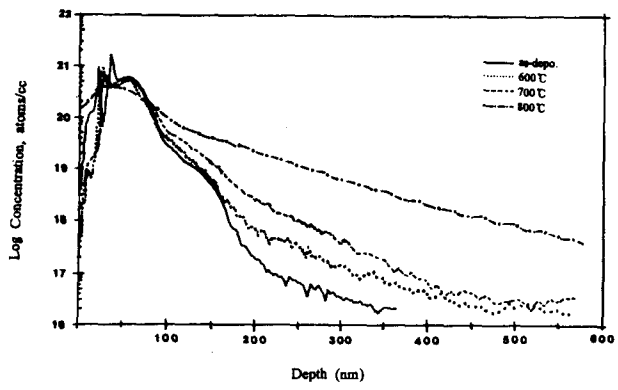

Fig. 4. SIMS measurement of boron dopant profiles in the Co/Nb/(100)Si sample after RTA for 30s at various temperatures.

on에 의한 표면에서의 도펀트 손실은 결과적으로 접합부의 전기적 특성을 떨어뜨린다. 그러므로 이러한 도펀트들의 손실은 가능한 한 억제되어야 한다. 그림 1에서 볼 수 있었듯이 B의 전체적인 분포는 Ti의 분포와 상당히 유사하다. 이것은 Ti원자와 B원자간의 친화력이 그만큼 큰 것을 의미하는 것이며, 이와 같은 점은 Co 단일층 실리사이드와 비교하였을 때 Ti 층에 의해 B의 out-diffusion에 의한 표면에서의 도펀트들의 손실을 어느 정도 억제할 수 있다.

3.2. Co/Nb/(100)Si 내에서의 B의 재분포

그림 3은 실리사이드화 열처리 온도에 따른 Co/Nb/(100)Si 구조 내에서의 B의 재분포 거동을 나타내는 SIMS 깊이분포도이다. Co/Nb/(100)Si내에서의 B의 재분포 거동은 전체적으로 Co/Ti/(100)Si 구조 내에서의 그것과 흡사하다. 또한, 800℃에서 열처리후의 B의 농도분포는 Ti의 경우에서와 같이 Nb의 농도분포와 매우 유사하

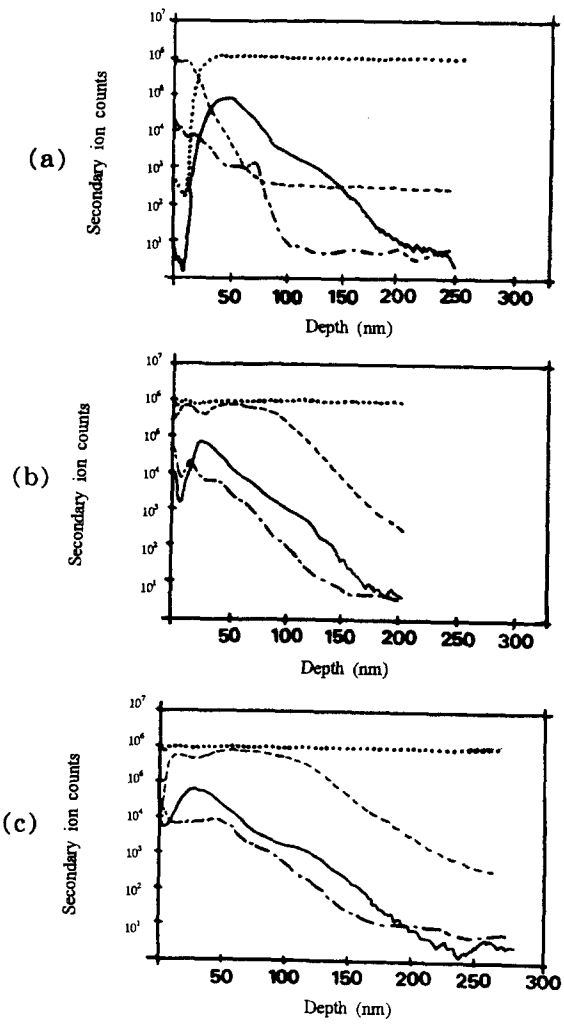

Fig. 5. SIMS depth profiles of the Co/Hf/(100)Si sample (a) as-deposited, after RTA for 30s at (b) 600℃, and (c) 800℃. (·····Si, ------Co, - - - - Hf, ——B)

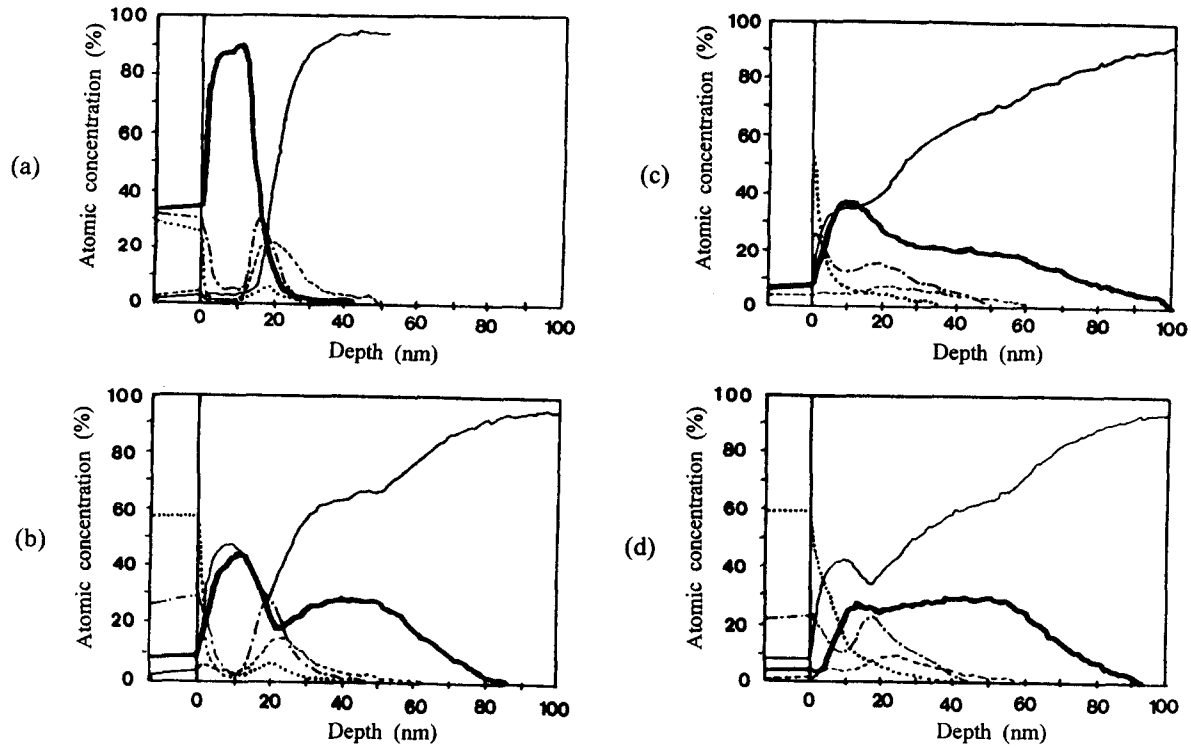

Fig. 6. The AES depth profiles of the Co/Hf/(100)Si sample (a) as-deposited, after RTA for 30s. at (b) 600℃, (c) 700℃ and (d) 800 ℃.(Co : ——, Hf : ·····, Si : ——, C : ·····, O : - - - -)

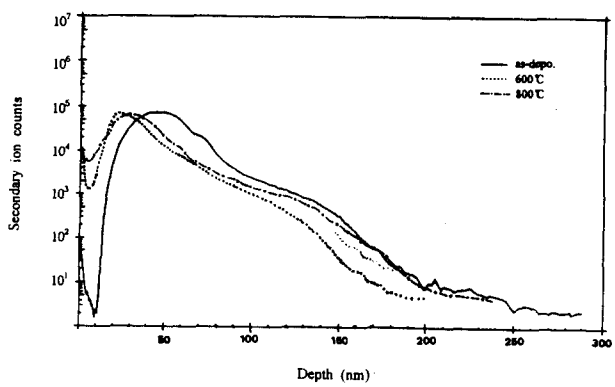

Fig. 7 SIMS measurement of boron dopant profiles in the Co/Hf /(100)Si sample after RTA for 30s at various temperatures.

다. 그림 3 (c)를 보면, 시편의 표면으로부터 Si 기판에 걸쳐 Nb curve와 B curve의 모양이 꼭 같다. 이것은 B와 Nb간의 친화력이 매우 큼을 나타내는 증거라 하겠다.

그림 4는 그림 3 (a)-(d)의 B농도 곡선들만을 모은 것이다. 그림 3에서보다 B의 농도곡선이 더 정밀하게 나타나 있다. 열처리하지 않은(as-deposited) 시편에서 두 개의 B 피크를 볼 수 있는데, 왼편, 즉, 표면 가까이에 있는 피크는 Co/Nb의 계면에 위치하고, 오른쪽의 피크는 Nb/Si의 계면에 위치해 있는 것으로 판단된다. 그러나 이것은 Co/Ti의 경우에서처럼 SIMS의 매질효과 때문에 나타나는 것이며, 실제로 이들 계면에 B이 편석되어 있는 것은 아니다. 600과 700℃에서 열처리한 시편에서는 Co와 Nb간에 고용체가 형성되어 두 금속층이 하나의 층으로 합쳐짐에 따라 Co층과 Nb층의 계면이 사라지고, 그 결과 Co-Nb 계면의 B 피크도 없어진 것으로 보인다. Si 기판의 Si 원자들이 왼편(표면쪽)으로 확산하여 이동한 결과 Co-Nb/Co-Si 계면도 왼편으로 약간 이동하였다. 또한, 그 계면의 이동에 따라 B 피크가 약간 왼편으로 이동하고 피크 높이도 다소 낮아지는 변화를 보이고 있다. 800℃에서 전체적인 B 피크의 모양이 완만한 하나의 피크로 변하였다. 그러나 피크들의 분포는 열처리전과 비교하였을 때 전반적으로 거의 일치하고 있다. Co/Nb/(100)Si 구조와 Co/Ti/(100)Si 구조는 800℃에서 열처리한 후 B 피크의 위치에는 큰 변화가 없으며, 다만 표면과 기판쪽으로 도펀트들이 이동하여 그 분포의 폭이 다소 넓어지는 변화를 보였다.

3.3. Co/Hf/(100)Si내에서의 B의 재분포

그림 5는 Co/Hf/(100)Si 시편 내에서의 열처리에 따른 B의 재분포 거동을 나타내는 SIMS 깊이분포도이다. 여기서는 앞의 Co/Ti 및 Co/Nb 이중층의 경우와는 달리 Hf의 농도 curve가 잘못 보정되어 Hf 피크의 높이가 낮아지고 표면에 매우 가까이 위치하고 있는 것으로 나타났는데, 열처리에 따른 Co와 Hf의 상대적인 층구조 변화는 그림 6의 AES 깊이분포도에 나타난 각 원소들의 농도 곡선과 비교해 가면서 그림 5에서는 B의 분포상태 변화를 살펴보기로 하겠다.

열처리하지 않은 상태에서 B는 Co/Ti/(100) Si 및 Co/Nb/(100) Si의 경우와는 달리 하나의 완만한 피크를 나타내고 있다. AES 분석결과와 비교하여 고려해 볼 때, B의

피크는 Ti/Si의 계면으로부터 Si 기판쪽으로 좀 더 들어간 곳에 위치하는 것으로 보인다. 600℃에서 열처리한 시편의 층구조(그림 6 (b))는 Co-Hf-Si합금/Co silicide/Si의 세부분으로 나눌 수 있는데, B 피크는 이중에서 주로 Co-Hf-Si 합금층과 Co silicide 층 사이에 나누어서 위치하는 것으로 보인다. 한편, 800℃에서 열처리한 시편의 층구조는 그림 6의 AES 분석결과 Co-silicide/Co-Hf-Si/Co-silicide/Si의 네부분으로 나누어지는데, B피크는 이중에서 Co-silicide/Co-Hf-Si의 계면에 위치하는 것으로 보인다.

그림 5 (a), (b) 및 (c)의 B농도곡선들만을 모아 그림 7에 다시 그렸다. 열처리 전에 표면으로부터 44nm의 깊이 (Ti/Si 계면으로부터 Si 기판내로 약간 더 들어간 곳)에 존재하던 B피크는 600℃에서는 표면쪽으로 이동하여 20nm깊이(Co-Hf-Si/ Co-silicide계면)에 위치하고, 800℃에서는 다시 약간 더 깊은 쪽으로 이동하여 30nm 깊이(Co-silicide/Co-Hf-Si 계면)에 위치한다. 열처리후의 B피크의 높이는 열처리전의 그것에 비해 미소하게 낮아졌으나, 대체로 별 변동이 없는 것으로 보아야 할 것이다. 800℃의 경우 B의 농도 분포양상은 전체적으로 Hf의 그것과 거의 같으나, 피크의 위치가 서로 약간 다르다.

4. 결 론

Co/Ti/(100)Si과 Co/Nb/(100)Si에서는 실리사이드화 열처리에 따라 B 피크의 위치는 열처리전과 동일하다. 다만 열처리가 진행됨에 따라 B이 확산하여 그 폭이 다소 넓어졌다. 그러나 전반적으로 도펀트인 B의 분포양상은 항상 Ti 및 Nb의 그것과 일치한다. 이것은 B-Ti 간과 B-Nb간의 친화력이 크기 때문이다. 한편, Co/Hf/(100)Si에서는 Co/Ti/(100)Si과 Co/Nb/(100)Si과는 달리 B피크의 위치가 열처리후에 표면쪽으로 14-15nm 더 이동하여 나타났으며, 열처리온도에 따라 피크의 위치가 약간씩 다르게 나타났다. Co/Hf/(100)Si에서는 Co-Hf-Si층 위쪽에도 $CoSi_2$층이 형성되었기 때문에 B 피크도 더 위쪽으로 이동한 것으로 보인다. 전체적으로 보아 B의 농도분포 양상은 Hf의 그것과 거의 같으나, 피크의 위치는 서로 간에 약간 차이가 있다. B-Hf간의 친화력은 B-Ti나 B-Nb의 친화력보다 더 떨어지는 것으로 보인다.

감사의 글

본연구는 '96년도 교육부 반도체분야 학술연구조성비에 의하여 수행되었으므로 이에 감사드립니다.

참 고 문 헌

1. S. Wolf and R. N. Tauber, "Silicon Processing for the VLSI Era", Lattice Press, vol. 2, 143 (1990)
2. S. P. Murarka and D. S. Williams, J. Vac. Sci Technol. **B5** (6), 1674 (1987)
3. C. M. Osburn et al., J. Electrechem. Soc., **135**. 1490 (1988)
4. C. Y. Liu et al., IEEE Trans. Electron Devices, **ED-38**, 246 (1991)
5. K. Maex, "Silicides for integrated circuits : TiSi and CoSi", Mat. Sci. and Eng. R11, Nos. 2-3, 53-153 (1993)
6. M. Delfino, A. E. Morgan, P. Maliot, and E. K. Broadbent , J. App. Phys., **64**, 607 (1989)
7. J. Amano and P. Merchant, Appl. Phys. Lett., **44**, 744 (1984)
8. P. Gas, G. Scilla, A. Michel, F. LeGouse, O. Thoma, and F. M. de'Feurle, J. App. Phys., **60**, 1634 (1986)
9. A. Kikuchi, J. Appl. Phys., **54**, 3998 (1983)
10. M. Wittmer and T. E. Siedel, J. Appl. Phys., **49**, 5827 (1978)
11. I. Ohodomri et al., J. Appl. Phys., **56**, 2725 (1984)
12. O. D. Trapp, R. A. Blanchard and L. J. Lopp, "Semiconductor technology handbook", 6th ed. Technology associates, 5-1 (1993)
13. 변정수, "코발트/내열금속의 이중박막을 이용한 코발트 실리사이드 박막의 형성에 관한 연구", 서울대학교 무기재료공학과 박사학위 논문, 1993
14. S. L. Hsia, T. Y. Tan, P. Smith, and G. E. McGuire, J. Appl. Phys., **70** (12), 7579 (1991)
15. 이종무, 이병욱, 권영재, 김영욱, 이수천, 한국재료학회지, 6 (8), 779 (1996)
16. 이종무, 이병욱, 권영재, 김영욱, 이수천, 한국재료학회지, 6 (9), 861 (1996)