

PCB 접지면 갭이 불요전자파 방사에 미치는 영향

The Effect of Ground Plane Gap on the Radiated Emission

하재경 · 김형훈* · 김형동**

Jae-kyoung Ha · Hyung-Hoon Kim* · Hyeong-dong Kim**

요 약

본 논문에서는 PCB(printed circuit board) 접지면에 설치된 갭(gap)이 불요전자파 방사에 미치는 영향을 정량적으로 해석하였다. 본 연구의 해석법으로 복잡한 구조체의 전자기적 특성을 해석하는데 주파수영역 전자파 수치해석 방법들과 비교하여 여러 가지 장점을 가지는 시간영역 해석법인 FDTD(finite difference time domain) 방법을 사용하였다. 해석 구조체는 일반적으로 생산되는 PCB와 유사한 크기를 선정하였으며 소자층은 전압원과 마이크로스트립만이 존재하는 단순화된 구조이다. PCB 접지면에 설치된 갭에 의해 생기는 인덕턴스의 크기와 입출력 케이블을 통한 불요전자파 방사량을 FCC 및 CISPR 규정치와 함께 제시하였으며 갭의 크기에 따라 방사되는 불요전자파의 세기가 크게 변화되는 것을 관찰할 수 있다. 본 논문의 해석결과는 실제 PCB 설계에 있어서 잘못된 갭의 설치로 인한 불요전자파 방사를 막는데 유용하게 사용될 수 있으리라 생각된다.

Abstract

In this paper, the effect of the gap in the ground plane on the electromagnetic interference (EMI) is analyzed quantitatively. Because of a lot of advantages compared to other numerical techniques, the FDTD (finite difference time domain) is applied to the EMI effect modeling. The analyzed model is the simplified PCB (printed circuit board) which has a microstrip and ground plane. The inductance induced by the gap is modeled and calculated by gridding the whole PCB based on the FDTD algorithm. When external cables are attached to the PCB, the common-mode current is induced along the attached cable and the resulting electric field strength is calculated and presented along with the FCC and CISPR EMI limits. The results show that the radiated field strength highly depends on the size of the ground plane gap. The numerical simulation results can be used as a reference in the practical PCB design with the ground plane gap.

I. 서 론

디지털 및 반도체 기술의 발달과 PCB 상에서 고 집적화된 회로설계는 일상생활에서 소형화된 고속 전자제품의 대량 사용을 가능케 하였다. 그러나 전

자제품들의 고속화 및 소형화와 같은 향상된 기능과는 상반되게 EMI(전자파장애) 문제의 발생 가능성은 역으로 증대되고 있다. 또한 EMI 문제에 대한 국제적인 규제가 엄격해지고 있기 때문에 전자제품 제조업체들은 제품개발에 있어서 EMI 문제 때문에 발생될 수 있는 경제적, 시간적 불이익을 최

「본 연구는 한국과학재단 핵심전문연구(981-0906-021-2)에 의해 수행된 것입니다.」

LG정보통신 응용교환실(Dept. of Advanced Communication S/W, LG Information & Communication Ltd.)

* 광주여자대학교 컴퓨터과학과(Dept. of Computer Science, Kwangju Women's University)

** 한양대학교 전파공학과(Dept. of Radio Science and Engineering, Hanyang University)

· 논문 번호 : 980512-049

· 수정완료일자 : 1998년 8월 8일

소화하기 위한 해결책을 시급히 강구하고 있다^[1].

전자제품의 기본적 구성 모듈인 PCB의 설계는 완성된 전자제품에서 발생하는 EMI 문제와 밀접하게 관련되므로 PCB에서의 EMI 문제 규명은 매우 중요한 연구분야로 간주되고 있다. PCB는 전자파를 효과적으로 방사할 수 없는 전기적으로 작은 구조이지만 외부 기기 들과 통신하기 위한 입출력 케이블 그리고 외장에 사용되는 사시 및 쉴딩 등과 같은 효과적으로 전자파를 방사할 수 있는 전기적으로 큰 구조체와 연결되어 제작되는 것이 일반적이다. 지금까지의 연구결과 PCB에서의 불요전자파 방사문제는 다음과 같이 설명될 수 있다. PCB 접지면에 존재하는 일정량의 임피던스가 접지면을 통하여 복귀되는 차분모드(differential-mode) 전류 중 일부를 공통모드(common-mode) 전류로 변환시켜 효율적인 방사체를 형성하는 입출력 케이블에 인가시킴으로서 불요전자파 방사를 일으키는 공통모드 방사로 알려져 있다^[2].

PCB는 자기 다른 역할을 수행하는 수많은 회로들이 하나 또는 여러 개의 접지면을 공통의 복귀전류 경로로 사용하도록 제작된다. 따라서 아날로그와 디지털 또는 고전력(high level power)과 저전력(low level power)을 복합적으로 사용하는 회로들이 복귀전류 경로를 공유하는 경우 공통 임피던스 결합(common impedance coupling)을 통한 누화(crosstalk)와 같은 시스템 내부 EMI 현상을 발생시켜 제품의 정상동작에 지장을 초래할 수 있다^[1]. 이와 같은 EMI 문제점을 해결하기 위하여 PCB 설계자는 여러 가지 접지기술과 접지면을 갭을 통하여 분리시켜 사용하게 된다. 그러나 접지면을 분리하기 위한 갭이 잘못된 형태로 설치된다면 차분모드 전류의 복귀경로가 차단되어 매우 큰 임피던스를 가지는 경로를 통하여 전류가 복귀된다. 따라서 다량의 차분모드 전류가 공통모드 전류로 변환되어 접지면과 연결된 효율적인 방사체에 인가되기 때문에 심각한 공통모드 방사가 발생될 수 있다. 그러므로 PCB 접지면에 설치되는 갭과 같은 전류흐름 방해요소에 대한 임피던스^[3], 방사체에 유기되는 공통모드 전류의 크기 그리고 방사되는 전계의 크기를 정량적으로 해석하여 국제적인 기준과 비교하는 것은 PCB에서의 EMI 문제 발견과 해결

에 있어서 매우 중요하다.

지금까지 PCB에서의 불요전자파 방사문제 해석에는 결합 플럭스(coupled flux) 방법과 같은 근사적인 방법을 통하여 접지면의 임피던스와 공통모드 전원을 계산하고 방사체와 함께 등가 모델링하여 안테나 해석법을 적용함으로써 방사 전자계를 계산하는 방법들이 사용되어 왔다^[4,5]. 이러한 근사적인 해석방법만이 사용된 것은 PCB와 같은 전기적으로 복잡한 구조체를 완전한 전자파 해석법으로 해석하기 위해서는 엄청난 계산시간과 컴퓨터 용량이 요구되기 때문이다. 본 연구에서는 기존의 근사해석법과는 다르게 수치적으로 매우 정확한 시간영역 해석법인 FDTD를 사용하여 PCB 접지면 갭이 불요전자파 방사에 미치는 영향을 넓은 주파수 범위에서 정확하게 해석하였으며 갭의 위치에 따른 임피던스 해석결과와 케이블에 유기된 공통모드 전류 분포를 제시하였다. 또한 케이블에 유기된 공통모드 전류가 방사하는 전계의 세기를 계산하여 FCC 및 CISPR 22의 기준과 비교한 결과를 제시하였다.

II. PCB 접지면 전압강하에 의한 불요전자파 방사 모델

전류구동 메카니즘은 PCB에서 발생하는 불요전자파 방사 급전원 생성을 설명하는 모델중 하나로서 그림 1의 (a)에 표시된 것처럼 작은 부하가 연결된 회로에서 많은 양의 차분모드 전류가 접지면을 통하여 흐르는 경우 적용할 수 있다^[2]. 차분모드 전류가 접지면을 통하여 복귀될 때 접지면 임피던스의 영향으로 전류의 흐름이 방해받게 된다. 따라서 차분모드 전류중 일부가 공통모드 전류로 변환되어 접지면이 아닌 다른 경로 즉 효율적인 방사체를 통하여 흘러갈 수 있다. 회로이론적인 관점에서는 접지면의 임피던스를 통하여 차분모드 전류가 흘러가면 접지면에 전압강하가 발생하며 이러한 전압강하는 효율적인 방사체를 구동할 수 있는 급전원을 형성하게 됨을 설명하는 메카니즘이다.

그림 1에서 I_{CM} 은 접지면의 전압강하 때문에 비정상적으로 발생하는 공통모드 전류, V_{CM} 은 공통모드 전류를 발생시키는 전압, I_{DM} 은 회로 동작에 필요한 차분모드 전류, V_{DM} 은 차분모드 전류를 발생

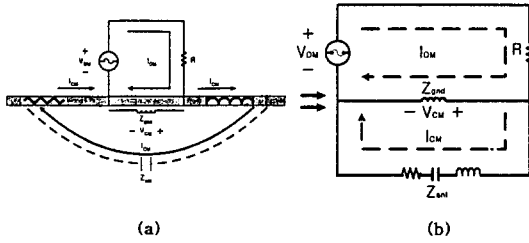


그림 1. 전류 구동 메카니즘 및 등가회로
 Fig. 1. Current driven mechanism and its equivalent circuit.

시키는 신호전압, R 은 부하 저항, Z_{gnd} 는 접지면의 임피던스 그리고 Z_{ant} 는 공통모드 전류가 흐르는 외부 케이블의 임피던스를 각각 나타낸다. 회로의 동작을 위해 사용되는 차분모드 전류는 수 MHz 이하의 저주파에서 방사체를 구성하는 접지면의 확장부분이 가지는 임피던스 Z_{ant} 가 매우 크고 Z_{gnd} 에 비하여 매우 작기 때문에 식 (1)과 같이 표시될 수 있다.

$$I_{DM} \approx V_{DM} / R \tag{1}$$

따라서 방사체를 구동하는 공통모드 전압 및 전류는 식 (2), (3), 그리고 (4)와 같이 표현될 수 있다.

$$V_{CM} \approx Z_{gnd} I_{DM}, \text{ for } |Z_{ant}| \gg |Z_{gnd}| \tag{2}$$

$$I_{CM} = V_{CM} / Z_{ant} \tag{3}$$

$$I_{CM} = Z_{gnd} V_{DM} / (R \times Z_{ant}) \tag{4}$$

접지면의 임피던스 Z_{gnd} 는 사용 신호가 수 MHz 이상인 경우에는 외부 인덕턴스 L_{return} 로 표현된다. 또한 Z_{ant} 는 케이블이 구성하는 안테나의 반파장 공진 주파수 이하에서는 $1/j\omega C_{ant}$ 로 결정될 수 있다. 따라서 위의 식 (4)는 식 (5)로 표현된다.

$$I_{CM} \approx -\omega^2 C_{ant} L_{return} V_{DM} / R \tag{5}$$

전류구동 메카니즘에 의해서 생성된 공통모드 전류의 크기는 식 (5)에서 동작전류의 주파수 제곱에 비례하는(40 dB/decade) 값을 가지며 접지면의 외부 인덕턴스 L_{return} 에 비례하여 증가됨을 알 수 있

다. 따라서 고주파 신호를 사용하거나 접지면에 전류의 흐름을 방해하는 성분이 존재하면 매우 큰 불요전자파 방사 급전원이 PCB의 접지면의 임피던스 Z_{gnd} 에 만들어질 수 있다.

전류구동 메카니즘으로 발생된 불요전자파 방사 급전원 V_{CM} 을 줄이는 방법으로 첫째 제품의 동작 주파수와 동작 레벨을 줄이는 것과, 둘째 접지면의 임피던스를 줄이는 것이 있을 수 있다. 그러나 제품의 동작 주파수와 레벨을 줄이는 것은 현실적으로 불가능하기 때문에 접지면의 임피던스 Z_{gnd} 를 줄여 설계하는 것이 무엇보다도 중요하다.

III. PCB의 FDTD 모델링

PCB 접지면의 임피던스와 케이블에 유기되는 공통모드 전류를 계산하는데 FDTD 방법을 사용하고 자 한다. FDTD 방법은 Maxwell 방정식의 시간 및 공간에 대한 미분을 이차의 정확도를 갖기 위하여 중앙차분근사(central difference approximation) 하고 전계와 자계를 시간에 따라 번갈아 계산함으로써 계산영역(computational domain)내의 모든 지점에서 전자계를 구하는 시간영역 수치해석 방법이다. FDTD 방법은 주파수영역 수치해석 방법에 비하여 첫째 한번의 계산으로 원하는 주파수 범위 내에서 해석 구조체의 전자기적 특성을 모두 구할 수 있는 광대역 특성이 있으며, 둘째 해석하고자 하는 구조체의 물질 특성을 비교적 쉽게 표현할 수 있으며, 셋째로 병렬처리가 가능하도록 프로그램 하여 여러 개의 프로세서를 가진 컴퓨터의 계산용량(computing power)을 최대한으로 이용할 수 있는 장점들을 가지기 때문에 최근 들어 PCB와 같은 복잡한 구조체를 해석하는데 많이 이용되고 있다.^[6]

3-1 FDTD 모델링

해석에 사용된 구조는 접지면에 갭이 존재하며 소자층에는 마이크로스트립이 구동되는 그림 2와 같은 단순화된 PCB이며 접지면의 양끝에 20 cm의 케이블이 연결된 구조이다.

FDTD 방법을 이용하기 위해 먼저 계산영역을 작

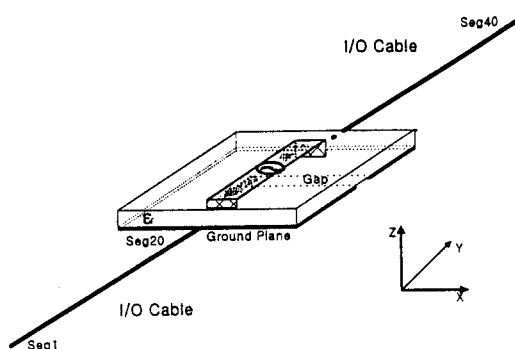


그림 2. 해석에 사용된 구조체
Fig. 2. Analyzed structure.

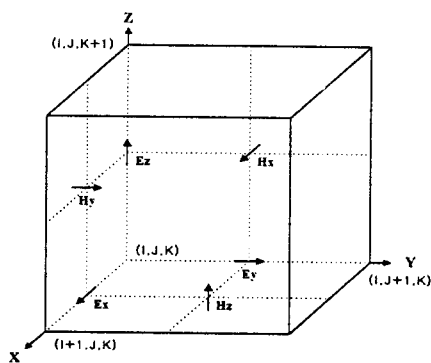


그림 3. FDTD 알고리즘에서 공간에 따른 전자계 성분 배치
Fig. 3. Assignment of field components in the FDTD algorithm.

은 격자로 공간 분할하고 구조체를 적절하게 표현하는 것이 필요하다. 본 연구에서는 PCB를 구성하는 도체부분을 용이하게 모델링할 수 있도록 그림 3과 같이 전계성분이 좌표축의 중앙에 그리고 자계 성분은 각 면의 중앙에 위치하도록 전자계를 분리시켜 계산영역을 모델링 하였다.

균일 격자(uniform grid) FDTD 방법을 이용한 일반적인 전자파 해석에서는 최대 관심주파수 파장의 1/10이하로 공간을 분할해야만 선형분산특성을 보장할 수 있다. 그러나 그림 2와 같은 PCB는 미세한 전송선로와 폭이 좁은 갭을 포함하고 있기 때문에 선형분산특성 한계치보다 더욱 미세한 격자로

공간을 분할해야만 구조체를 표현할 수 있게 된다. 본 연구에서는 균일격자 FDTD 방법을 사용하는 경우 해석영역을 매우 미세하게 공간분할 함으로써 계산시간이 증대되는 단점을 극복하기 위하여 갭이 위치한 부분을 중심으로 비균일 격자(nonuniform grid)를 이용하여 계산영역을 분할하였다. 또한 최대 공간분할 거리는 Y 방향에 대하여 1 cm로 제한하였다. 비균일 격자를 이용한 공간분할은 비균일 격자 부분에서의 수치해석 오차를 공간분할 거리에 비례하게 증가시키는 단점이 있다. 따라서 균일격자를 이용 가능한 구조에 대해서는 비균일 격자를 적용하는 것이 바람직하지 않다. PCB를 구성하는 마이크로스트립, 케이블 그리고 접지면의 도체는 접선 전계성분의 크기가 0 인 완전도체로 모델링 하였다. 그리고 접지면과 마이크로스트립 사이의 유전체는 비유전율이 1.0인 공기로 모델링 하였다.

마이크로스트립 구조를 해석하기 위해서 Hard Source를 입력으로 사용하고 전원이 소멸되는 시점부터 입력단을 흡수경계조건을 이용해 정합함으로써 불필요한 계산시간 증대를 줄이는 방법들이 사용되어 왔다. 그러나 본 연구에 사용된 구조체는 입력단을 흡수경계조건으로 정합할 수 있는 구조가 아니다. 따라서 본 연구에서는 마이크로스트립을 구동하기 위한 급전원으로 입력단에서의 반사파를 효과적으로 줄일 수 있는 그림 4와 같은 저항성 전압원(resistive voltage source)을 사용하였다. 저항성 전압원을 이용한 회로해석은 하나의 격자 내에서 전압원과 저항을 직렬로 연결한 효과를 나타낸다. 따라서 전압원이 소멸되어 단락 되더라도 내부저항이 입력단에 연결된 상태이기 때문에 입력단에서의 반사파를 줄여 계산시간을 단축할 수 있다. 또한 저항성 전압원의 내부저항을 마이크로스트립의 특성임피던스와 동일한 값으로 사용하면 기존의 흡수경계조건을 이용한 것과 비교하여 쉽게 입력단을 정합할 수 있다. 본 연구에서 이용한 전압원은 그림 4와 같으며 계산시간 단축을 위하여 내부저항은 40 Ω을 사용하였다. 입력전압의 시간분포는 식 (6)과 같으며 n은 시간참자를 Δt는 시간간격을 나타낸다.

$$V_s(t) = e^{-(10^{9.2}(n-400)\Delta t)^2} [V] \quad (6)$$

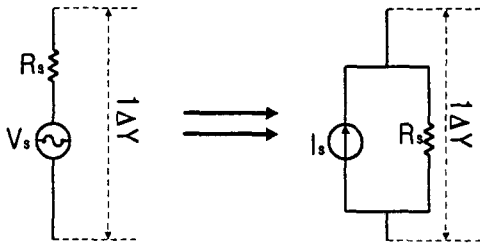


그림 4. 저항성 전압원을 이용한 PCB 입력단 모델
 Fig. 4. Incident plane modeling of PCB using resistive voltage source.

FDTD 방법을 이용한 전자파 수치해석에서는 계산영역을 제한하기 위해 흡수경계조건을 사용한다. 2차 Mur의 흡수경계조건에서는 전자파를 효과적으로 흡수하기 위하여 흡수경계로부터 산란체까지 최대 관심파장의 1/2 이상의 간격이 필요하다. 따라서 그림 4와 같은 구조를 해석하기 위해서는 공간분할 간격이 미세하기 때문에 산란체와 흡수경계 조건 사이에 매우 큰 계산영역이 필요하게 되어 계산시간이 증대된다. 본 연구에서는 산란체와 흡수경계 조건 사이에 최소 2개의 공간분할 거리만 있으면 방사 전자계를 효과적으로 흡수할 수 있는 -40 dB의 반사계수를 갖는 7층 PML(perfect matched layer)을 사용하였다^[7]. 산란체와 PML사이의 간격은 그림 5와 같다.

갭으로 인하여 증가된 접지면의 임피던스를 계산하기 위해서는 입력단에서의 전압 및 전류에 대한

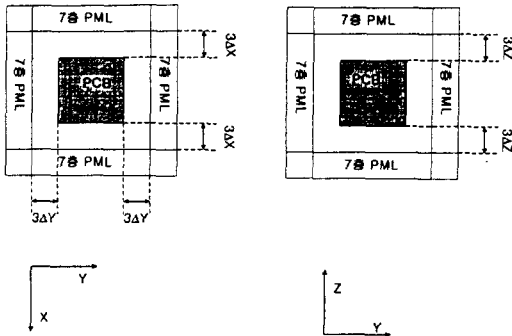


그림 5. PCB 해석을 위한 FDTD 계산영역
 Fig. 5. Computational domain for PCB analysis using FDTD.

시간분포를 이용하여 회로의 입력 임피던스를 계산해야 된다. 전압의 시간변화는 식 (7)을, 그리고 전류의 시간변화는 식 (8)을 이용하여 계산하였으며 입력 임피던스의 주파수 변화는 식 (9~11)의 푸리에 변환 관계식을 이용하여 계산하였다. 케이블에 유기되는 공통모드 전류의 시간 및 주파수 분포 또한 식 (8)과 식 (10)을 이용하여 계산하였다.

$$v(t) = -E_y(t) \times \Delta Y \tag{7}$$

$$i(t) = [H_x(k+0.5) - H_x(k-0.5)] \times \Delta X + [H_z(i-0.5) - H_z(i+0.5)] \times \Delta Z \tag{8}$$

$$V(\omega) = F[v(t)] \tag{9}$$

$$I(\omega) = F[i(t)] \tag{10}$$

$$Z_{in}(\omega) = \frac{V(\omega)}{I(\omega)} \tag{11}$$

식 (11)에서 계산한 $Z_{in}(\omega)$ 는 접지면의 임피던스를 포함한 회로 전체의 임피던스를 나타내며 불요 전자파 방사 급전원 생성에 직접적인 영향을 미치는 접지면의 임피던스는 다음과 같이 계산할 수 있다. 폭이 좁은 도체에 대한 인덕턴스는 근사 해석법을 이용하여 비교적 정확하게 계산할 수 있다. 따라서 FDTD 방법을 이용하여 계산한 입력 임피던스에서 접지면을 제외한 나머지 부분의 인덕턴스를 제외함으로써 접지면의 인덕턴스를 계산할 수 있다. 또한 갭 때문에 증가되는 접지면의 임피던스는 갭이 있는 PCB의 입력 임피던스에서 갭이 없는 PCB의 입력 임피던스를 제외함으로써 계산할 수 있다.

IV. 수치 결과

그림 2와 같은 구조에서 갭의 폭 ΔY 는 2mm로 일정하고 갭의 입구로부터의 길이가 각각 $0\Delta X$, $4\Delta X$, $6\Delta X$ 그리고 $7\Delta X$ 인 경우를 해석하였다. 마이크로스트립의 폭은 격자로 모델링 하지 않고 하나의 선으로 모델링 하였기 때문에 Sub-Cell 모델이 제시하는 $0.4\Delta X$ 의 폭을 가지는 도체로 모델링된다. 비유전률이 1.0인 경우에 대하여 해석하여 인덕턴스 및 케이블에 유기되는 공통모드 전류를 계산하였다. 해석에 사용된 각 변수의 수치는 표 1과 같으며 해석에 사용된 접지면 갭의 길이는 표 2와

표 1. 해석에 사용된 구조의 변수

Table 1. Variables used in this analysis.

ΔX	5 mm
ΔY	Non Uniform
ΔZ	3 mm
Δt	3.5 ps
ϵ_r	1.0
전체 계산영역	$33 \Delta X \times 84 \Delta Y \times 26 \Delta Z$
계산 시간	$10000 \times \Delta t = 35 \text{ ns}$
마이크로스트립의 폭	$0.4 \times \Delta X = 2.0 \text{ mm}$
마이크로스트립의 길이	7 cm
케이블의 길이	왼쪽 20 cm, 오른쪽 20 cm (Seg1, ..., Seg40)
접지면의 폭	$8 \times \Delta X = 40 \text{ mm}$
접지면의 길이	110 mm
PCB의 높이	$1 \times \Delta Z = 3 \text{ mm}$
입력전압	$V_s(t) = e^{-(10^{92}(n-400)\Delta t)^2} [V]$

표 2. 갭의 길이 [mm]

Table 2. Length of the gap [mm].

Gap 0	Gap 1	Gap 2	Gap 3
$0 \Delta X=0$	$4 \Delta X=20$	$6 \Delta X=30$	$7 \Delta X=35$

표 3. 비균일 그리드의 폭 (전압원 기준 Y 좌표를 나타냄) [mm]

Table 3. Width of the non-uniform grid [mm].

좌표	-7	-6	-5	-4	-3	-2	-1	0	1	2	3	4	5	6	7
크기	10	8	7	6	5	5	3	2	3	5	5	6	7	8	10

같다. Y방향의 갭을 표현하기 위하여 사용된 비균일 격자의 공간분할 거리는 표 3과 같다. -40 dB의 반사계수 $R(0)$ 를 가지며 도전률이 식 (12)의 이차함수 모양을 갖는 7층 PML 흡수경계조건에서 각 층에서의 도전률은 표 4와 같다. Δt 의 계산은 FDTD 안정조건 한계치 3.85 ps보다 작은 3.5 ps로 선정하였다.

$$\sigma(\rho) = \sigma_m \left(\frac{\rho}{\delta}\right)^2 \quad (12)$$

$$R(0) = e^{-(2/\eta_0 c) \int_0^d \sigma(\rho) d\rho} \quad (13)$$

그림 6은 식 (6)을 이용하여 계산한 마이크로스트립 인가전압의 시간 및 주파수 분포를 나타내며 갭의 길이에 관계없이 동일하다. 인가전압은 광대역 주파수를 모델링 할 수 있도록 가우시안 모양의 펄스를 사용하였다. 주파수 분포는 시간영역 전압을 DFT한 후 직류 성분의 크기로 정규화한 값을 표현하였다. 펄스의 3 dB 대역폭은 300 MHz이다. 또

표 4. PML층의 도전률 변화 [Ω/m]

Table 4. The conductivity profile in the PML layers [m].

	X 축	Y 축	Z 축
1 층	0.000445	0.000225	0.000742
2 층	0.011574	0.005787	0.019291
3 층	0.043627	0.021813	0.072712
4 층	0.097048	0.048524	0.161747
5 층	0.171837	0.085918	0.286396
6 층	0.267995	0.133997	0.446658
7 층	0.385521	0.192760	0.642535

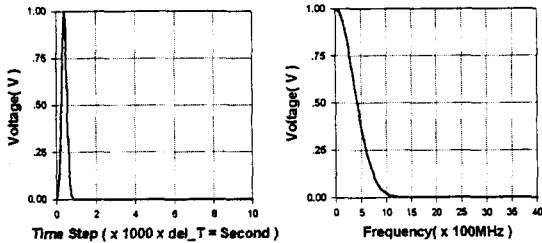


그림 6. 인가한 전압의 시간 및 주파수 분포

Fig. 6. Time and frequency profile of the incident voltage.

한 주파수 분포는 1 cm가 (1/10) λ 인 3 GHz까지 비교적 정확하게 나타내므로 4 GHz까지의 데이터를 표시하였다.

그림 7은 갭이 없는 경우 입력단에서 관찰한 Y 방향 전계를 식 (7)을 이용하여 계산한 입력단 전압의 시간 및 주파수 분포를 나타낸다. 입력단 전압의 주파수 분포는 인가된 전압으로 정규화한 값을 나타낸다. 마이크로스트립의 길이가 짧기 때문에 입사파와 반사파를 명확히 구분할 수 없으며 단락된 부하에서 완전반사된 역상의 전압 반사파와 겹쳐져 입력단에 나타남을 알 수 있다. 그러나 입력단에서 다시 반사되는 전압이 없기 때문에 입력단은 정합되었음을 알 수 있다. 주파수 분포에서 저주파에서는 단락된 마이크로스트립의 입력 임피던스가 0에 가까기 때문에 입력단 전압이 0에 가까우며 입력 임피던스가 무한대로 보이는 1/4파장의 주파수인 2 GHz 근방에는 인가전압의 전부가 입력단에

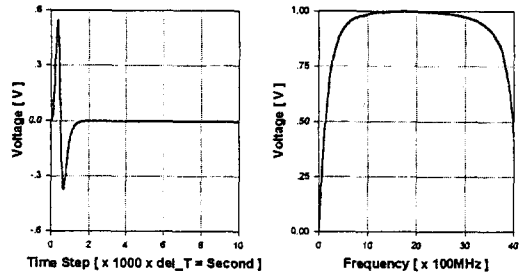


그림 7. 입력단 전압의 시간 및 주파수 분포

Fig. 7. Time and frequency profile of the incident plane voltage.

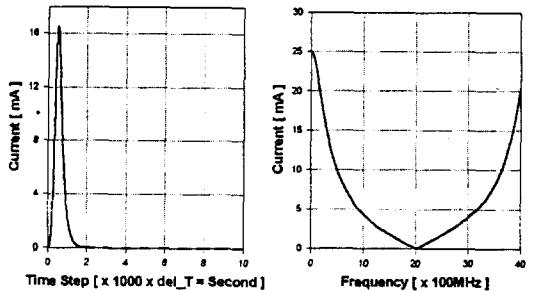


그림 8. 입력단 전류의 시간 및 주파수 분포

Fig. 8. Time and frequency profile of the incident plane current.

나타남을 알 수 있다.

그림 8은 갭이 없는 경우 입력단에서 관찰한 Y 계성분을 식 (8)을 이용하여 계산한 입력단 전류의 시간 및 주파수 분포를 나타낸다. 입력단 전류의 주파수 분포는 인가된 전압으로 정규화한 값을 나타낸다. 전류의 시간 분포 최대치가 단락된 부하에서 완전반사된 동상의 전류 반사파와 겹쳐져 정합시 나타나는 전류의 최대치인 0.0125 A보다 약간 크게 나타남을 알 수 있다. 주파수 분포에서 저주파에서는 단락된 마이크로스트립의 입력 임피던스가 0에 가까기 때문에 1/40=25 mA가 나타나고 입력 임피던스가 무한대로 보이는 2 GHz 근방에서 전류가 0에 가까움을 알 수 있다.

그림 9는 갭이 없는 경우 전압 및 전류의 시간분포를 식 (9)~식 (11)의 푸리에 변환을 이용해서 계산한 입력 임피던스의 저항 및 리액티브 성분의

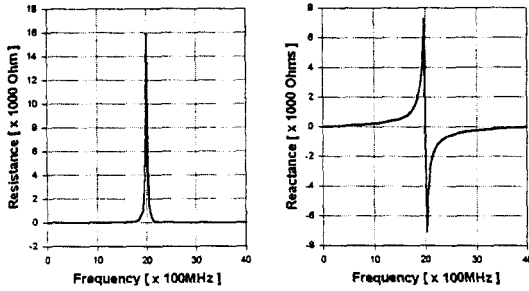


그림 9. 입력 임피던스의 주파수 분포
Fig. 9. Frequency profile of input impedance.

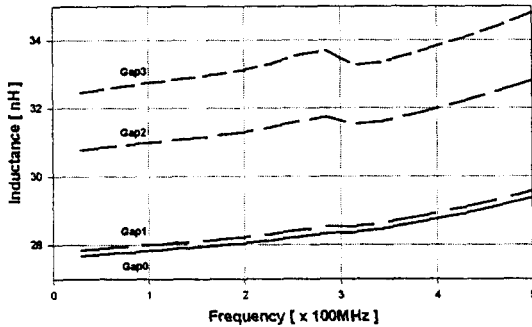


그림 10. 갭의 길이에 따른 입력 인덕턴스의 변화
Fig. 10. Variation of input inductance depending on the length of the gap.

주파수 분포를 나타낸다. 저항성분은 PCB의 모든 도체를 완전도체로 표현하였기 때문에 낮은 주파수에서는 0에 가까움을 알 수 있다. 또한 3.5 cm 마이크로스트립의 1/4파장 공진 주파수인 2 GHz가 나타남을 확인할 수 있다.

그림 10은 전압 및 전류의 시간변화를 식 (9)~식 (11)의 푸리에 변환을 이용해서 계산한 입력 임피던스의 리액턴스가 외부 인덕턴스임을 이용하여 각주파수 ω 로 일반화한 값을 나타낸다. 신호선이 갭을 가로지르는 Gap 2 및 Gap 3의 경우 갭이 존재하지 않는 Gap 0의 경우와 비교해서 주파수에 따라 5 SIM 6 nH 이상 증가되어 심각한 불요전자파 방사 급전원이 PCB 접지면에 만들어질 수 있음을 알 수 있다. 그림 10에서 500 MHz까지의 인덕턴스만을 표시한 것은 전송선이 파장에 비하여 짧

지 않으면 입력 임피던스를 하나의 인덕터로 모델링할 수 없기 때문이다.

그림 11은 갭이 없는 PCB 접지면에 연결된 케이블에 유기된 공통모드 전류의 시간 및 인가한 전압으로 정규화한 주파수 분포를 표시하였으며 PCB 접지면의 임피던스에 발생된 전압강하가 케이블로 구성된 다이폴 안테나를 구동하는 EMI 전원이 됨을 알 수 있다. 또한 해석에 사용된 케이블과 PCB를 더하여 1/2파장(300 MHz)과 3/2파장(900 MHz)에서 공진을 일으키며 이러한 주파수에서 심각한 불요전자파 방사가 발생할 수 있음을 알 수 있다.

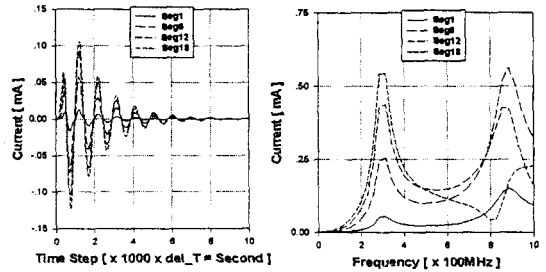


그림 11. 케이블에 유기된 공통모드 전류의 시간 및 주파수 분포

Fig. 11. Time and frequency profile of the induced common mode current in the attached cable.

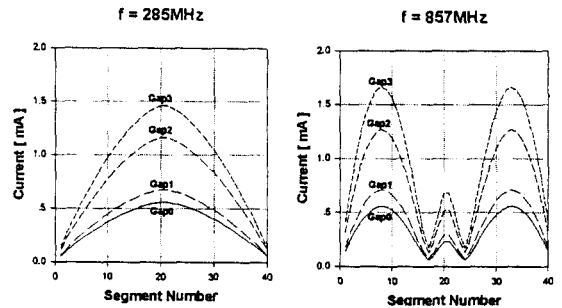


그림 12. 주파수 $f=285$ MHz, $f=857$ MHz에서 케이블에 유기된 공통모드 전류의 크기

Fig. 12. Magnitude of the induced common mode current in the attached cable at frequency 285 and 857 MHz.

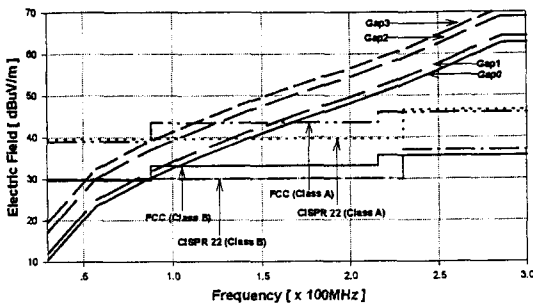


그림 13. 케이블을 통한 방사 전계 및 규정치 (10m)
 Fig. 13. Radiated electric field through the attached cable and regulation limit (10m)

그림 12는 갭의 종류에 따라 285 MHz와 857 MHz에서 공통모드 전류의 크기를 나타낸 그림으로 신호선이 갭을 가로지르는 경우 갭을 가로지르지 않는 경우와 비교하여 2~3배의 공통모드 전류가 발생됨을 확인할 수 있으며 방사 전자계 또한 수 dB 이상 증가될 수 있음을 알 수 있다.

그림 13은 갭의 종류에 따라 케이블을 통한 방사 전계를 측정거리 10 m인 경우에 대하여 그리고 국제적인 권고 기준이 되는 CISPR 22와 FCC의 권고 제한치를 표시한 그림이다. 또한 모든 주파수에서 인가한 전압은 1V인 것으로 가정하였다. 신호선이 접지면 갭을 가로지르는 경우 불요전자파 방사로 인하여 가용 주파수대역이 심각하게 제한될 수 있음을 알 수 있다.

FDTD 방법을 이용한 해석결과와 비교하기 위해 플렉스 결합 방법을 이용한 외부 인덕턴스 계산결과를 표 5에서 제시하였다. 표 5에서 제시된 결과는 FDTD 방법을 이용한 해석에 사용된 PCB와 동일한 구조체에 대한 해석결과이며 접지면에 갭이 없는 구조이다. 표 5에서 제시된 인덕턴스에는 내부 인덕턴스가 포함되어 있지 않기 때문에 주파수에 관계없이 일정한 값이 된다. 식 (14), (15) 그리고 (16)은 마이크로스트립과 같은 평면형 도체의 외부 인덕턴스를 플렉스 결합 방법으로 계산하는 수식이다.[4,5].

$$L_{plane} = l_1 \frac{\mu_0}{2\pi} \ln\left(\frac{d}{w_1} + 1\right) [H] \quad (14)$$

표 5. 플렉스 결합 방법으로 구한 외부 인덕턴스

Table 5. Calculated external inductance using coupled flux method

접지면의 인덕턴스	1.012489 nH
윗면 마이크로스트립의 인덕턴스	25.08464 nH
측면 마이크로스트립의 인덕턴스	1.663553 nH
루프의 총 인덕턴스	27.76068 nH

$$L_{signal} = l_2 \frac{\mu_0}{2\pi} \ln\left(\frac{2d}{w_2}\right) [H] \quad (15)$$

$$L_{side} = l_3 \frac{\mu_0}{2\pi} \ln\left(\frac{2l_3}{w_3}\right) [H] \quad (16)$$

d는 루프를 형성하는 두 도체 사이의 거리, w_1, w_2, w_3 은 각 도체의 폭, 그리고 l_1, l_2, l_3 은 각 도체의 길이를 나타낸다. 플렉스 결합 방법에 의한 결과와 FDTD 방법을 이용한 해석의 Gap 0의 경우와 비교해 보면 플렉스 결합법에 의한 결과 27.76068 nH가 그림 10의 FDTD 방법을 이용한 해석의 27~29 nH와 잘 일치함을 알 수 있다.

갭이 존재하는 접지면의 인덕턴스 계산결과를 비교하기 위하여 갭과 접지면이 형성하는 구조를 CPS(coplanar strip)로 모델링하여 접지면의 갭으로 인하여 발생된 임피던스를 계산하였다[8]. 그림 14 (a)에서 접지면에 표시된 a, b를 입력포트로 생각하면 그림 14 (b)의 CPS 구조로 근사하고 식 (17)을 이용하여 특성 임피던스를 구할 수 있다. 또한 식 (18)을 이용하여 갭으로 인하여 증가된 임피던스를 a, b 포트에서의 입력 임피던스로 계산할 수 있다. 입력 임피던스 계산에 사용된 식 (18)에서 부하 임피던스 Z_L 은 단락된 상태이므로 0이 된다. 따라서 갭의 길이가 1/4파장 길이를 넘지 않는다면 a, b 포트의 입력 임피던스는 순수한 인덕턴스 성분이 되기 때문에 식 (19)을 이용하여 갭이 만들어내는 인덕턴스를 계산할 수 있다. 본 연구에서 사용된 갭의 길이 및 너비를 이용하여 계산한 인덕턴스는 표 6과 같다. CPS 모델링을 통하여 계산한 임피던스는 주파수가 증가함에 따라 조금씩 증가하지만 CPS의 길이가 파장에 비하여 매우 작을 ($\lambda/20$ 이하) 1 GHz 이하의 주파수 대역에서는 그 변화가

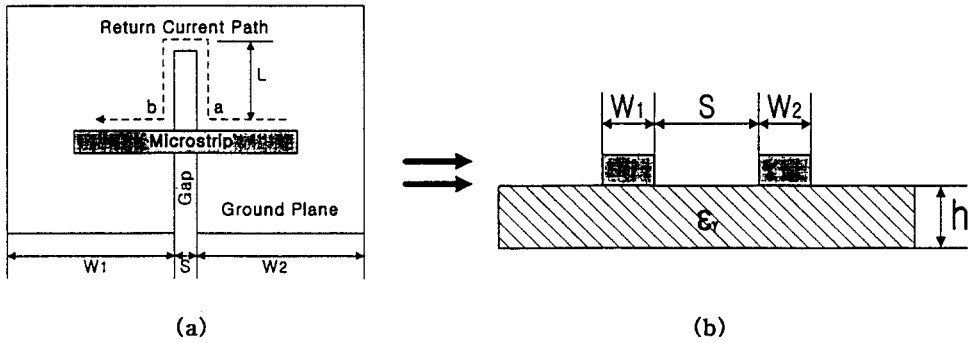


그림 14. 갭이 있는 접지면에서 복귀전류의 흐름과 CPS 모델

Fig. 14. Return current flow in the ground plane which has gap and CPS model.

표 6. CPS 모델링을 이용한 갭의 인덕턴스

Table 6. Calculated inductance of the gap using CPS modeling.

	Gap 2	Gap 3
L (CPS의 길이)	1.0 cm	1.5 cm
h (CPS의 높이)	3.0 mm	3.0 mm
S (스트립의 간격)	2.0 mm	2.0 mm
$W_1=W_2=W$ (스트립의 폭)	5.4 cm	5.4 cm
k	0.0182	0.0182
ϵ_r	1.0	1.0
Z_0 (CPS의 특성 임피던스)	115.9 Ω	115.9 Ω
갭의 인덕턴스	3.865 nH	5.800 nH

미세하며 하나의 인덕터로 모델링하는 것이 가능하다. 또한 계산결과는 본 연구의 FDTD 방법을 이용한 해석결과와 잘 일치됨을 알 수 있다.

$$Z_0 = 120\pi K(k) / K(k') \Omega \quad (17)$$

$$k = S / (S + 2W), \quad k' = (1 - k^2)^{1/2}$$

$$K(k) / K(k') = \pi / \ln[2(1 + \sqrt{k}) / (1 - \sqrt{k'})]$$

for $0 \leq k \leq 0.707$

$$Z_{in} = Z_0 (Z_L + jZ_0 \tan \beta l) / (Z_0 + jZ_L \tan \beta l) \Omega \quad (18)$$

$$j\omega L = jZ_0 \tan \beta l, \quad L = Z_0 \tan \beta l / \omega (H) \quad (19)$$

FDTD 방법을 이용한 입력 임피던스 해석에서 마이크로스트립이 갭을 가로지르지 않는 경우는 갭을 설치하지 않은 경우와 비교하여 임피던스 및 공진

특성의 변화가 거의 없다. 이는 접지면 복귀전류가 가장 작은 임피던스 경로인 신호선 바로 아래를 이용하기 때문에 복귀전류의 흐름이 방해받지 않기 때문이다. 그러나 마이크로스트립이 갭을 가로지르는 경우(Gap 2와 Gap 3)는 갭의 길이가 길어짐에 따라 접지면의 임피던스가 점진적으로 증가됨을 볼 수 있다. 이는 접지면 복귀전류가 흐르는 신호선 아래의 경로가 갭 때문에 차단되어 상대적으로 큰 전류 루프를 만들기 때문이다. 특히 Gap 3의 경우는 갭을 설치하지 않은 경우와 비교하여 수 배 큰 불요전자파 방사 급전원이 전류구동 메카니즘을 통하여 발생될 수 있다. 따라서 접지면을 갭을 통하여 완전히 분리시키는 것은 심각한 불요전자파 방사의 원인이 될 수 있기 때문에 접지면 분리시 제품의 정상

적인 동작측면과의 적절한 조화가 필요함을 알 수 있다.

V. 결 론

전자제품의 정상적인 동작을 위하여 접지면에 복귀전류의 흐름을 방해할 수 있는 요소들이 불가피하게 만들어질 수 있다. 그러나 제품의 기능만을 고려하고 EMI에 대한 대책 없이 PCB를 설계한다면 제품을 처음부터 다시 설계하거나 전면을 차폐해야 하는 등 막대한 경제적, 시간적인 불이익이 초래될 수 있다. 따라서 이러한 시간적, 경제적 불이익을 최소화하기 위해서는 접지면의 전압강하 때문에 발생하는 불요전자파 방사 가능성을 PCB 설계단계에서 고려하는 것이 매우 중요하다.

본 연구는 EMI 대책 PCB 설계를 위한 매우 초보적인 연구로서 PCB 접지면을 겹으로 분리하는 것이 불요전자파 방사 급전원 생성과 케이블을 통한 불요전자파 방사에 미치는 영향을 정량적으로 계산하였다. 해석결과 접지면 겹의 위치에 따라 매우 심각한 불요전자파 방사가 일어날 수 있음을 알 수 있었다. 이러한 접지면의 임피던스 해석 결과는 실제 PCB 설계시 잘못된 겹의 설치로 인한 EMI 문제의 발생가능성을 줄이는데 이용될 수 있을 것이다. 또한 해석에 사용된 FDTD 방법은 복잡한 구조체의 모델링이 용이하고 광대역 신호의 특성을 한번의 계산으로 얻을 수 있는 시간영역 해석법으로 보다 복잡한 EMI 문제 해석에 SPICE와 같은 회로 시뮬레이터와 상호 보완적으로 사용되어 EMI 대책 PCB 설계의 도구로 널리 활용될 수 있으리라 기대된다. 추후 연구과제는 실질적인 유전율의 유전체를 해석 구조체에 포함시켜 FDTD 방법으로 해석하고 적분법을 이용하여 인덕턴스 계산하는 것과 여러 가지 PCB 선로에대한 EMI 해석을 수행하는 것이 될 것이다.

참 고 문 헌

[1] Clayton R. Paul, *Introduction to Electromagnetic Compatibility*, New York: Wiley, 1992.

[2] David M. Hockanson, James L. Drewniak, Todd H. Hubing Thomas P. Van Doren, Michael J. Wilhelm, "Investigation of Fundamental EMI source Mechanisms Driving Common Mode Radiation from Printed Circuit Boards with Attached Cables," *IEEE Trans. Electromagnetic Compatibility*, vol. 38, no. 4, pp. 557-566, Nov. 1996.

[3] 하재경, 김형동, 장호성, "FDTD 방법에 의한 PCB 접지면 Gap의 임피던스 해석," *Telecommunications Review*, 제7권 6호, pp. 829-840, 11-12월, 1997.

[4] Frank B.J. Leferink, Marcel J.C.M. van Doorn, "Inductance of printed circuit board ground planes," in *IEEE Int. Symp. EMC*, Dallas, pp. 327-329, Aug. 9-13, 1993.

[5] Frank B.J. Leferink, "Inductance calculations: methods and equations," in *IEEE Int. Symp. EMC*, Atlanta, pp. 16-22, Aug. 14-18, 1995.

[6] Allen Taflove, *Computational Electrodynamics: The Finite-Difference Time-Domain Method*, Boston London: Artech, 1995.

[7] Jean-Pierre Berenger, "Perfectly Matched Layer for the FDTD Solution of Wave-Structure Interaction Problems," *IEEE Trans. Antennas and Propagat.*, vol. 44, no. 1, pp 110-117, Jan. 1996.

[8] R. Lee Hill, T. Van Doren, T. Hubing, J. Drewniak, "Common mode currents induced on wires attached to multilayer printed wire boards with segmented ground planes," in *IEEE Int. Symp. EMC*, Chicago. pp. 116-120, Aug. 22-26, 1994.

하 재 경

1994년 : 한양대학교 전자통신공학과(학사)
1994년~현재 : LG정보통신 중앙연구소 연구원
[주 관심분야] 전자제품에서의 전자파 장애, 전자파 수치해석

김 형 훈

1986년 2월 : 전남대학교 계산통계학과(학사)
1988년 2월 : 한국과학기술원 전산학과(석사)
1988년 3월~1990년 9월 : 기아자동차 기술센터 연구원
1990년 9월~1994년 7월 : 휴먼컴퓨터 선임연구원
1995년 3월~현재 : 전남대학교 계산통계학과 박사과정
1994년 9월~현재 : 광주여자대학교 컴퓨터과학과
[주 관심분야] 컴퓨터 프로그래밍

김 형 동



1984년 2월 : 서울대학교 공과대학 전자공학과(학사)
1986년 2월 : 서울대학교 공과대학 전자공학과(석사)
1992년 5월 : The University of Texas at Austin(Ph. D.)안테나 및 電波傳播. 마이크로파공학 전공
1989년 5월~1992년 5월 : Microwave Research Lab., Dept. of Electrical and Computer Engineering, The University of Texas at Austin : Research Assistant
1992년 6월~1993년 1월 : Microwave Research Lab., Dept. of Electrical and Computer Engineering, The University of Texas at Austin : Postdoctoral Fellow
1993년 3월~1996년 2월 : 한양대학교 전파공학과 전임강사
1996년 3월~현재 : 한양대학교 전파공학과 조교수
[주 관심분야] 이동통신용 안테나, 마이크로파 회로, 초음파 공학 전자파 수치해석, 웨이블릿 변환의 수치해석 응용