

DRAM 기술의 발전 및 커패시터 재료의 연구 동향



이병수
전북대학교 재료공학과 교수

서론

현재 가장 대표적인 반도체 메모리 소자인 DRAM이 자기 코어 메모리를 대신하여 본격적으로 사용되기 시작한 것은 1 kbit 제품이 등장했던 1971년경부터이다. 그 후로 대략 3년에 4배의 비율로 대용량화가 진행되어 지금은 16M/64M가 시장의 주류를 형성하고 있다. DRAM은 단순한 구조와 고집적화가 용이하다는 장점 때문에 supercomputer에서부터 가전제품 및 산업기기에 이르기까지 널리 이용되어 왔다. 80년대에는 컴퓨터가 DRAM 시장의 대부분을 차지하고 있었으므로 컴퓨터의 주기억 용량의 증대에 따라 집적도를 높이는 것이 주 연구 목표이었으나, 90년대 들어서면서 멀티미디어, 휴대형 컴퓨터 및 정보 가전단말 등이 개발되면서 DRAM에 고집적화와 더불어 처리속도의 고속화 및 소비전력의 저하 등을 요구하고 있는 상태이

며, 최근 Gbit DRAM의 개발이 완료되면서 세계의 유명 반도체 회사들이 고집적 DRAM의 개발 및 양산을 위해 노력중이다.

본 논고에서는 DRAM의 발전 과정, 고속 DRAM의 개발 현황 및 고집적 DRAM의 개발에 가장 중요한 기술중의 하나인 커패시터 기술에 관하여 논의하고자 한다.

DRAM이란?

DRAM은 Dynamic Random Access Memory의 약자로서 power를 끊으면 데이터가 소멸되는 휘발성(volatile) 메모리 소자의 일종이다. 여기서 'random access'는 불규칙한 순서의 어떤 정보라도 access 할 수 있음을 나타내고, 'dynamic'은 '임시의' 또는 '일시적인' 데이터의 저장을 뜻한다. 즉, DRAM에 저장된 정보는 시간에 따라 자연적으로 소멸되므로 주기적인 정보의 재충전 작업(refresh)이 필요하다.

DRAM은 Fig. 1에 보이는 것처럼 switch 역할을 하는 한 개의 트랜지스터와 데이터의 전하를 축적하는 한 개의 커패시터가 비트선(bit line)과 워드선(word line)으로 연결되어 있다. 워드선은 셀(cell) 안팎으로의 정보의 이동을 조절하고, 비트선은 시스템의 나머지 부분으로의 정보전달을 담당한다.

커패시터가 'charged' 상태가 되면 셀은 'logic 1'을 저장하고,

'discharged' 되면 'logic 0'을 저장하게 된다. 그러나 실제 소자에서는 charge의 leak가 발생한다. 즉, 시간이 지남에 따라 저장된 charge가 빠져나가 'logic 1'이 'logic 0'으로 변하게 되는데, 이러한 현상이 발생하기 전에 refresh를 해주어야 한다. 따라서 DRAM에서는 refresh가 용이하게 되어야 하며 그 주기가 짧을수록 좋은 것이다.

DRAM 기술의 발전

최초의 메모리 소자는 주기적인 clock signal을 사용하지 않는 'static logic circuit'라 불리는 logic network 이었으나, clock signal을 사용하면 빠른 동작, 더 큰 회로밀도, power 손실의 감소 등의 잇점이 있음을 알게되어 'dynamic logic circuit'로 변하게 되었다. static resistor에는 데이터가 filp-flop 형태로 저장되는데 반해 dynamic resistor에는 트랜지스터의 gate에 charge의 형태로 저장되므로 적은 트랜지스터의 사용으로도 제작이 가능하게 되었고, 결과적으로 logic-circuit density를 크게 증가시켰다. 그러나 누설전류에 의해 charge가 손실되므로 원래의 정보가 모두 사라지기 전에 'restore signal'이 도달하도록 하여야만 정보의 유실을 방지할 수 있다.

DRAM은 1968년 Dennard에 의해 처음으로 제안되었으며 (1

transistor + 1 capacitor, 1 T + 1 C), 이는 트랜지스터의 발명에 버금가는 연구결과로서 받아들여지고 있다. 1970년 intel 사에서 3개의 transistor를 이용하여 PMOS 기술로서 256Bit DRAM이 최초로 개발되었으며, 이것은 곧 Dennard가 발명한 1 T + 1 C 구조로 대체되었으며 현재까지 이 구조를 사용하고 있다. 1 T + 1 C 구조를 가진 최초의 DRAM은 Intel사의 4 kbit NMOS DRAM이었으며, 1 Mbit DRAM 부터는 CMOS 기술을 이용하기 시작하였다. Table I에 16 M부터 1G에 이르기까지 DRAM의 대용량화에 따른 소자 및 기타 주요 spec의 추이를 나타내었다.

고속화

마이크로 프로세서의 고속화는 DRAM의 속도를 훨씬 앞지르고 있으며, 이러한 경향은 앞으로도 계속 커질 것이다. 따라서 system 업계는 speed를 중요시하여 system total scheme으로 고속화를 시도하고 있다. 주목되는 DRAM 고속화 기술로 다소 방식에는 차이가 있지만, 시스템 clock에 동기시켜 외부 clock 주기 100 MHz에 동작하는 Synchronous DRAM, 250 MHz용 Rambus DRAM, 70 MHz용 Cache DRAM이 등장하였으며, 시스템적 접근으로서는 멀티칩 모듈(MCM)과 같이 베어 칩을 기판상에 붙여 접속함으로써 전송시간을 최소화하는 방법 등도 제안되었다.

Synchronous DRAM(SDRAM)

SDRAM은 시스템 clock에 동기하여 데이터의 읽기와 쓰기를 연속해서 할 수 있도록 데이터의 전송회로를 개선시킨 것으로서 100 MHz의 clock 주파수까지의

동작이 가능하며, 데이터의 전송 속도는 기존의 DRAM (35 Mbyte/sec)의 6배나 되는 200 Mbyte/sec가 가능하다. 이는 DRAM 고유의 clock과 시스템 clock과의 타이밍 변환을 위한 지연을 없애고, 동시에 센스 앰프에 있는 데이터를 연속하여 고속으로 액세스 할 수 있도록 한 것이다. SDRAM은 펄스 RAS (Row Address Strobe) 방식과 레벨 RAS 방식의 두 규격이 있다. 펄스 RAS 방식은 메모리 셀 어레이를 두 개의 बैं크로 나누는 방식으로 복수의 बैं크를 설치해도 한 개의 RAS 단자만 있으면 각 बैं크를 제어할 수 있기 때문에 핀 호환성이 높고, 기능 부가가 용이하다는 등의 장점을 가지고 있는 반면, 레벨 RAS 방식은 한 개의 बैं크로 구성하는 방식으로 기존의 DRAM에 가깝기 때문에 DRAM controller의 설계 변경이 용이하므로 칩 세트업체의 대응이 손쉽다는 잇점이 있다. SDRAM은 데이터의 전송속도가 빨라서 주기억으로부터 캐쉬로의 전송시간을 단축시킬 수 있기 때문에 워크스테이션 및 고급형 PC에 이용될 것이다.

Rambus DRAM(RDRAM)

RDRAM은 미국 Rambus사에서 개발한 초고속 인터페이스 기술을 이용하여 일반 DRAM 프로세스 기술로 500 Mbyte/sec의 속도를 실현시키고 있다. RDRAM은 DRAM 어레이와 Rambus 인터페이스 부분으로 구성된다. DRAM 어레이의 센스 증폭기는 캐쉬메모리로서 사용되며, 항상 마지막으로 액세스 된 데이터를 저장한다. Rambus 인터페이스에는 디바이스 내부의 clock을 외부로부터 입력된 clock과 동기를 취해, 정확하게 clock 주기의 1/2 펄스폭을 갖

도록 하는 회로가 내장되어 있다. Rambus 시스템은 고속 SRAM에 의한 2차 캐쉬 메모리가 필요없이 동등한 수준의 성능을 달성할 수 있다는 장점을 가지고 있다. 또한, 주변 IC의 수를 줄일 수 있고, 모듈러 구성을 채용하고 있기 때문에 확장도 용이하다. RDRAM은 PDA (personal digital assistant)나 PC 등의 휴대형 기기에서부터 EWS의 메인 메모리 및 그래픽용 메모리에 이르기까지 폭넓게 이용될 것이다.

Cache DRAM(CDRAM)

CDRAM은 SRAM으로 구성된 캐쉬메모리를 DRAM과 원(one)칩화 시킴으로써 저가이면서 MPU의 성능을 최대한 발휘토록 하려는 것이다. SRAM 내에 데이터가 있을 경우는 10 ns의 액세스 시간 및 사이클 시간으로 액세스 할 수 있으며, SRAM 내에 데이터가 없을 경우는 DRAM의 액세스 시간이 된다. DRAM과 SRAM 사이는 외부에 비해 비교적 폭이 넓은 버스로 접속함으로써 전송에 의한 손실을 최소화 할 수 있다는 장점과 더불어, 다른 고속화 방식과 큰 차이는 연속으로 고속 random access가 가능하다는 잇점을 가지고 있다. DRAM의 센스증폭기 부분에 SRAM 셀을 분산하여 배치하는 분산배치형과 SRAM을 한 곳에 집중 배치하여 DRAM 간을 광폭의 버스로 접속하는 국소배치형의 두가지 CDRAM이 있다.

Capacitor 기술

DRAM의 집적도가 높아짐에 따라 기존의 반도체 공정에서 사용되던 거의 모든 기술 분야에서 그 한계를 나타내고 있는데, 그 중에서도 중요한 문제점 중 하나로 대두되고 있는 커패시터 형성

기술에 대해 논의 하고자 한다. DRAM의 고집적화에 따라 셀의 크기가 감소하더라도 (Table I 참조) data sensing margin 및 soft error 등의 신뢰성 문제 때문에 제한된 영역에서 어느 수준 이상의 capacitance를 유지해야 한다.

Capacitance (C)는 다음과 같이 간단한 공식에 의해 표시된다.

$$C = \epsilon_r \epsilon \frac{A}{d} \quad (1)$$

여기서 ϵ_r 은 재료의 유전상수, ϵ 은 진공의 유전율, d 는 유전막의 두께 그리고 A 는 커패시터의 표면적이다. 즉, capacitance를 증가시키기 위해서는 유전상수가 큰 재료를 사용하거나, 유전체막의 두께를 줄이거나, 구조적으로 표면적을 증대시키는 3가지 방법이 있다. 이 중에서 표면적으로 cell capacitance를 증대시키는 방법은, 1M의 planar 구조에서부터 집적도가 높아짐에 따라 stack, trench, fin, cylinder, crown, HSG 등 다양한 구조가 개발되어 왔다. Fig. 2에 planar, stack, trench 구조의 셀을 도시하였다. 유전막의 두께를 낮추는 공정은, oxide의 경우 Folwer-Nordheim Tunneling이 발생하여 누설전류가 흐르게 되는 두께인 100Å 이하로 낮추는 것을 불가능하다. 따라서 따라서 nitride (유전상수:7.5)와 oxide의 복합박막이 사용되어 왔다.

그러나, 위의 2가지 방법은 이미 그 한계에 도달하여 나머지 요소인 유전상수가 크고 신뢰성이 높은 새로운 물질들에 대한 연구에 최근 관심이 집중되고 있다. 왜냐하면 고유전체 재료를 사용하면 planar 구조나 간단한 stack 또는 trench 구조를 이용하여 고 집적 DRAM 셀을 제작할 수 있

Table I. Trend of important device and process parameter related to DRAM density.

Description		16 M	64 M	256 M	1 G
Desing rule (μm)		0.5	0.35	0.25	0.15
Cell size (μm^2)		4-5	1.2-2	0.6-0.8	0.25-0.3
L_{eff} (μm)		0.3	0.25	0.20	0.1
X_j (μm)		0.25	0.2	0.1	0.08-1
Gate T_{ox} (Å)		160	110	70	50
Tr. V_{th} (V)		1.3-1.4	1.0	0.7-0.8	0.6
Structure		LDD	LDD	CLDD	CLDD
Gate material		single poly	single poly	single poly	single/dual poly
Gate dielectric		pure ox	pure ox	pure ox/NO	pure ox/NO
Capacitor dielectric		NO	NO	Ta ₂ O ₅ , SrTiO ₃	Ta ₂ O ₅ , SrTiO ₃ , BST
Isolation	scheme	LOCOS Trench	Modified LOCOS Trench	Recessed LOCOS Shallow Trench	Deep Trench
	space(μm)	0.6	0.35	0.25	0.15

- 각 반도체 회사마다 다를 수 있음.

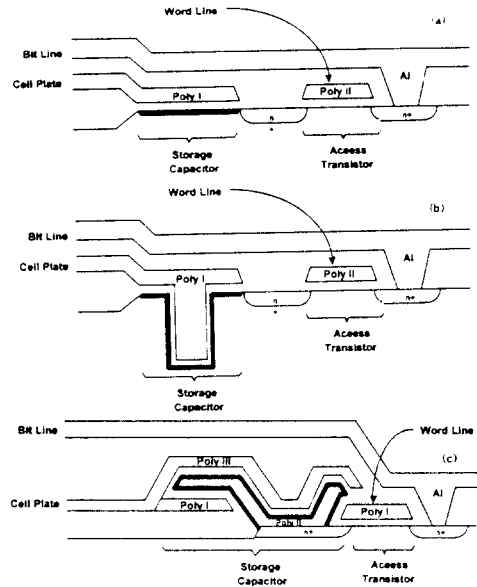


Fig. 1. Schematic representations of (a) simple planar cell, (b) trench cell and (c) stacked cell.

기 때문이다. 이러한 재료로는 Ta_2O_5 와 더불어 페로브스카이트 구조를 가지는 $SrTiO_3$ (ST), $(Ba,Sr)TiO_3$ (BST), $Pb(Zr,Ti)_3$ (PZT), $(Pb,La)(Zr,Ti)_3$ (PLZT) 등이 제안되어 왔다.

Ta_2O_5 유전박막은 대부분의 DRAM maker에 의하여 많은 연구가 되어져서 실제 제품에의 적용이 이루어지고 있다. 그러나 유전율이 ON(oxide/nitride)에 비해 2~3배 불과하고 누설전류에 의한 박막화의 한계가 35Å 정도이어서 ON에 비하여 그 이점이 그리 크지 않다. ST 박막은 상온에서 안정한 상유전체 구조 (cubic perovskite)를 가지고 있고, 두 개의 금속이온을 이루어져 제조가 간단하다는 장점이 있으나, 페로브스카이트 물질로서는 상대적으로 낮은 유전상수 (200~300)를 가지고 있다. BST 박막은 Sr의 조성이 30% 이상일 때 상온에서 상유전체이고 고유전상수 (400~500), 낮은 누설전류 ($10^{-9} \sim 10^{-8} A/cm^2 @ 1 V$) 등의 장점을 가지고 있다. PZT는 매우 높은 유전상수 (~1000)를 가지고 25~125°C 온도 범위에서 10% 내의

capacitance 변화를 보이고 있으나, 상대적으로 높은 누설전류와 강유전성을 가지고 있다는 점이 단점이다. PZT 벌크 상태에 15%의 La를 첨가하면 상유전성을 띠게 된다. 따라서 PZT 박막의 누설전류 문제와 강유전성에 의한 fatigue 문제를 극복하는 방법으로 La를 첨가하여 PLZT 박막을 형성하는 방법이 연구되어 왔다. 특히 재료가 박막화 되면서 소량의 La 첨가로도 상유전성을 띠게 되고 유전특성의 저하는 그리 심하지 않다 (유전상수: ~800). 그러나, Pb계 고유전체 재료는 반도체 후속공정에서 Pb의 휘발에 의한 특성의 열화가 단점으로 지적되고 있다. 이러한 재료들은 각기 장단점을 가지고 있으나, 고유전상수, 저누설전류 및 상유전성의 관점에서 $(Ba,Sr)TiO_3$, 또는 $(Pb,La)(Zr,Ti)_3$ 박막이 DRAM 커패시터 물질로서 가장 적합한 재료인 것으로 생각된다. 하지만, 이러한 고유전체의 이용에 전혀 장애가 없는 것은 아니다. 그 대표적인 예가 바로 하부전극의 필요성이다. 왜냐하면, 페로브스카이트계 고유전체 박막을 Si 위에 증착

하게 되면 계면에서 저유전상수를, 가지는 SiO_2 층이 형성되기 때문에 series capacitance의 영향으로 실제의 capacitance에는 치명적인 단점으로 작용하기 때문이다. 현재 Pt, Ru, Ir 등의 금속전극과 RuO_2 , IrO_2 , $SrRuO_3$ 등의 산화물 전극에 대한 연구가 활발히 진행되고 있으며, 이러한 전극에 따라 또한 전극의 미세구조에 따라 고유전체를 이용한 커패시터의 전기적 특성이 크게 변화된다.

결론

본 논고에서는 DRAM 기술의 발전과정을 요약하고 커패시터 기술에 대해 논의 하였다. 1 G DRAM의 개발이 완료됨에 따라 Giga bit 시대를 맞은 DRAM은 앞으로도 계속해서 고집적화를 이루어 낼 것이다. 이러한 고집적 DRAM을 제작하기 위해서는 위에서 기술한 커패시터 기술 외에도 노광 및 식각 기술, Gate 및 Junction 기술, 소자분리 기술, 배선 및 평탄화 기술, 공정원가 절감 기술 등에 대한 연구가 선행되어야 할 것이다.

< 윤순길 위원 >