

## 강유전체를 이용한 MFSFET의 실현 및 그 응용



김광호

정주대학교 반도체공학과 교수

### 1. 서 론

최근, 강유전체박막의 분극반전과 그 히스테리시스 특성을 이용한 비휘발성 메모리(FeRAM)는 고집적도, 고속구동, 고내구성, 저소비전력화를 실현할 수 있는 이상적인 메모리로서 기대가 급격히 높아져 세계 각국에서 연구개발이 활발하게 진행되고 있다. FeRAM에는 강유전체 커패시터를 이용한 커패시터형태와 강유전체박막을 게이트절연막으로 사용한 MFSFET(Metal-Ferroelectric-Semiconductor Field-Effect Transistor)를 이용한 트랜지스터 형태<sup>1)</sup>가 있으며, 현재, 실용화되고 있는 것은 DRAM과 동일한 구조를 갖고 있는 커패시터 형태의 FeRAM이다. 이와 같은 구성에서는 정보를 read-out 할 때에는 강유전체의 분극반전에 의한 파괴형의 read-out 방식으로 된다. 이에 반하여, 트랜지스터 형태의 FeRAM에서는 비파괴형의 read-out 방식이 가능하고 고집적화(단일 트랜지스터 셀 형태인

기본 구성이므로)에도 적합하기 때문에 장래의 비휘발성 메모리로서 주목을 받고 있다. 그러나, 이러한 형태의 메모리는 양호한 전기적 및 구조적 특성을 가지는 강유전체/반도체 구조를 구현하기가 매우 어렵기 때문에 현재까지 실용 단계에 이르지 못하고 있다.

한편, 앞서 설명한 MFS방식에서는 반도체 위에서 강유전성이 얻어짐과 동시에 강유전체와 반도체간의 계면특성이 트랜지스터가 동작할 수 있을 정도로 양호해야만 하는 조건이 만족해야 하기 때문에 어려움이 많으므로 이를 해결하기 위한 한 방안으로 강유전체와 반도체 사이에 buffer 층을 삽입하는 연구(MFIS 구조)<sup>2)</sup>와 더 나아가 이 MFIS구조의 강유전체와 buffer인 절연체 사이에 floating gate를 삽입하는 방식(MFMIS 구조)<sup>3)</sup>도 검토되고 있다.

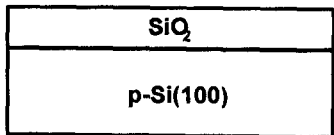
본 연구실에서는 불화물계 강유전체를 이용한 FET와 산화물계 강유전체를 이용한 FET에 대한 연구를 진행하고 있는데, 이 논문에서는 그 중에서 지면 관계상 불화물계에 관해서는 이미 발표된 보고들을<sup>4-6)</sup> 참고하도록 하고 여기서는 주로 산화물계 강유전체를 이용한 MFSFET의 연구 결과를 중심으로 논의하며 (특히 본 논문집에 앞부분에 게재된 필자등의 논문은 이 논문의 기초가 되는 선행논문임) FeRAM 및 뉴런디바이스 등에서의 응용성을 검토하기로 한다.

### 2. 실험 및 결과

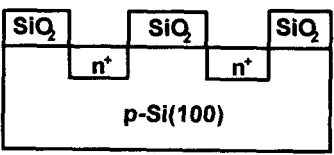
#### 2.1 MFSFET의 제작

그림 1에 산화물계 강유전체인  $\text{LiNbO}_3$ 를 이용한 MFSFET의 제작순서도를 보인다. 본 연구에서는 FET를 제작하는 데에 있어서 전형적인 트랜지스터를 제작하는 방법(최소 4장의 마스크가 필요) 대신에 간단하면서도 모든 공정이 dry process를 견지하므로써 디바이스 특성이 공정과정에 그다지 영향을 받지 않도록 2장의 메탈마스크를 사용하는 방법을 개발하였다. 저항율이  $6\sim 9 \Omega \cdot \text{cm}$ 인 붕소 도핑된 p-Si 기판을 유기 세정 및 표준 RCA법으로 세정한 후, wet산화법으로 약  $1 \mu\text{m}$ 의 열산화막을 형성시켰다. 첫번째 마스크를 사용하여 소스 및 드레인의  $n^+$  영역을 형성시키기 위하여 산화막의 일부분을 에칭시킨 후,  $\text{P}_2\text{O}_5$  소스로 1시간 동안 확산시켰다. 이때의 접합깊이는 약  $2 \mu\text{m}$ 이다. 확산 후, 표면의 열산화막을 모두 제거시킨 다음에 스퍼터링 시스템에서  $\text{LiNbO}_3$ 막을 증착하였다. 스퍼터링 시스템의 background 진공도는  $1 \times 10^{-6}$  Torr 이하이다.  $90 \text{ nm}$  정도의 막의 두께를  $0.01\sim 0.02 \text{ nm/s}$ 로 기판온도  $300 \text{ }^\circ\text{C}$  이하에서 증착시킨 후, RTA장치를 이용하여  $\text{O}_2$ 분위기의  $600 \text{ }^\circ\text{C}$ 에서 60초 동안 열처리를 행하였다. 두번째 마스크를 사용하여 소스, 게이트 및 드레인영역에 Al금속을 증착시켜 트랜지스터를 완성하였다. FET의 전기적 특성 평가는 주로

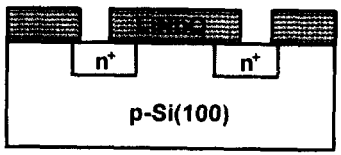
정밀 반도체 파라미터 분석기 (HP4156A)를 사용하였다.



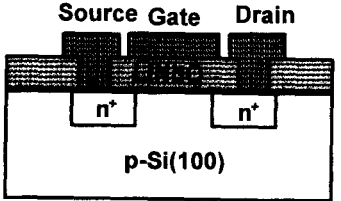
1) thermal oxidation (wet)



2) phosphorus diffusion & SiQ etched out



3) LiNbO3 deposition & RTA



4) Al metallization

그림 1. 산화물계 강유전체인 LiNbO3를 이용한 MFSFET의 제작순서도

2.2 MFSFET의 특성

그림 2에 제작한 트랜지스터의

전면 사진(a)과 트랜지스터의 소스, 드레인 및 게이트 부분을 확대한 사진(b)을 함께 보인다. 칩 전체의 크기는 10 mm×10 mm이다. 이 시료에는 12개의 MFS FET와 계면특성 측정용 MFS 커패시터 12개가 포함되어 있다. FET에 있어서 게이트의 길이 L과 폭 W는 각각 100 μm, 500 μm이다.

그림 3에 MFSFET의 선형영역 (V<sub>D</sub>=0.1V)에서의 드레인 전류-게이트 전압 (I<sub>D</sub>-V<sub>G</sub>) 특성을 보인다. LiNbO<sub>3</sub>막의 강유전성으로 인하여 히스테리시스 특성이 관측됨을 알 수 있으며 이는 비휘발성 메모리 동작에 적용할 수 있는 가능성을 보인 것이다. 그래프로부터 산출한 상호컨덕턴스 g<sub>m</sub>은 약 0.16 mS/mm이며, 전자의 전계효과 이동도는 약 600 cm<sup>2</sup>/V·s 이다.

그림 4에 MFSFET의 드레인

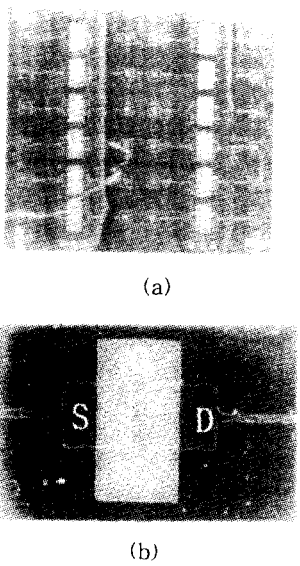


그림 2. 제작한 MFSFET의 전면 사진(a) 및 소스, 드레인, 게이트 부분을 확대한 사진(b).

전류-드레인 전압 (I<sub>D</sub>-V<sub>D</sub>) 특성을 보인다. 실선과 점선은 각각 게이트에 +3 V 및 -3 V의 write 전압을 1 초동안 인가한 후 측정 한 전류-전압 곡선이다. 게이트 전압은 0 V에서 2 V까지 0.5 V step이다. 특히, V<sub>D</sub>가 3 V에서 write, read 전압을 각각 +3 V, 0.5 V를 인가한 경우 드레인 포화전류 I<sub>DS</sub>는 250 μA(ON상태)이었고, 반면 -3 V, 0.5 V를 인가한 경우에는 I<sub>DS</sub>가 20 nA(OFF상태)이었다. 즉, read 전압 0.5 V에서 ON상태(250 μA)의 드레인 전류는 OFF상태의 전류보다 약 4 order정도 증가했음을 알 수 있

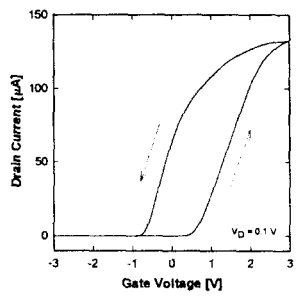


그림 3. MFSFET의 드레인 전류-게이트 전압특성. Fig. 3. The I<sub>D</sub>-V<sub>G</sub> characteristics of the MFSFET.

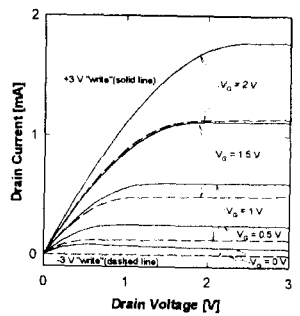


그림 4. MFSFET의 드레인 전류-드레인 전압 특성. Fig. 4. I<sub>D</sub>-V<sub>D</sub> characteristics of MFSFET.

다. 이것은 같은 read 전압 0.5 V에 대해서 미리 인가한 write 전압의 극성을 바꿈으로써 강유전체 LiNbO<sub>3</sub> 박막의 분극이 반전되어 소스-드레인간의 채널이 ON에서 OFF로 변했음을 의미한다. 이것은 제작한 MFSFET가 메모리로서 동작하는 것을 의미하는 것이다. 또한, 이 결과에서는 write 전압이 ±3 V로 낮은 전압에서 구동시킬 수 있었는 바, 이는 저전력회로에의 응용성이 가능한 것을 의미한다. 메모리에의 응용을 위해 현재 fatigue 및 retention 특성등을 평가중에 있다.

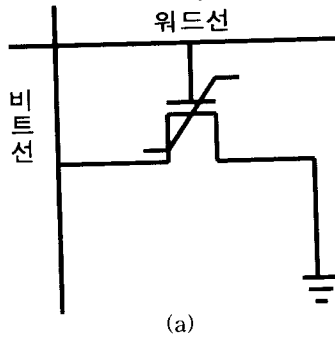
### 3. MFSFET의 응용

양호하고 안정된 MFSFET가 실현되면 다양하고 특수한 용도의 응용이 예상되지만 본 논문에서는 대표적으로 메모리와 뉴런 디바이스에의 응용에 관하여 고찰해 보기로 한다.

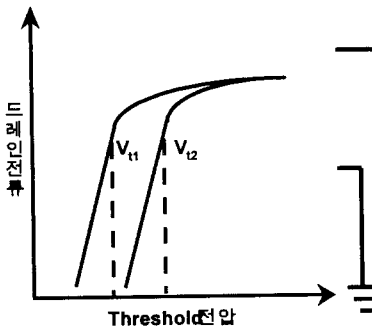
#### 3.1 FeRAM

먼저 MFSFET를 메모리로서 사용할 때에 기본 메모리셀에 관하여 설명한다. 그림 5에 MFSFET의 기본 셀과 동작원리를 보인다. 이 셀에서는 게이트 전극과 기판간에 전압을 인가함으로써 게이트절연막인 강유전체가 분극 반전한다. 이 분극방향에 의해 트랜지스터의 채널영역에 전자 또는 hole이 유기되어 트랜지스터의 threshold 전압이 변하게 된다. 이 때의 MFSFET의 전류-전압 특성은 그림 5(b)처럼 되어 어떤 게이트전압에서의 드레인전류값(채널저항값)의 유무 혹은 대소로써 정보를 읽게 된다. 이 메모리셀의 특징은 셀사이즈가 1T1C 메모리보다 작게 할 수 있으며,

동시에 입력한 정보를 읽어 낼 때에 비파괴적으로(NDRO방식) 읽을 수 있다.



(a)



(b)

그림 5. MFSFET의 동작원리.  
Fig. 5. Basic principle of MFSFET.

MFSFET 셀을 쓴 메모리 layout의 한 예<sup>3)</sup>를 그림 6에 보인다. 이 layout은 MFMSIS 구조의 FET에도 그대로 적용할 수 있다. word선은 각 셀의 게이트 전극에 접속되고 드레인이 비트선에 접속된다. 또한, 기판의 전위를 고정시키는 well은 비트선 쪽으로 분리시키는가 소스와 공통으로 잡든가 한다. 데이터의 write는 선택하는 셀의 word선과 well(소스)간에 전계를 인가함으로써 행한다. 또한 read는 원하는 셀의 비트선에 접속한 sense 회로에서 각

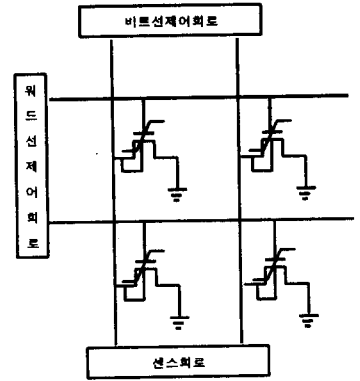


그림 6. MFSFET를 이용한 메모리 layout.

Fig. 6. A memory layout using MFSFET.

트랜지스터를 흐르는 전류량을 감지하면 된다. 이 회로 방식은 FLASH 메모리 방식과 거의 같다.

#### 3.2 뉴런디바이스<sup>7,8)</sup>

최근, 생체에 있어서 뇌의 유연한 정보처리 기능을 표준으로 삼은 뉴런 컴퓨터의 시냅스(synapse)결합을 실현하기 위해서 이 MFSFET를 비휘발성의 아날로그 메모리로 활용하려는 시도가 행하여지고 있다. 시냅스기능을 실현하는 데에는 터널 산화막을

갖는 floating 게이트구조의 MOSFET를 쓸 수도 있으나 강유전체를 이용한 디바이스에서는 write 회수가 많고 분극반전을 서서히 진행시킬 수 있으므로 아날로그 메모리로서 이용하는 뉴런 회로에의 응용이 유리하리라고도 판단된다. MFSFET를 뉴런회로에 응용하는 기본회로를 그림 7에 보인다. 이 회로에서는 사이리스터의 트리거회로를 쓰고 있는 바, 그림에서 간단히 회로를 설명하면, R<sub>1</sub>를 통하여 C를 충전하는 과정에서 C의 양단전압이 설정값

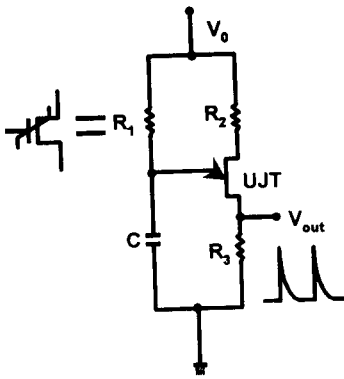


그림 7. 기본 뉴런회로.

Fig. 7. Basic neuron circuit.

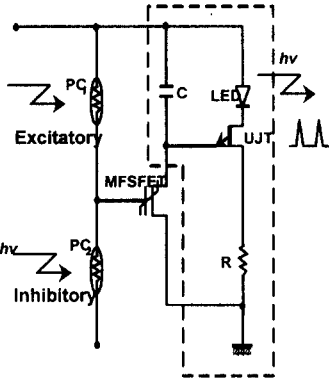


그림 8. MFSFET를 이용한 광결합형 뉴런회로.

Fig. 8. A photo-connection neuron circuit using MFSFET.

이상으로 되면 UJT가 on되어 C에 저장된 전하가 R<sub>3</sub>을 통하여 방전된다. 이 회로에서는 펄스의 발생간격이 시정수 CR<sub>1</sub>에 비례하기 때문에 R<sub>1</sub>을 MFSFET로 대체시키면 출력펄스의 간격을 FET의 게이트 전압에 의한 학습 기능으로 변화시킬 수 있다. 여기서는 입력신호의 정보를 C에 전하로써 저장시키기 때문에 동기용의 clock 신호는 필요없다. 그

림 8에 인간의 뉴런기능과 유사한 흥분성 및 억제성 시냅스기능에 대응되는 광결합형 뉴런회로의 한 예를 보인다. 이 회로에서는 그림 7의 저항 R<sub>3</sub>가 LED(발광다이오드)로 대체되었다. 또한, 2개의 포토컨덕터(PC)는 +와 -의 바이어스전압을 FET의 게이트에 인가하기 위한 스위치로 사용하였다.

#### 4. 결론

강유전성이 유지되면서 양호한 계면특성을 얻기 위하여 LiNbO<sub>3</sub>를 실리콘 위에 직접적으로 300°C이하의 저온에서 sputtering법으로 형성하여 고온 단시간 열처리를 수행하였다. 이 방법에 의해 얻어진 양호한 특성을 기초로 하여 2장의 메탈마스크를 사용하여 고온 단시간 열처리를 공정에 활용하여 MFSFET를 성공적으로 제작하였다. 제작한 MFSFET의 I<sub>D</sub>-V<sub>G</sub>특성은 LiNbO<sub>3</sub>막의 강유전성으로 인하여 히스테리시스 특성이 관측되었고, MFSFET의 드레인 전류는 미리 인가된 write 전압에 의해 제어됨을 알 수 있었다. LiNbO<sub>3</sub>/Si 구조를 사용한 MFSFET의 비휘발성 메모리 동작과 적용 가능성이 확인되었다. 제작한 트랜지스터의 선형영역에서의 전계효과이동도와 상호컨덕턴스는 각각, 약 600 cm<sup>2</sup>/V·s 및 0.16 mS/mm 이었으며, 메모리 동작에 의한 0.5 V의 read 전압에 있어서 드레인 전류의 on/off비는 4 order 이상이었다. 이러한 강유전체를 이용한 MFSFET를 FeRAM 및 뉴런다바이스 등에서의 응용을 개관하였다.

#### 참고 문헌

1. S.-Y. Wu, "A New Ferro-

electric Memory Devices, Metal-Ferroelectric-Semiconductor Transistor", IEEE Trans. Electron Devices, vol. ED-21, no. 8, pp. 499-504, Aug. 1974.

2. E. Tokumitsu, R. Nakamura, and H. Ishiwara, "Nonvolatile Memory Operations of Metal-Ferroelectric-Insulator-Semiconductor(MFIS)FET's Using PLZT/STO/Si (100) Structures", IEEE Electron Device Letters, vol. 18, no. 4, pp.160-162, 1997.
3. T. Nakamura, Y. Nakao, A. Kamisawa, and H. Takasu, "A Single-Transistor Ferroelectric Memory Cell", 1995 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 68-69, 1995.
4. K.-H. Kim, J.-D. Kim, and H. Ishiwara, Improvement of the Electrical Properties of Metal-Ferroelectric BaMgF<sub>4</sub>-Silicon Capacitor by Rapid Thermal Annealing, Appl. Phys. Lett., vol. 66, no. 23, pp. 3143-3145, 1995.
5. K.-H. Kim, J.-D. Kim, and H. Ishiwara, Properties of Ferroelectric BaMgF<sub>4</sub> on Si (100), (110), and (111) Substrates by Post-Deposition Rapid Thermal Annealing, Jpn. J. Appl. Phys., vol. 35, no. 2B, pp. 1557-1559, 1996.
6. 이 상우, 김 광호, "BaMgF<sub>4</sub>/Si 구조를 이용한 비휘발성 메모리용 MFSFET의 제작 및 특성", 전기전자재료학회지, vol. 10, no. 10, pp. 1029-1033, 1997.

7. H. Ishiwara, "Proposal of Adaptive-Learning Neuron Circuits with Ferroelectric Analog-Memory Weights",

Jpn. J. Appl. Phys., vol. 32, no. 1B, pp.442-446, Jan. 1993.

8. K.-H. Kim and H. Ishiwara,

"Adaptive-Learning Neuron Circuits using Ferro electric Thin Films", Integrated Ferroelectrics, vol. 5, no. 2, pp.89-95, 1994.

< 윤순길 위원 >