

## 강 유전체박막을 위한 하부전극



문순길  
충남대학교 재료공학과 부교수

### 서론

최근에 강 유전체 박막이 반도체 메모리 소자의 캐패시터에 크게 활용되면서 이에 대한 연구가 본격적으로 진행되고 있다. 반도체 메모리 소자의 캐패시터로는 종래에  $\text{ONO}(\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2)$  구조로서 Si 기판위에 증착공정이 훨씬 간편하였으나 메모리 소자의 고 집적화에 따라 복잡한 고 유전율을 갖는 강 유전체 박막으로 대체되고 있다. 이러한 산화물 강 유전체 박막이 활용됨에 따라 Si 위에 강 유전체 박막을 집적하는 것이 커다란 어려움으로 대두되고 있다. 왜냐하면 산화물 박막을 다 결정 Si-plug 에 직접 집적할때 산화가 되어 접촉저항이 크게 증가함으로 소자로서의 기능을 상실하게 된다. 그러므로 이러한 문제를 해결하기 위하여 Si-plug 위

에 하부전극으로 고온에서도 안정한 백금박막을 증착하여 산소분위기에서도 Si 의 산화를 방지하려고 있다. 그러나 백금 하부전극이 poly-Si 위에 증착되어 고온(약 500-700°C)에서 강 유전체 박막이 형성될때 백금과 Si 이 반응하여 platinum-silicide<sup>1,3</sup> 를 형성하여 접촉저항을 증가시킨다는 보고가 있다. 그러므로 이러한 문제를 해결하기 위하여 그림 1 과 같이 하부전극 platinum 과 poly-Si 사이에 완충층으로서 Ti 와 TiN을 이중층으로 증착하여 platinum-silicide 의 형성을 억제하게 된다. 그러나 이 경우에도 산소분위기의 고온에서 산소가 백금층을 확산하여 TiN 과 반응하여 산화됨으로써 또한 접촉저항을 증가시키게 된다. 그림 1 (a) 는 일본의 NEC 에서 채택한 구조로서 Poly-Si plug/thin Ti/TiN/RuO<sub>2</sub>/BST/TiN/Al의 형태를 갖는다. 여기서 RuO<sub>2</sub> 는 TiN 의 산화를 억제하기 위하여 증착된것이며 BST 증착동안에 산소의 확산 장벽층으로 작용한다. 이 구조를 채택하기 위해서는 BST 의 증착온도가 매우 낮아야 한다. 다음 그림 1(b)는 일본의 Mitsubishi에서 채택한 구조로서 polysilicon/Ru/BST/Ru 의 형태로서 BST 증착중에 Ru 는 산소분위기에서 산화되나 산화된 산화물도 만족할 만한 전도도를 갖는다. Ru 의 산

화정도가 적다면 산화에 따른 체적변화는 문제가 되지 않는다. 여기에서도 산화를 적게하기 위해서는 증착온도가 낮아야하는 제한이 있으며 낮은 온도에서 증착후에 고온에서 열처리시에는 질소분위기에서 수행하면 가능하다. 그림 1 (c) 는 국내의 삼성과 이전의 NEC에서 채택한 구조로서 poly-silicon/Ti/TiN/Pt/BST/top electrode 형태를 가지며 이 경우에 Pt 결정립 경계를 따라 산소의 확산이 커서 산소확산을 억제하는 장벽으로 작용하지 못한다. 그러므로 이 구조에서는 TiN 의 산화를 억제하는 공정을 채택해야 한다. 이와 같이 poly-Si plug 에 Pt 을 직접 집적하는 경우에 platinum-silicide 의 형성이 보고되었는데 이에 대한 구체적인 연구를 간략하게 소개하고자 한다. 지금까지 Pt 과 Si 이 반응하여 platinum-silicide를 형성한다는 많은 보고는 주로 Pt 이 스퍼터링으로 증착되어 실험한 경우로서 이에 대한 연구결과는 모든 증착공정이 동일한 결과를 나타낸다고 할 수 없다. 그러므로 본 필자는 poly-silicon 위에 스퍼터링과 화학증착법(CVD)에 의해서 Pt을 증착하고 강 유전체 박막이 증착되는 공정과 유사한 조건에서 열처리하여 platinum-silicide 형성의 유무를 여러 가지 분석법을 가지고 비교하고자 한다. 먼저 스퍼터링과 CVD 에 의한 Pt 박막증착

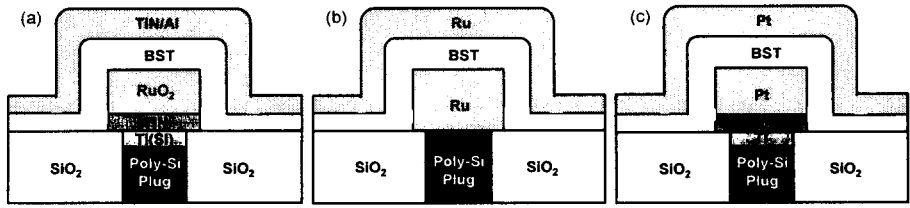


Fig. 1. Schematic view of the stacked DRAM capacitor cell structures proposed by (a) NEC (b) Mitsubishi Electric Company, and (c) U.S. DRAM consortium, Samsung Electronics and NEC.

의 증착조건을 표 1에 나타내었다. 이러한 증착공정을 가지고 얻어진 박막의 XRD 패턴을 그림 2에 나타내었다. 그림 2(b)는 스퍼터링에 의해서 얻어진 Pt 박막을 700°C, 산소분위기(760 torr)에서 1 시간 동안 열처리 한 후에 얻어진 박막의 XRD 패턴이다. 그림에서 보여주듯이 PtSi 를 보이는 피크들이 크게 발달하였음을 보여준다. 이 결과는 많은 연구자들이 보고한 결과와 유사한 내용이다. 그러나 그림 2(a)에서 보여주는 것처럼 Pt을 CVD로 증착한 후에 같은 조건에서 열처리한 경우에는 전혀 platinum-silicide 형성을 보이지 않고 있다. 이와 같은 결과로서 CVD 와 sputtering에 의한

TABLE I. Deposition conditions of Pt films by MOCVD and dc sputtering

Deposition parameter	MOCVD	dc sputtering
Deposition temperature	400°C	350°C
Substrate	Poly-Si	Poly-Si
Deposition time	25 min.	20 min.
Ar gas flow rate	20 sccm	10 sccm
Bubbling temperature	10°C	—
dc power	—	10 W
Deposition pressure	$5 \times 10^{-1}$ torr	$3 \times 10^{-3}$ torr
Oxygen flow rate	30 sccm	—

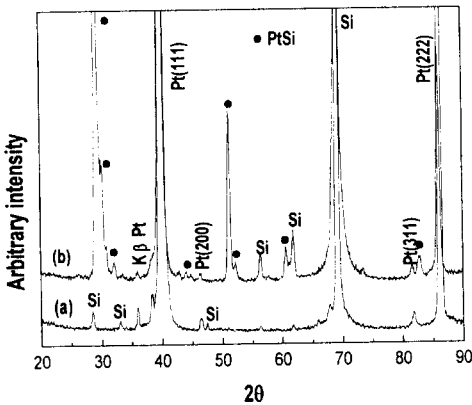


Fig. 2. X-ray diffraction patterns of (a) MOCVD and (b) dc sputtered Pt films annealed at 700°C in oxygen ambient

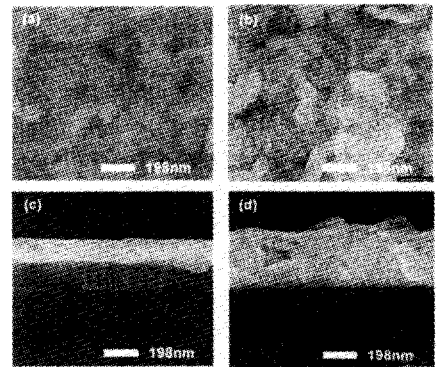


Fig. 3. SEM surface and cross-sectional images of (a, c) MOCVD and (b, d) dc sputtered platinum films annealed at 700°C in oxygen ambient, respectively.

Pt 박막의 거동은 다름을 알 수 있다. 이에 대한 박막의 미세구조적 특성을 그림 3에 나타내었다.

그림 3(a,c)는 CVD에 의해 증착된 Pt 박막을 같은 조건에서 열처리한 표면 및 단면을 보이며 그림 3(b,d)는 sputtering에 의해 증착된 Pt 박막의 표면 및 단면구조이다. 그림 3(a,c)에서 보여주는 것처럼 CVD의 경우에는 표면미세구조가 균일하며 결정립 크기도 상당히 크며 단면에서 보듯이 Pt와 poly-silicon과는 명확한 계면을 보이고 있다. 그러나 sputtering의 경우에는 표면이 마치 다른 상을 형성한 것처럼 거칠게 보이며 단면에서도 Pt와 Si이 서로 확산이 심하게 형성되어 있음을 알 수 있다. 이러한 결과는 CVD의 경우가 훨씬 안정해 보임을 알 수 있다. 더 구체적으로 이 결과를 확인하기 위하여 AES(Auger Electron Spectroscopy) depth profile을 수행하여 그림 4에 나타내었다. CVD에 의해서 형성된 박막(그림 4(a))의 경우에는 Pt와 Si이 약간의 확산만을 보이는 반면에 sputtering(그림 4(b))의 경우에는 Pt와 Si이 상당한 확산을 보이며 poly-Si에도 상당한 산소가 형성됨을 알 수 있다. 이러한 결과로서 sputtering Pt는 poly-Si과 반응하며 또한 산소분위기에서 산소의 확산을 막지 못함을 알 수 있다. Platinum-

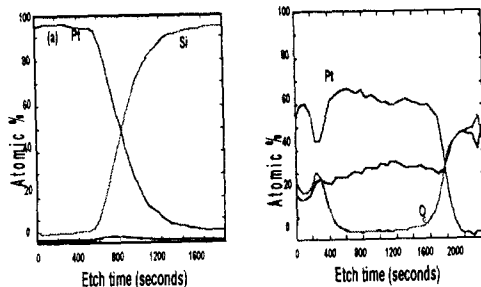


Fig. 4. AES depth profiles of (a) MOCVD and (b) dc sputtered Pt films annealed at 700°C in oxygen ambient

silicide의 형성을 더 구체적으로 확인하기 위하여 그림 5에 XPS(x-ray photoelectron spectroscopy)의 spectrum을 보여주고 있다. 이 그림은 Pt과 Si이 서로 확산하여 섞인 부분의 spectrum을 보이는 것으로 platinum-silicide의 형성을 확인하기 위하여 peak를 Gaussian type으로 분리한 것이다. 그림 5(a)는 CVD로 증착된 Pt의 spectrum으로 Pt 4f<sub>5/2</sub>와 Pt 4f<sub>7/2</sub>가 모두 Gaussian으로 분리되지 않는 것으로 보아 Pt과 Si이 서로 확산되어 반응하지 않고 그대로 존재함을 알려준다. 그러나 그림 5(b)에서 보여주는 것처럼 Gaussian type으로 분리한 결과 두 개의 상이 공존함을 알 수 있었다. 결국 platinum-silicide이 형성되어 있음을 확인할 수 있다. 이와 같은 여러 가지 분석결과 CVD에 의해 증착된 Pt은 platinum-silicide를 형성하지 않는 이유는 무엇인가? 이에 대해서는 다음과 같이 설명

할 수 있다. 일반적으로 sputtering에 의해서 Pt이 증착될 때 Pt target으로부터 Ar+에 의해 떨어져 나온 Pt은 매우 큰 운동에너지를 갖는다(약 10-20 eV). 이러한 큰 운동에너지는 증착되면서 기관인 poly-Si에 전달되고 poly-Si도 큰 에너지를 갖게 된다. Pt과 Si이 반응하여 PtSi를 형성하는데는 약 1.1-1.6 eV의 활성화 에너지가 필요하다.<sup>3</sup> 그러나 일반적으로 강 유전체를 증착하는 온도, 약 400에서 700°C까지, 에서의 열에너지는 platinum-silicide를 형성할 만큼 큰 에너지는 공급하지 못한다. 결국 Pt이 poly-Si에 증착시 생기는 에너지가 결정적으로 역할을 담당한다. Sputtering에 의해서 증착된 Pt과 Poly-Si이 갖는 큰에너지는 열처리 온도에서 서서히 상호확산이 이루어지면서 결국 platinum-silicide를 형성하게 되는 것이다. 그러나 CVD는 Pt이 확산에 의해서 증착되는 공정으로서 poly-Si에 커다란 에

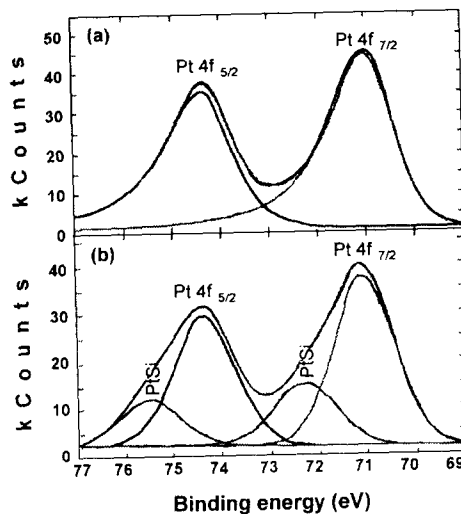


Fig. 5. XPS Pt 4f spectra after argon ion-etching of (a) MOCVD and (b) dc sputtered platinum films annealed at 700°C in oxygen ambient.

너지를 공급하지 못하여 증착후 높은 온도에서 열처리할 때에 상호 확산만이 일어나며 platinum-silicide를 형성하지 못하는 것이다.

#### 맺음말

이와 같은 결과들이 반도체 메

모리 소자에 응용될때에는 Poly-Si위에 Pt을 직접 집적할 때에 buffer layer를 형성시켰던 문제들을 상당히 줄일 수 있어 반도체 생산 단가면에서 경쟁력이 향상되리라 기대된다.

#### 참 고 문 헌

1. A. Hiraki, M. A. Nicolet, and J. W. Mayer, Appl. Phys. Lett. 18, 178 (1971).
2. H. Muta and D. Shinoda, J. Appl. Phys. 43, 2913 (1972).
3. J. M. Poate and T. C. Tisone, Appl. Phys. Lett. 24, 391 (1974).

< 윤순길 위원 >