

## 고온 다결정 실리콘 박막트랜지스터의 전기적 특성과 누설전류 특성

11-10-27

### Electrical Characteristics and Leakage Current Mechanism of High Temperature Poly-Si Thin Film Transistors

이현중\*, 이경택\*\*, 박세근\*, 박우상\*, 김형준\*\*\*

(Hyun Jung Lee, Kyung Tak Lee, Se-Geun Park, Woo Sang Park, Hyung Jun Kim)

#### Abstract

Poly-silicon thin film transistors were fabricated on quartz substrates by high temperature processes. Electrical characteristics were measured and compared for 3 transistor structures of Standard Inverted Gate(SIG), Lightly Doped Drain(LDD), and Dual Gate(DG). Leakage currents of DG and LDD TFT's were smaller than that of SIG transistor, while ON-current of LDD transistor is much smaller than that of SIG and DG transistors. Temperature dependence of the leakage currents showed that SIG and DG TFT's had thermal generation current at small drain bias and Frenkel-Poole emission current at high gate and drain biases, respectively. In case of LDD transistor, thermal generation was the dominant mechanism of leakage current at all bias conditions. It was found that the leakage current was closely related to the reduction of the electric field in the drain depletion region.

**Key Words(중요용어)** : Poly-Si TFT(다결정 실리콘 박막트랜지스터), 누설전류(leakage current), Thermal generation current, Frenkel-Poole emission current

#### 1. 서 론

최근에 평판디스플레이에 대한 연구가 활발하여지면서 능동행렬방식 액정표시기(Active Matrix Liquid Crystal Display, AMLCD)의 상품화와 응용범위도 넓어지고 있다. 비정질 실리콘 박막트랜지스터를 이용한 AMLCD 패널은 휴대용 퍼스널컴퓨터의 모니터 등에 많이 사용되고 있으나, 최근에는 다결정실리콘 박막트랜지스터를 적용한 AMLCD에 많은 관심이 있어왔다. 이는 다결정 실리콘 박막트랜

지스터소자의 전기적특성이 보다 우수하기 때문에 보다 많은 응용과 가능성을 제시하고 있기 때문이다. 다결정 실리콘박막을 형성하는 방법은 고온공정과 저온공정기술로 나누는데 이는 유리기판의 glass temperature(약 630°C)을 경계로 구분한다. 엑시머레이저 또는 고상결정화 공정을 이용하는 저온공정은 다결정 실리콘 박막의 형성이나 불순물 도우핑 공정에서 열처리를 600°C 이하로 제한시키므로 비교적 저가의 유리를 기판으로 사용할 수 있으며 주로 대화면의 직시형 디스플레이에 응용되어 왔다. 반면에 고온공정은 600°C이상의 열처리를 포함하는 경우이며 유리가 아닌 석영을 기판으로 사용하게 된다. 고가의 석영기판을 사용하기 때문에 LCD projector의 light valve같이 작은 면적이면서 고해상도를 요구하는 곳에 주로 이용되고 있다.<sup>1)</sup>

LCD 화소의 스위칭소자와 주변회로 구성소자로 사용되는 다결정 실리콘 박막트랜지스터의 주요연

\* : 인하대학교 전자재료공학과

\*\* : 해태전자 통신연구3팀

\*\*\* : 홍익대학교 금속재료공학과

(인천서 남구 용현동 253, Fax:032-875-5882

E-mail: sgpark@inha.ac.kr

1998년 7월 26일 접수, 1998년 9월 5일 심사완료

구과제는 on-current( $I_{ON}$ )의 향상과 누설전류( $I_{OFF}$ )의 감소, 그리고 CMOS 구현을 위한 기술개발이다. 다결정 실리콘 박막트랜지스터는 비정질 실리콘 박막트랜지스터에 비해 p-channel MOS소자제작이 가능하여 CMOS회로를 구현할 수 있고  $I_{ON}$ 는 매우 크지만 상대적으로 큰  $I_{OFF}$ 를 갖는 문제점이 있다. 큰  $I_{OFF}$ 은 박막트랜지스터가 화소의 스위칭 소자로 사용될 때에 심각한 문제가 된다. 요구되는 해상도와 gray scale을 얻기 위해 화소에 걸리는 화소전압의 크기가 하나의 scanning period내에서 일정하게 유지해야하는데 이것은 누설전류가 작아야함을 의미한다.<sup>[1]</sup> 따라서 누설전류는 다결정 실리콘 박막트랜지스터가 LCD에 사용되기 위해서는 해결되어야 하는 가장 큰 요소인 것이다.

본 연구에서는 기존의 연구에서처럼 열산화막이 증착된 실리콘웨이퍼나 유리기판이 아닌 석영기판을 이용하여 고온 다결정 실리콘 박막트랜지스터를 제작, 분석하였다. 또한 Standard Inverted Gate(SIG), Lightly Doped Drain(LDD), 그리고 Dual Gate(DG) 구조에 대하여 전기적 특성과 누설전류를 측정하고 그 누설전류 mechanism에 대한 해석을 시도하였다.

## 2. 시료 제작

SIG, LDD, DG의 3가지 구조의 박막트랜지스터를 quartz wafer기판에 제작하였다. 소자의 구조는 기본적으로 coplanar형으로써, active 영역을 우선 형성하고 gate dielectric layer와 gate를 차례로 형성하였다. 그 공정순서가 (그림 1)에 나타나있다.

두께 1000Å의 intrinsic poly-Si film을 LPCVD법으로 650°C에서 증착하였다. Multi-layer의 gate dielectric을 채택하였으며, 900°C에서 thermal oxide를 10nm, APCVD SiO<sub>2</sub>를 70nm을 차례로 증착하였다. Gate전극용 Poly-Si를 LPCVD로 증착하였고, source/drain 영역은 phosphorous 이온으로 이온주입법에 의해 자기정렬이 되도록 형성되었다. 이때 LDD구조의 경우에는 spacer 형성과 N<sup>-</sup> 이온주입공정이 추가되었다. 이온주입후 dopant를 활성화시키기 위해 열처리가 550°C에서 수행되었다. 배선형성을 위해 Al이 증착되었으며, 소자의 특성을 향상시키기 위한 hydrogenation은 rf glow discharge에 의한 수소 플라즈마로 수행되었다. 제작된 소자의 전

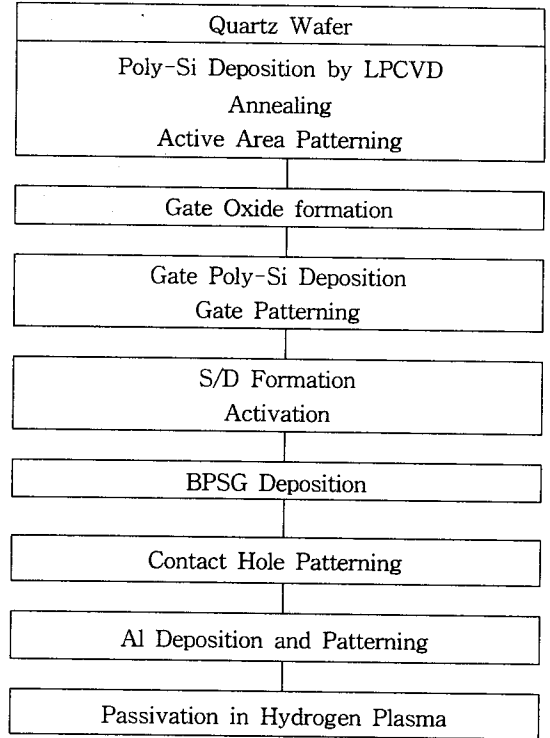


그림 1. 고온 다결정 실리콘 박막트랜지스터의 공정순서도

Fig. 1. Process flow of High Temperature poly-Si TFT

기적 특성은 probe station에서 HP4145 Parameter Analyzer를 이용하여 측정하였다.

## 3. 결과 및 고찰

### 3.1. 전기적 특성

$I_{DS}-V_{GS}$ 와  $I_{DS}-V_{DS}$  전기적 특성을 우선 측정하였으며, 이로부터 문턱전압( $V_{TH}$ ), 전계효과 이동도(Field-effect mobility,  $\mu$ ),  $I_{ON}$ , 누설전류( $I_{OFF}$ ) 등을 구하였다. 문턱전압은  $V_{DS}$  전압을 5V로 고정하고  $\sqrt{I_{DS}} - V_{GS}$  특성곡선을 구한 뒤 그 곡선의 선형 부근의 연장선과  $V_{GS}$  축의 교점으로부터 구하였다.  $I_{ON}$ 는  $V_{DS}$  전압이 5V 일 때에  $V_{GS}$  가 15V인 경우의 전류 값으로 정하였고,  $I_{OFF}$ 는  $V_{DS}$  전압이 5V일 때에 채널을 차단시키고 난 전류값으로 정의하였다. Subthreshold slope은  $V_{DS}$  전압이 5V일 때의

$I_{DS}-V_{GS}$  subthreshold 특성곡선 중 박막트랜지스터가 선형영역에 있을 때 그 접선의 기울기의 역수를 취하여 측정하였고, 전계효과 이동도는  $V_{DS}$  전압이 5V일 때 계산되었다.

제작된 SIG transistor의 크기는  $L/W = 10\mu\text{m}/10\mu\text{m}$ 이고, DG 구조는 width는  $10\mu\text{m}$ , 두 개의 channel length는 각각  $3.5\mu\text{m}$ ,  $3.5\mu\text{m}$ 이고, 게이트사이의 간격은  $3\mu\text{m}$ 이다. LDD 구조의 트랜지스터는  $L/W = 10\mu\text{m}/10\mu\text{m}$ 이고 offset 영역은  $1\mu\text{m}$ 이었다. (그림 2)에 SIG구조의 n-channel TFT의  $I_{DS}-V_{GS}$  특성 곡선이 몇가지 크기의  $V_{DS}$ 에 대하여 나타나 있다. 채널이 OFF 되었을 때에 드레인전압( $V_{DS}$ )이 커질수록 누설전류( $I_{OFF}$ )가 커지는 전형적인 다결정 박막트랜지스터의 특성을 보이고 있음을 알 수 있다.

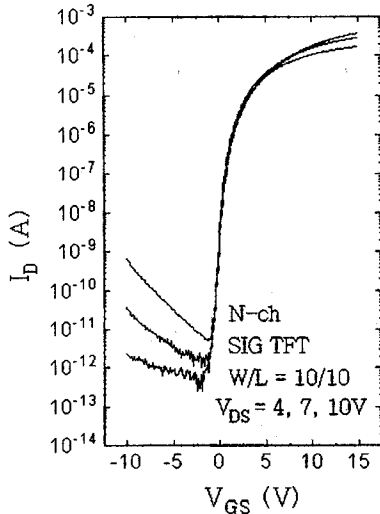


그림 2. SIG구조 TFT의  $I_{DS}-V_{GS}$  특성  
Fig. 2.  $I_{DS}-V_{GS}$  characteristics of SIG TFT

(그림 3)에는 여러가지 N-channel 소자에 대한  $I_{DS}-V_{GS}$  특성 곡선이 나타나 있다. SIG 구조에 비해 DG 구조의  $I_{ON}$ 은 다소 증가하였으나 LDD 구조의  $I_{ON}$ 은 20배정도 감소하였다. DG구조의 경우는 channel length의 총길이가  $9\mu\text{m}$ 으로써 SIG구조에 비하여  $1\mu\text{m}$  짧기 때문에 생각되며  $I_{ON}$ 이 작은 LDD구조의 경우는 저항이 큰 lightly-doped offset 영역이 있기 때문이다. 한편 채널이 OFF되었을 때의  $I_{OFF}$ 는 SIG 구조와 비교할 때에 LDD구조나 DG구조의 경우에 감소됨을 볼 수 있다. (표 1)에는 I-V 특성으로부터 구한 중요한 전기적 특성 값이 N-channel과 P-channel TFT에 대하여 각각 정리

되어있다. Field effect mobility가 전자의 경우는  $100\text{cm}^2/\text{volt-sec}$  그리고 hole의 경우는  $60\text{cm}^2/\text{volt-sec}$ 으로 계산되었다. 이 값은 grain size와 밀도를 결정하는 LPCVD 공정온도와 annealing 공정도의 값에 좌우된 것이다. 문턱전압의 크기는 P-channel의 경우가  $-3 \sim -6\text{V}$  정도로 N-channel의 2V 이하보다 크게 나타났다.

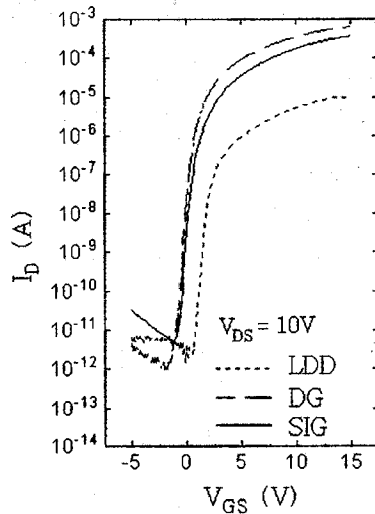


그림 3. SIG, DG, LDD 구조의 TFT의  $I_{DS}-V_{GS}$  특성곡선  
Fig. 3.  $I_{DS}-V_{GS}$  curves of TFT's of SIG, DG, and LDD structures

### 3.2. 누설전류

LCD 디스플레이의 화소에 사용되는 switching 소자로서의 박막트랜지스터는 누설전류( $I_{OFF}$ )가 작아야한다. 이는 능동행렬방식의 scanning 주기동안에 화소 전압이 일정수준이상 지탱되어야 화질이 유지되기 때문이다.<sup>[1]</sup> (그림 3)에서 보듯이  $I_{OFF}$ 는 박막트랜지스터의 구조에 따라 달라짐을 알 수 있으며, SIG 구조의 경우보다 LDD구조나 DG구조의 경우에 감소됨을 볼 수 있다. 또한 (그림 2)와 (그림 3)에서 보듯이 게이트와 드레인전압의 크기에 따라 달라짐을 알 수 있다. 이는 누설전류가 채널이 OFF되었을 때에 드레인영역의 pn junction에 걸리는 역바이어스에 의한 공핍영역(depletion region)에 포획되는 charge carrier의 이동이기 때문이며, 이러한 공핍영역의 폭은 역바이어스의 크기에 따라 커지기 때문이다. (그림 4)에는 역방향 바이어스에 따

표 1. 3 가지 구조의 박막트랜지스터의 전기적 특성

Table 1. Electrical parameters of 3 different TFT's

Channel Type	N			P		
	SIG	LDD	DG	SIG	LDD	DG
structure	SIG	LDD	DG	SIG	LDD	DG
size(W/L) [ $\mu\text{m}$ ]	10/10	10/10 offset=1	10/3.5+3.5 spacing=3	10/10	10/10 offset=1	10/3.5+3.5 spacing=3
leakage current [pA]	0.75	0.2	0.1	0.8	0.3	0.2
ON current [A]	2.08E-4	1.16E-6	3.72E-4	9.5E-5	5.3E-5	2.1E-4
effective mobility [ $\text{cm}^2/\text{Vsec}$ ]	100	100	100	60	60	60
Threshold voltage [V]	1.5	1.7	1.3	-5	-5.8	-3.5
Subthreshold slope [V/dec]	0.79	0.8	0.77	-0.83	-0.84	-0.8

른 누설전류의 변화를 SIG구조에 대하여 도시하였다.  $I_{\text{OFF}}$ 가  $(V_{\text{GS}} - V_{\text{DS}})^{1/2}$ 에 비례함을 알 수 있다.  $I_{\text{OFF}}$ 의 온도의존성을 알아보기 위하여 3가지구조의 박막트랜지스터에 대하여  $I_{\text{OFF}}$ 를 23°C, 50°C, 75°C, 100°C, 125°C에서 각각 측정하여 Arrhenius plot을 (그림 5)와 같이 구하였으며, 각 바이어스 조건에 따라 구한 activation energy를 (그림 6)에 도시하였다.  $I_{\text{OFF}}$ 가 온도의존성이 있다는 관찰은 여러 가지 누설전류 mechanism중에서 field emission mechanism을 배제할 수 있다고 믿어진다.<sup>2,3)</sup>

LDD의 경우와 작은  $V_{\text{DS}} = 4\text{V}$ 인 조건에서의 SIG 구조의 경우에는 activation energy는 실리콘의  $E_g/2$  값에 가까웠으며  $V_{\text{GS}}$ 에 무관하였다. 이것은 누설전류의 mechanism이 pure thermal generation에 의한 것임을 말하여주는 것이다.<sup>3)</sup> 이에 반하여  $V_{\text{DS}}$ 가 10V일 때의 SIG구조와 DG구조의 경우에는  $V_{\text{GS}}$ 가 음의 방향으로 증가할수록 activation energy는 감소를 하였다. 이러한 관찰은 누설전류 mechanism이 Frenkel-Poole emission에 의한 것임을 제시하는 것이다. Vincent에 따르면 Frenkel-Poole mechanism

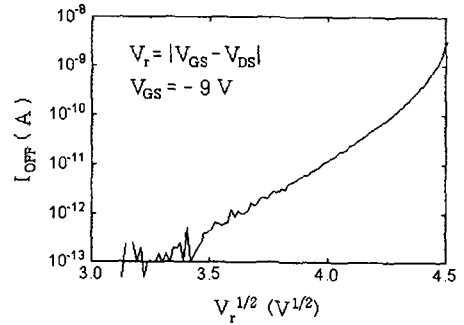


그림 4. SIG구조를 갖는 TFT의 역방향 드레인 전압  $V_r$ 에 따른 누설전류( $I_{\text{OFF}}$ )의 변화  
Fig. 4. Dependence of  $I_{\text{OFF}}$  on the reverse drain voltage  $V_r$  for SIG TFT

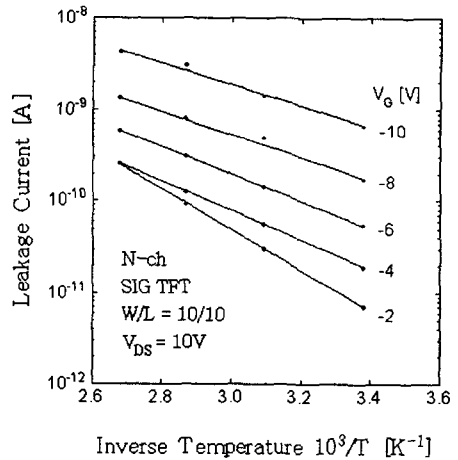
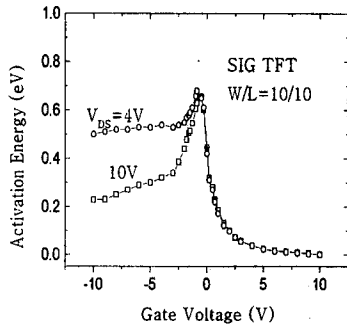
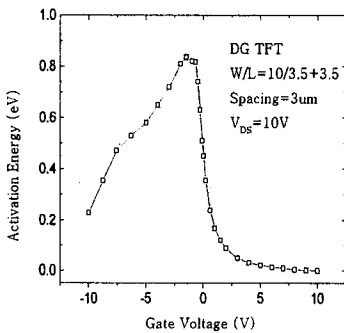


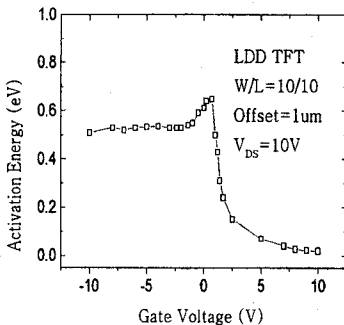
그림 5. Standard inverted gate 구조의 TFT에서 여러 가지 gate 전압에 따른 누설전류의 Arrhenius plot  
Fig. 5. Arrhenius plot of the leakage current for different gate voltages of the SIG TFT



(a)



(b)



(c)

그림 6. Activation energy의 게이트 전압 의존성  
(a) SIG구조 (b) DG구조 (c) LDD구조

Fig. 6. Dependence of the activation energy of leakage current on gate bias for TFT's with (a) SIG structure (b) DG structure (c) LDD structure

비례한다.<sup>[4]</sup> 여기서  $q$ 는 전자의 전하량,  $\beta=2.26 \times$

에 의한 전류는  $\exp(q\beta\sqrt{F}/kT)$ 에  $10^{-4} (\text{Vcm})^{1/2}$ ,  $F$ 는 전기장이다. 따라서  $\log I_{\text{OFF}}$ 와 역방향 전압( $V_r$ )의 제곱근의 그래프는 선형적인 특성을 갖게 될 것이며, SIG구조에 대한 것은 (그림 4)에서 보듯이 선형적인 관계이었다.  $V_r^{1/2}$ 가 4.0 이상이었을 때 나타나는 선형과의 차이는 hot electron effect에 기인한 것이다.<sup>3)</sup>

누설전류의 원인인 charge carrier의 생성은 일반적으로 다음의 3가지 generation mechanism이 있다.<sup>[5]</sup> 1) Pure thermal emission or thermal generation; trapped charge의 열적여기(thermal excitation)에 기인하거나, 2) Pure field emission or tunneling; 전위장벽을 통해 tunneling 하는 전계 이온화에 기인하거나, 3) Thermionic field emission or Frenkel-Poole emission; 전계에 도움을 받는 열적여기(field enhanced thermal excitation)에 의한 것이 있다. Pure field emission current는 가해진 전계에 강한 의존성을 보이지만 온도의존성은 없으며, 따라서 이 전류는 낮은 온도 높은 전계의 조건에서 지배적으로 나타난다. Pure thermal emission current는 실리콘의 진성 캐리어 농도( $n_i$ )에 비례하고,  $n_i$ 는  $\exp[-E_g/2k_B T]$ 에 비례한다. 이러한 이유로 pure thermal emission current의 activation energy는  $E_g/2$ 와 거의 같다. 또한 이 pure thermal generation current는  $V_{GS}$ 와 거의 무관한 특성을 보인다. 이에 반하여 field emission과 Frenkel-Poole emission current는  $V_{GS}$ 가 크기가 커질수록 증가한다. 이 두 전류사이의 차이점은  $|V_{GS}|$ 의 증가에 따른 field emission current의 증가는 포화에 이르지만 Frenkel-Poole emission current는 그러하지 않다는 것이다. 더욱이 후자의 activation energy는 전자의 것보다 크다. 한편 (그림 6)에서 SIG와 DG 구조에서 보여지듯이  $V_{GS}=-2V$ 에서 activation energy가 0.7~0.8eV로  $E_g/2$ 보다 크게 증가하는 것은 charge carrier의 생성이 energy gap의 중간에서라기 보다는 band-to-band 천이에 의하기 때문으로 믿어진다. 그러나 (그림 5)에서 나타나듯이  $V_{GS}=2V$ 인 경우에 activation energy는 크지만 누설전류는 보다 작았다.

(그림 3)을 보면 SIG구조와 DG구조를 갖는 박막 트랜지스터의 경우  $|V_{GS}|$  증가에 따라  $I_{\text{OFF}}$  이 증가를 하는데 이러한 증가는 Frenkel-Poole emission에 의해 누설전류가 증가하기 때문이다. SIG와 DG의 두 박막트랜지스터의 차이점은 후자의 경우가 전자의 경우보다  $I_{\text{OFF}}$  이 작은데 그 이유는 DG구조를

갖는 박막트랜지스터의 경우 drain boundary에 걸리는 전계가 거의 반으로 줄기 때문이다. 채널 위치에 따른 전계의 크기를 공정(ATHENA) 및 소자(ATLAS) 시뮬레이터를 이용하여 구한 값을 3가지 구조에 대하여 (그림 7)에 나타내었다.<sup>8,9)</sup> 이때 active 영역의 poly-Si은 floating되어 있는 상태로 소자 시뮬레이션을 수행하였다. LDD 구조의 경우에도 lightly doped 영역에서의 전압강하에 의하여 drain의 공핍영역에 걸리는 전계의 크기는 감소함을 알 수 있다.<sup>6,7)</sup> LDD 구조를 갖는 박막트랜지스터의 경우  $|V_{GS}|$ 가 작을 때  $I_{OFF}$ 가 약간 증가함을 보이는데 이것은 채널이 형성되기 전의 resistive current를 나타낸다.  $|V_{GS}|$ 가 더 커지면  $I_{OFF}$ 은  $|V_{GS}|$  크기와 관계없이 일정한 값을 갖게되는데 이 전류가 pure thermal generation current이다. 이러한  $I_{OFF}$ 의  $|V_{GS}|$ 에 대한 무의존도성은  $V_{DS}$ 가 작을 때 SIG 구조를 갖는 박막트랜지스터에서도 나타나는데 (그림 2)에  $V_{DS}=4V$ 일 때의 곡선이 그것을 보여준다.

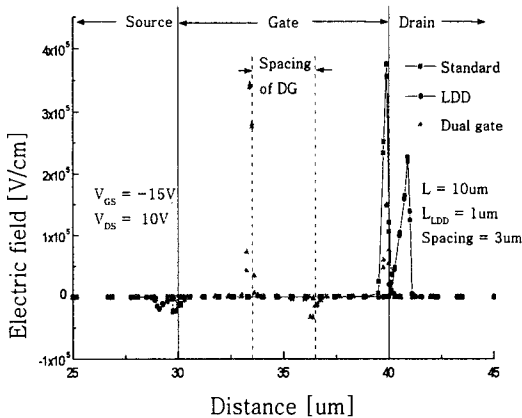


그림 7. 3 가지구조의 박막트랜지스터에 대한 채널 위치에 따른 전기장의 세기

Fig. 7. Electric field along the channels of 3 different structures

#### 4. 결 론

석영기판(quartz) 위에 고온 공정으로 진행된 standard single gate(SIG) 구조, dual gate(DG) 구조, lightly doped drain(LDD) 구조를 갖는 다결정 실리콘 박막트랜지스터를 제작하고 전기적 특성과 누설전류 mechanism을 알아보았다. 누설전류와

ON-current를 측정해본 결과 dual gate 구조의 전기적 특성이 가장 우수한 것으로 나타났다. N-channel dual gate TFT인 경우, 누설전류는 0.1pA, ON-current는  $3.7 \times 10^{-4}A$ , channel mobility는  $100cm^2/Vsec$ , 문턱전압은 1.3V, subthreshold slope은 0.77V/dec를 얻었다. 따라서 이 값은 pixel의 스위칭 소자뿐만 아니라 이를 구동하는 주변회로로 사용되기에 충분한 전기적 특성인 것이다. 누설전류의 gate전압과 drain전압 의존성과 온도의존성을 살펴본 결과,  $V_{DS} = 10V$ 인 경우에 SIG와 DG TFT는 Frenkel-Poole emission이, LDD 경우와  $V_{DS} = 4V$ 인 SIG구조 경우에는 thermal generation current가 각각 지배적인 누설전류 mechanism이었다.

#### 참 고 문 헌

1. I-Wei Wu, "High-definition displays and technology trends in TFT-LCDs," J. SID, vol. 2(1), pp. 1-14 (1994).
2. J. G. Fossum, A. Ortiz-Conde, H. Shichijo, and S. K. Banerjee, "Anomalous leakage current in LPCVD polysilicon MOSFET's," IEEE Trans. Electron Dev., vol. ED-32, pp. 1878-1884, (1985).
3. C. A. Dinitriadis, P. A. Coxon, and N. A. Economou, "Leakage current of undoped LPCVD polycrystalline silicon thin-film transistors," IEEE Trans. Electron Dev., vol. 42, pp. 950-955 (1995).
4. G. Vincent, A. Chantre, and D. Bois, "Electric field effect on the thermal emission of traps in semiconductor junctions," J. Appl. Phys., vol. 50, pp. 5484-5488 (1979).
5. C.-F. Yeh, S.-S. Lin, T. Yang, C. Chen and Y. Yang, "Performance and off-state current mechanisms of low-temperature processed poly-Si TFT with liquid phase deposited SiO<sub>2</sub> gate insulator," IEEE Trans. Electr. Dev. vol. 41(2), pp. 173-179 (1994).
6. Y. Uemoto, "A high-voltage polysilicon TFT with multigate structures," IEEE Trans. Electron Dev., vol. 38(1), pp. 95-100 (1991).
7. Y.-S. Kim and M.-K. Kim, "Degradation due to electrical stress of poly-Si TFT with various LDD lengths," IEEE Electron Dev. Lett., vol. 16(6), pp. 245-247 (1995).
8. Silvaco International, "ATHENA user's manual" (1998).
9. Silvaco International, "ATLAS user's manual" (1998).