

NVSM 회로설계를 위한 SONOSFET SPICE 파라미터의 최적화

논문
11-5-2

The Optimization of SONOSFET SPICE Parameters for NVSM Circuit Design

김병철*, 김주연*, 김선주*, 서광열*

(Byung-Cheul Kim, Joo-Yeon Kim, Seon-Ju Kim, Kwang-Yell Seo)

Abstract

In this paper, the extraction and optimization of SPICE parameters on SONOSFET for NVSM circuit design were discussed. SONOSFET devices with different channel widths and lengths were fabricated using conventional 1.2 μm n-well CMOS process. And, electric properties for dc parameters and capacitance parameters were measured on wafer. SPICE parameters for the SONOSFET were extracted from the UC Berkeley level 3 model for the MOSFET. And, local optimization of I_{ds} - V_{gs} curves has carried out in the bias region of subthreshold, linear, saturation respectively. Finally, the extracted SPICE parameters were optimized globally by comparing drain current (I_{ds}), output conductance(g_{ds}), transconductance(g_m) curves with theoretical curves in whole region of bias conditions. It is shown that the conventional model for the MOSFET can be applied to the SONOSFET modeling except sidewalk effect.

Key Words(중요용어) : SONOSFET, NVSM(비휘발성 반도체메모리), SPICE Parameters, MOSFET Level 3 Model

1. 서 론

MONOS(metal-oxide-nitride-oxide-semiconductor)구조는 스케일 다운(scale-down) 측면에서 한계를 보인 MNOS(metal-nitride-oxide-semiconductor) 구조의 대체소자로서 제안되어¹⁾, 현재 저전압용, 고집적 비휘발성 반도체 메모리를 위해서 가장 이상적인 구조로서 주목받고 있다.

SONOSFET(polysilicon-oxide-nitride-oxide-semiconductor)는 소자의 기본적인 동작특성인 기억트랩 특성, 기억전하의 전송 및 트래핑과 방출기구의 규명에 관한 기초적인 연구가 지속적으로 이루어져

왔다²⁾. 최근에는 고집적, 저전압화를 이루기 위한 유전막의 최적조건 및 제조공정 뿐만 아니라 스케일 다운에 따른 기억트랩의 특성 및 동작특성에 대한 연구가 집중적으로 수행되고 있는 추세이다.^{3),4),5)} 그러나 실제로 응용되기 위한 셀배열(cell array) 등의 회로설계기술에 대한 연구는 여전히 미흡한 실정이다.

본 연구에서는 SONOS EEPROM을 사용한 기억 회로를 설계하기에 앞서 회로 전산모사에 반드시 필요한 SPICE 파라미터를 추출하여 최적화하고, 그 결과 및 추출기법에 대하여 고찰하였다. 이를 위해 1.2 μm n-웰 CMOS 제조공정을 이용하여 채널길이 및 폭이 각각 다른 SONOSFET를 제작하고 dc와 전기용량에 대한 전기적 특성을 측정하였다. SPICE 파라미터 추출을 위해 MOSFET의 UC 버클리 레벨 3 모델을 적용하였으며, 크기가 다른 소자로

* : 광운대학교 공대 전자재료공학과(신기술연구소)
(서울시 노원구 월계동 447-1, Fax:02-941-6008
E-mail: kyseo@daisy.kwangwoon.ac.kr)
1997년 12월 3일 접수, 1998년 2월 2일 심사완료

부터 측정된 $I_{ds}-V_{gs}$ 특성곡선과 이론곡선을 일치(fitting)시켜 각각의 SPICE 파라미터를 추출하였다. 추출된 파라미터를 최적화하기 위해 크기가 다른 소자로부터 각각 측정된 $I_{ds}-V_{gs}$ 특성 곡선의 하위 문턱(subthreshold), 선형(linear), 포화(saturation) 영역에 대하여 각각 부분적인 최적화를 실시하고, 마지막으로 모든 영역의 바이어스에 대해 드레인 전류(drain current), I_{ds} , 출력 컨덕턴스(output conductance), g_{ds} , 전달컨덕턴스(transconductance), g_m , 특성곡선과 이론식을 비교하여 각각의 추출된 SPICE 파라미터를 최적화 하였다.

2. 소자제작 및 측정

SONOSFET 제작을 위하여 저항률이 $6\sim 9 \Omega \cdot \text{cm}$ 이고 (100), p형인 150 mm 기판을 사용하였다. 제조공정은 기존의 $1.2 \mu\text{m}$ n-웰 CMOS 공정기술을 이용하였다. 특히 게이트 유전막인 ONO 공정시 터널링 산화막은 750°C 에서 N_2/O_2 부분압법(partial-pressure method)에 의해서 3분간 열적 성장시켰다. 질화막은 745°C 의 저압화학기상퇴적(LPCVD)로에서 18 분간 10:1의 $\text{NH}_3:\text{SiH}_2\text{Cl}_2$ 혼합기체를 반응시켜 산화막 위에 퇴적시켰다. 블로킹 산화막은 920°C 의 저압화학기상퇴적으로에서 $\text{O}_2/\text{H}_2/\text{LN}_2$ 기체를 흘리면서 90 분간 질화막을 산화시켜 형성하였다. 성장한 터널링 산화막, 질화막, 블로킹 산화막의 두께는 각각 30Å, 165Å, 65Å 이었다. 소오스와 드레인 은 열 캐리어(hot carrier) 문제를 해결하기 위해 DDD(double-doped-drain) 구조로 형성하였다. 제작한 소자의 단면도는 그림 1과 같다.

SPICE 파라미터 추출을 위한 테스트 패턴은 채널길이와 폭이 각각 다른 다수의 n-채널 및 p-채널의 SONOSFET 기억소자들로 구성되며, 각 소자에 대한 규격 및 배치는 표 1 및 그림 2와 같다.

SPICE 파라미터 추출은 SILVACO의 UTMOST III를 이용하여 웨이퍼상에서 dc와 전기용량의 전기적 특성을 측정하였다. 측정된 결과를 이론식과 일치시키기 위해 MOSFET의 UC 버클리 레벨 3 모형을 사용하였다.

3. 결과 및 고찰

DC 파라미터를 추출하기 위하여 NSUB(large geometry parameter), IS(saturation current), RSH(sheet resistance), L_{eff} , R_{sd} (short channel parameter), W_{eff} (narrow width effects parameter),

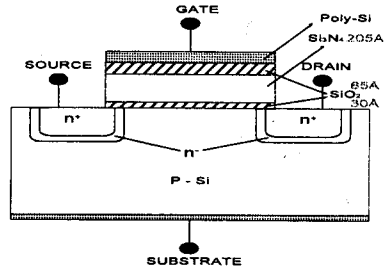
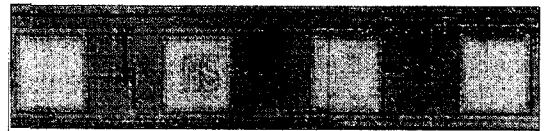
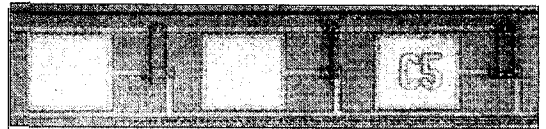


그림 1. N-SonosFET의 단면도
Fig. 1. Cross-sectional view of N-SonosFET



(a) module A



(b) module C

그림 2. (a) Module A 및 (b) module C의 배선도
Fig. 2. Layout of (a) module A and (b) module C

표 1. Module A 및 C에 포함된 SPICE 파라미터 추출을 위한 각 소자들의 크기

Table 1. Specification of the SONOSFETs on module A and B for SPICE parameters extraction

SAMPLE	MODULE	CHANNEL-TYPE	W(μm)×L(μm)	No. of PAD			
				S	D	G	B
A4	A	N	15 × 1.5	A1	A4	A2	A3
A6	A	P	15 × 1.7	A8	A6	A2	A7
C3	C	N	15 × 15	C2	C3	C1	C11
C5	C	N	2.0 × 15	C2	C5	C1	C11
C15	C	P	15 × 15	C12	C15	C10	C13

VMAX(limited velocity of hot electron), ETA(static feedback parameter), All_SubV(subthreshold drain current modeling)의 8가지 측정항목으로 크게 구분하여, 순서대로 곡선일치(curve fitting)를 실시하였다. 인가된 최대 게이트 전압은 L_{eff} , R_{sd} 측정과 W_{eff} 를 측정할 때는 7V 이고 나머지 항목의 측정은 5V를 인가하였다. 그리고 드

레인 전압은 ETA 측정할 때는 최대전압이 4.5V이었다. 게이트에 인가된 전압이 5V 이상이면 질화막에 전하가 주입되어 초기 문턱전압이 변하게 된다. 따라서 VT를 초기조건으로 재 설정 한 후 또 다른 항목의 측정을 실시하였다.

우선 NSUB와 관련된 파라미터를 추출하기 위해 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$ 인 large geometry 소자에서 Vbs에 따른 Ids-Vgs를 측정하여 VT0, GAMMA, NSUB, PHI와 같은 large geometry 모형 파라미터를 추출하였다. 이때 드레인에 인가되는 전압은 0.1V로 고정하였다. IS는 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$ 인 소자에서 드레인과 기판 또는 소오스와 기판사이에 순방향 전압을 인가하여 그때 흐르는 전류를 측정함으로써 IS, N과 같은 파라미터를 추출하였다. RSH는 저항의 양 단자에 전압을 인가하여 이때 흐르는 전류를 측정하여 면저항을 계산하였다. Leff, Rsd는 Vbs=0V, Vds=0.1V인 바이어스 조건에서 W가 15 μm 이고, L=15 μm , L=1.5 μm 인 2개의 소자에 대하여 각각 Ids-Vgs를 측정하여 RD, RS, LD, THETA, U0와 같은 짧은 채널(Short Channel) 파라미터를 추출하였다. Weff는 Leff와 동일한 바이어스 조건에서 L=15 μm 이고, W=15 μm , W=2.0 μm 인 2개의 소자에 대하여 각각 Ids-Vgs를 측정하여 WD, DELTA와 같은 좁은 폭 효과(narrow width effects) 파라미터를 추출하였다. VMAX는 $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$ 인 소자에서 Vds에 따른 Ids-Vgs를 측정하여 유효 이동도(effective mobility)를 추출한 후 드레인 전압에 따른 유효 이동도의 관계로부터 VMAX를 추출하였다. ETA는 드레인 전압에 대한 문턱전압(VTH)의 의존성을 모델링하기 위한 파라미터로서 $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$ 인 소자에서 Vds에 따른 Ids-Vgs를 측정 한 후, 드레인 전압에 대한 문턱전압의 관계로부터 ETA를 추출하였다. All_SubV는 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$ 인 소자에서 Ids-Vds, 게이트 인가전압이 낮은 경우의 Ids-Vgs, 높은 경우의 Ids-Vgs를 측정함으로써 빠른 표면 상태(fast surface state) 모형 파라미터인 NFS를 추출하였다. 마지막으로 추출된 파라미터를 최적화 하는데 사용하기 위해 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$, $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$, $W \times L = 2.0 \mu\text{m} \times 15 \mu\text{m}$ 인 3개의 소자에 대하여 각각 Ids-Vds, Ids-Vgs 특성곡선을 측정하였다. 전기용량 파라미터는 CGSO, CGDO, CGBO, CJ(CJ, PB, MJ, FC, Cpar), CJSW(CJSW, PBSW, MJSW, FC, Cpar)순서로 추출하였다. CGD 측정은 게이트와 드레인간에 -4V에서 +4V까지 바이어스를 인가하여 그때 측정되는 겹치기 전기용량을 측정하고 이 값

을 채널 폭으로 나누어 준 값을 CGDO로 결정하였다. CGSO 측정은 전압인가 단자를 게이트와 소오스로 할뿐, CGDO 측정방법과 동일하다. CGB 측정은 게이트와 기판간에 -4V에서 +4V까지 바이어스를 인가하여 겹치기 전기용량을 측정하고 채널 길이로 나누어 CGBO로 결정하였다. CJ는 다이오드 접합에 0.3V에서 -5V까지 바이어스를 인가하여 전기용량을 측정하고 바이어스가 0일 때의 곡선에 일치시키므로서 PB, MJ, FC와 같은 파라미터를 추출하였다. 그리고 보정은 웨이퍼 위에 제작한 dummy 소자를 사용하였다. CJSW 도 CJ와 동일한 방법으로 결정하였다. 그림 3에 SPICE 파라미터 추출과정을 순서도로 나타내었다.

채널의 크기가 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$, $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$, $W \times L = 2.0 \mu\text{m} \times 15 \mu\text{m}$ 인 3개의 n-채널 SONOSFET의 선형눈금(linear scale) Ids-Vgs 특성곡선으로부터 깊은 선형(deep linear) 영역만을 선택하여 문턱전압 모형 파라미터를 최적화한 결과는 그림 4와 같다. NSUB, GAMMA, VT0와 같은 파라미터들이 최적화 되며 그 값은 각각 $2.67 \times 10^{16} \text{cm}^{-3}$, $0.3853 \text{V}^{1/2}$, 1.868V 이었다.

그림 5는 채널의 크기가 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$, $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$, $W \times L = 2.0 \mu\text{m} \times 15 \mu\text{m}$ 인 3개의 n-채널 SONOSFET의 로그눈금(log scale) Ids-Vgs 특성곡선으로부터 하위문턱(subthreshold) 영역만을 선택하여 하위문턱 모형 파라미터인 NFS를 최적화한 결과를 나타낸 것이며, 그 값은 $5.9 \times 10^{11} \text{cm}^{-2}$ 이었다. 여기서 에러율은 정해진 바이어스 범위의 모든 측정 점에 대하여 "error_i = (이론값_i-측정값_i)/측정_i"의 관계로부터 계산되었으며, 평균 에러율은

$$\frac{100}{N} \sum_{i=0}^N error_i, \text{ rms 에러율은 } \frac{100}{N} \sqrt{\sum_{i=1}^N (error_i)^2}$$

의 수식으로부터 계산되었다.

그림 5의 로그눈금 Ids-Vgs 특성곡선은 기울기가 다른 두 부분으로 구분되는데 소자특성의 저하로 해석되는 기울기가 완만한 부분은 사이드워크(sidewalk) 효과로 인한 기생누설전류(parasitic leakage current) 때문이다.⁶⁾ 이러한 특성은 기존의 MOSFET level 3 모형으로 모델링하는 것이 어려우며, 에러율 또한 70.55%로 높았다.

그림 6은 채널의 크기가 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$, $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$, $W \times L = 2.0 \mu\text{m} \times 15 \mu\text{m}$ 인 3개의 n-채널 SONOSFET의 선형눈금 Ids-Vgs 특성곡선으로부터 이동도와 저항모형 파라미터를 최적화한 결과를 나타낸 것이다. RS, RD, LD, WD, DELTA,

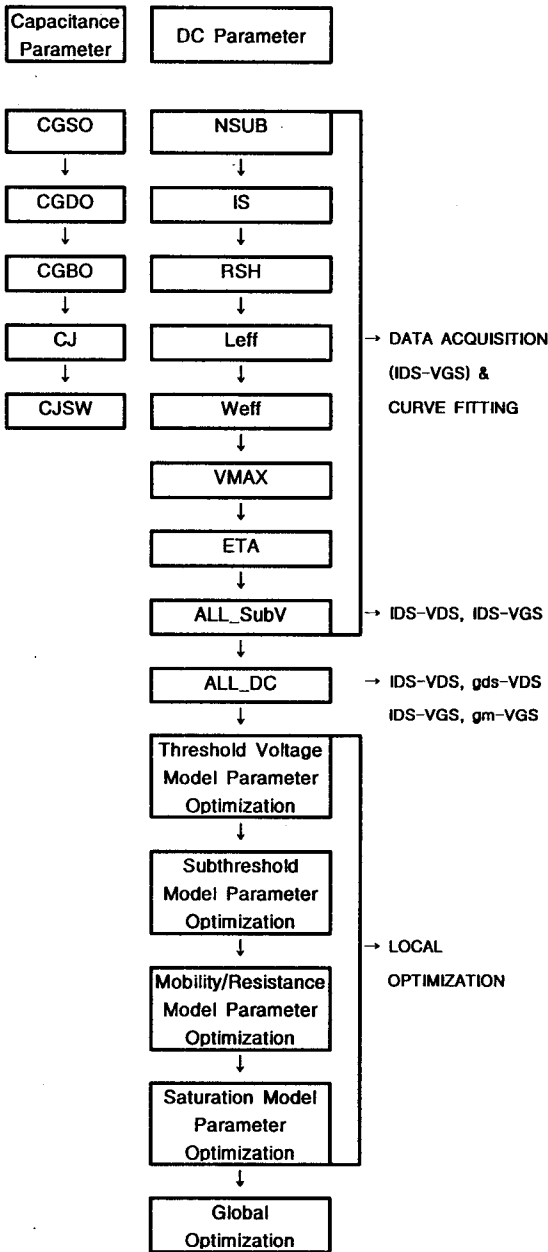


그림 3. SPICE 파라미터 추출과정
Fig. 3. Flow chart of SPICE parameter extraction

THETA와 같은 파라미터들이 최적화 되며, 각각 48.186 ohm, 50.990 ohm, 0.28 μm , 0.54 μm , 0.3299, 0.0272이었다.

그림 7은 채널의 크기가 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$, $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$, $W \times L = 2.0 \mu\text{m} \times 15 \mu\text{m}$ 인 3개의

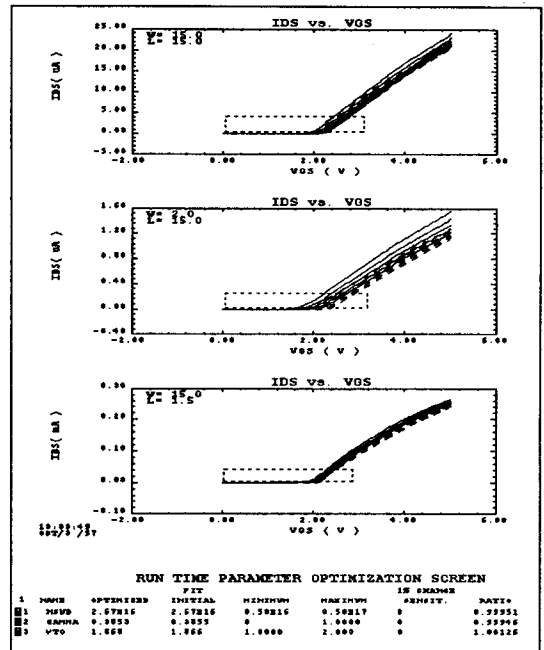


그림 4. 문턱전압모형 파라미터의 국부적인 최적화
Fig. 4 Local optimization of threshold voltage model parameters

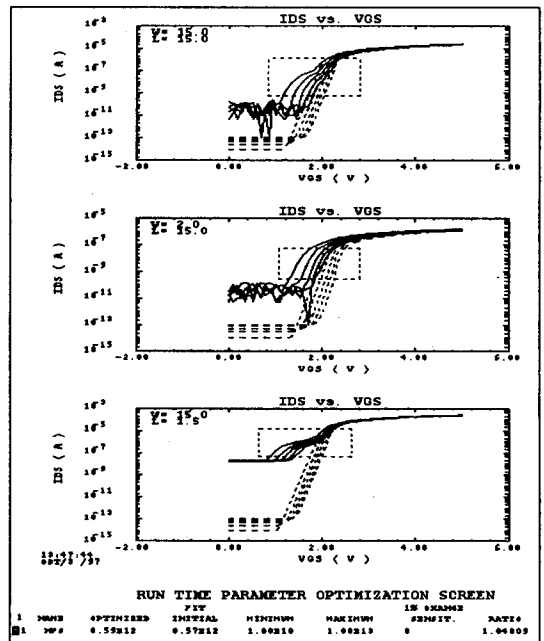


그림 5. 하위문턱모형 파라미터의 국부적인 최적화
Fig. 5. Local optimization of subthreshold model parameters

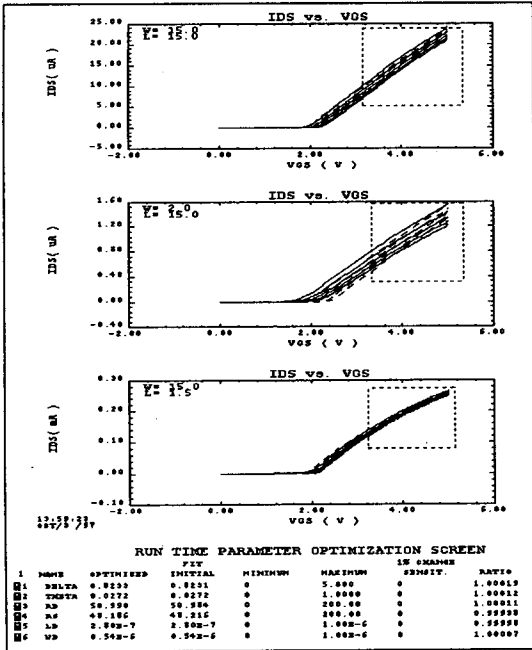


그림 6. 이동도와 저항모형 파라미터의 국부적인 최적화

Fig. 6. Local optimization of mobility and resistance model parameters

n-채널 SONOSFET의 Ids-Vds, Ids-Vgs 특성곡선으로부터 포화 영역만을 선택하여 포화 모형 파라미터를 최적화 한 결과를 나타낸 것이다. DELTA, VMAX, ETA와 같은 파라미터들이 최적화 되며 그 값은 각각 $0, 2.2 \times 10^5$ m/s, 0.036이었다.

그림 8은 채널의 크기가 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$, $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$, $W \times L = 2.0 \mu\text{m} \times 15 \mu\text{m}$ 인 3개의 n-채널 SONOSFET의 Ids-Vgs, Ids-Vds, gm-Vgs, gds-Vds 특성곡선으로부터 그림 4, 그림 5, 그림 6, 그림 7에서 부분적으로 최적화 한 각각의 파라미터들을 전체적으로 최적화 시킨 결과를 나타낸 것이다. n-채널, p-채널 SONOSFET의 에리울은 각각 18.12%, 11.47%이었다.

측정된 Ids-Vgs 특성곡선과 레벨 3 모형 이론식을 일치시켜 얻은 각각의 파라미터들은 하위문턱, 선형, 포화 영역 중에서 어떤 한 영역의 바이어스 조건에만 의존하는 특성이 강하기 때문에 전 영역의 바이어스 조건에 적합한 파라미터라고 볼 수 없다. 따라서 각 바이어스 조건에 강한 파라미터만을 따로 분리하여 하위문턱, 선형, 포화 영역에 대하여 각각 최적화를 실시한 후 최종적으로 전 영역

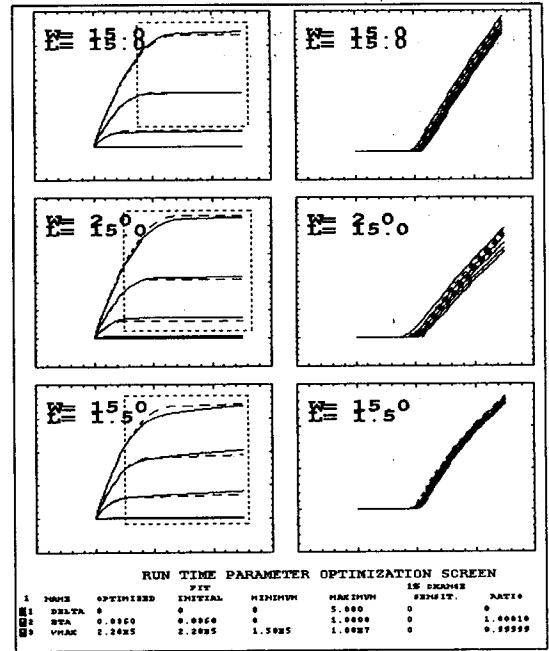


그림 7. 포화모형 파라미터의 국부적인 최적화
Fig. 7. Local optimization of saturation model parameters

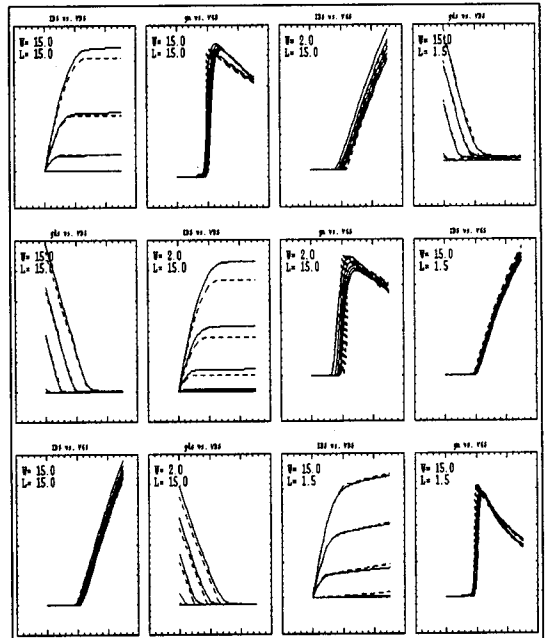


그림 8. SONOSFET SPICE 파라미터의 최적화
Fig. 8. Global optimization of SONOSFET SPICE parameters

표 2. Fit, 국부적인 최적화, 전체적인 최적화로 부터 얻은 SONOSFET SPICE 파라미터의 비교

Table 2. Comparison of SONOSFET SPICE parameters acquired from curve fitting, local optimization, global optimization

변수명	소자구분	N-Channel			P-Channel			단위	Default
		FIT	Local optimization	Global optimization	FIT	Local optimization	Global optimization		
KP		8.8E-5	-	9.0E-5	3.11E-5	-	3.6E-5	AV2	2.0E-5
TOX		1.79E-8	-	1.79E-8	1.79E-8	-	1.79E-8	m	1.0E-7
NSUB		1.80E16	2.67E16	1.80E16	2.47E16	1.00E16	2.47E16	1/cm	1E15
GAMMA		0.4003	0.3859	0.3853	0.4679	0.5060	0.4679	V1/2	
THETA		0.0333	0.0272	0.0510	0.0930	0.0609	0.0930		0
PHI		0.7260	-	0.7260	0.7421	-	0.7421	V	
ETA		0.2362	0.036	0.1500	0.7061	0.7061	0.7061		0
VTO		1.901	1.868	1.868	-1.5743	-1.535	-1.6405	V	0
RD		34.278	50.99	34.278	22.5	82.458	22.5	Ohm	0
RS		34.278	48.186	34.278	22.5	71.076	22.5	Ohm	0
RSH		50	-	50	100	-	100	Ohm/sq.	0
DELTA		0.4882	0.8233	0.4890	0.4882	0.8233	0.4890		0
CGD0		2.04E-10	-	-	2.04E-10	-	-	F/m	0
CGS0		2.04E-10	-	-	2.04E-10	-	-	F/m	0
CGB0		1.00E-12	-	-	1.00E-12	-	-	F/m	0
CJ		1.57E-4	-	-	1.57E-4	-	-	F/m2	0
PB		0.6418	-	0.6418	-	-	-	V	0.75
MJ		0.4992	-	-	0.4992	-	-		0.33
CJSW		0.39E-9	-	-	0.39E-9	-	-	F/m	0
MJSW		0.2662	-	-	0.2662	-	-		0.33
FC		0.4500	-	-	0.4500	-	-		0.5
IS		1.24E-15	-	1.24E-15	1.22E-15	-	1.22E-15	A	1.0E-14
N		1.033	-	1.033	1.102	-	1.102		1.0
NFS		2.00E12	5.9E11	5.9E11	2.00E12	3.8E12	5.9E11	1/cm	0
LD		2.17E-7	2.80E-7	2.78E-7	2.13E-7	3.5E-7	2.13E-7	m	0
WD		0.61E-6	0.54E-6	0.57E-6	0.57E-6	0.57E-6	0.57E-6	m	0
U0		454.36	-	454.36	160.87	-	160.87	cm/V-s	600
VMAX		0.79E5	2.20E5	2.10E5	0.45E5	4.9E5	5.0E5	m/s	0
XJ		0.35E-6	-	0.25E-6	0.31E-6	-	0.35E-6	m	0
예러율				18.12%			11.47%		

의 바이어스 조건에 대하여 최적화를 실시하였다. 표 2에 그 결과를 정리하였다.

4. 결 론

기존의 1.2 μm n-웰 CMOS 제조공정으로 SONOSFET를 제작하였다. n-채널 SONOSFET의 경우 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$, $W \times L = 15 \mu\text{m} \times 1.5 \mu\text{m}$, $W \times L = 2.0 \mu\text{m} \times 15 \mu\text{m}$, p-채널 SONOSFET의 경우는 $W \times L = 15 \mu\text{m} \times 15 \mu\text{m}$, $W \times L = 15 \mu\text{m} \times 1.7 \mu\text{m}$ 인 소자로부터 MOSFET의 UC Berkeley Level 3 모형을 적용하여 SONOSFET에 대한 SPICE 파라미터를 추출하였다. SONOSFET에 대한 모형이 없어 기존의 MOSFET 모형을 적용해 본 결과 사이드워크 효과로 인한 특성을 제외하면 모델링이 가능함을 알 수 있었다.

참 고 문 헌

1. Y. Yatsuda, T. Hagiwara, S. Minami, R. Kondo, K. Uchida, K. Uchiyumi, "Scaling Down MNOS

Nonvolatile Memory Devices", Jpn. J. Appl. Phys., Vol.21, Suppl.21-1, pp.85-90, 1982
 2. C.-C. Chao, M. White, "Characterization of Charge Injection and Trapping in Scaled SONOS/MONOS Memory Devices", Solid-State Electronics, Vol.30, pp.307-319, 1987
 3. M. L. French, M. White, "Scaling of Multidielectric Nonvolatile SONOS Memory Structures", Solid-State Electronics, Vol.37, pp.1913-1923, 1994
 4. 이상배, 이상은, 서광열, "저전압 EEPROM을 위한 Scaled MONOS 비휘발성 기억소자의 제작 및 특성에 관한 연구, 전기전자재료학회지", Vol.8 No.6, p.727, 1995
 5. 이상배, 김선주, 이성배, 서광열, "저전압 NVSM을 위한 Scaled MONOS 구조의 블로킹 산화막-절화막 계면에 관한 연구", 응용물리, Vol.9 No.6, p.773, 1996
 6. J. J. Chang, "Nonvolatile Semiconductor Memory Devices", Proc. of IEEE, Vol.64, No.7, p.1039 1976