

Batch 형태 LPCVD법에 의한 폴리실리콘의 인농도 및 Rs 특성에 관한 연구

논문
11-3-5

A Study on the Phosphorous Concentration and Rs Property of the Doped Polysilicon by LPCVD Method of Batch type

정양희*, 김명규**

(Yang-Hee Joung, Myoung-Kyu Kim)

Abstract

The LPCVD system of batch type for the massproduction of semiconductor fabrication has a problem of phosphorous concentration uniformity in the boat. In this paper we study an improvement of the uniformity for phosphorous concentration and sheet resistance. These property was improved by using the nitrogen process and modified long nozzle for gas injection tube in the doped polysilicon deposition system. The phosphorous concentration and its uniformity for polysilicon film are measured by XRF(X-ray Fluorescence) for the conventional process condition and nitrogen process.

In conventional process condition, the phosphorous concentration, its uniformity and sheet resistance for polysilicon film are in the range of $3.8\sim 5.4\times 10^{20}$ atoms/cm³, 17.3% and 59~69Ω/□, respectively. For the case of nitrogen process the corresponding measurements exhibited between $4.3\sim 5.3\times 10^{20}$ atoms/cm³, 10.6%and 58~81Ω/□. We find that in the nitrogen process the uniformity of phosphorous concentration improved compared with conventional process condition, however, the sheet resistance in the up zone of the boat increased about 12 Ω/□.

In modified long nozzle, the phosphorous concentration, its uniformity and sheet resistance for polysilicon films are in the range of $4.6\sim 5.1\times 10^{20}$ atoms/cm³, 5.3% and 60~65Ω/□ respectively. Annealing after N₂ process gives the increment of grain size and the decrement of roughness. Modification of nozzle gives the increment of injection amount of PH₃. Both of these suggestion result in the stable phosphorous concentration and sheet resistance. The results obtained in this study are also applicable to process control of batch type system for memory device fabrication.

Key Words(중요용어) : LPCVD(저압화학기상증착), Phosphorous Concentration(인농도), Sheet Resistance(층 저항)

1. 서 론

* : 여수대학교 전기공학과

** : LG 반도체 생산기술센터

(전남 여수시 둔덕동 산 96-1, Fax:0662-650-0342

E-mail: yhj@yosu.yfnu.ac.kr)

1997년 10월 6일 접수, 1998년 1월 21일 심사완료

최근 반도체 소자의 고집적화, 초미세화의 경향과 더불어 생산성 향상을 위한 방법에 있어서도 많은 연구가 진행되고 있다. 이와 같은 생산성 향상의 방법으로는 한장의 웨이퍼에서 가능한 많은 소자를 생산하기 위해 6 inch에서 8 inch 웨이퍼로의 전환, 웨이퍼의 공정 진행 방법에 있어서 1회에 한장씩의 웨이퍼를 처리하는 단일 웨이퍼 처리 방식에서 수매에서 수십매를 동시에 처리하는 batch 방식으로의 전

환 그리고 폴리실리콘 증착에서와 같이 기존의 undoped 폴리실리콘을 증착한 후 POCl_3 를 넣고 열확산을 이용하여 불순물을 주입하는 방식¹⁻²⁾에서 최근에는 폴리실리콘 성장과 doping을 동시에 진행하는 in-situ doping 방법³⁻⁴⁾을 채택하는등 가능한 공정의 진행수를 감소시키려는 노력들이 기울어져 왔다.

이에따라 종래의 4MDRAM급 이하의 공정 진행 방법은 공정의 특성에 따라 다르지만 생산성 향상 측면에서 가능한 batch처리 방법을 선호해 왔으나 최근 8 inch 웨이퍼와 같은 대구경화와 16MDRAM과 같은 고집적화에따라 웨이퍼내에서의 공정의 균일성은 물론 batch처리 방식의 적용에 있어 chamber내의 웨이퍼 위치별 공정규격의 균일성에 따른 소자의 신뢰성과 안정성에 미치는 문제가 심각하게 대두되었다.

따라서 본 논문에서는 8inch 웨이퍼의 150매/batch 저압화학기상 증착장치(LPCVD)⁵⁾에서의 in-situ doped 폴리실리콘 증착시 batch 처리 방식의 결점인 boat내 웨이퍼 위치별 인농도의 불균일성 문제를 확인하고, 이를 개선하기 위하여 공정조건 변경 및 장치개조를 통한 실험을 실시하고 그 결과를 고찰하였다. 또한 조건별 폴리실리콘의 인농도, R_s ⁶⁻⁷⁾ 및 폴리실리콘 표면의 grain size와 micro-roughness⁸⁻⁹⁾를 측정하여 이들 상호간에 미치는 영향을 조사하였다. 이와같은 공정 및 장치의 개조는 웨이퍼의 대구경화와 batch처리 방식에서오는 공정규격의 불안정성을 방지하고 고품질의 DRAM 제조 기술 개발을 위한 공정기술의 기초자료로 적용될 수 있을 것으로 사료된다.

2. 실험장치 및 방법

본 실험에 사용되어진 150매/batch 처리 방식의 저압화학기상 증착장치(LPCVD) 시스템 구성도는 그림 1과 같고, 장치의 특징으로는 막두께 및 폴리실리콘의 불순물 농도 균일성 향상을 위해 boat rotation 및 PH_3 의 주입관은 long nozzle로 구성되어 있다. boat의 회전 속도는 0.25rpm이며 boat내 웨이퍼 피치는 5.2mm이다. 또한 long nozzle의 사양은 그림 2에 나타난 바와같이 nozzle의 길이는 1,233mm이고 PH_3 주입구 직경은 6.35mm로 4개의 분사 홀이 배열되어 있다.

시료제작은 실리콘 순수 웨이퍼의 불순물 제거를 위해 1 : 99 HF:DI water에서 60초간 세정⁵⁾을 실시

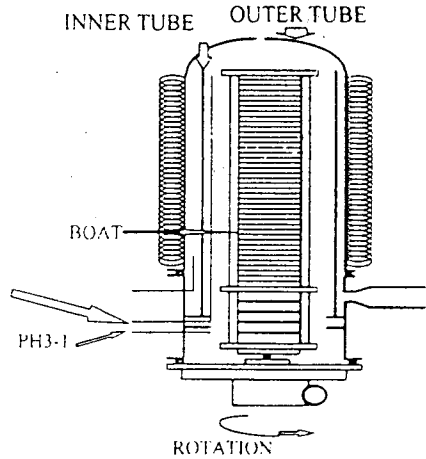


그림 1. LPCVD 장치의 개략도

Fig. 1. Schematic diagram of LPCVD system.

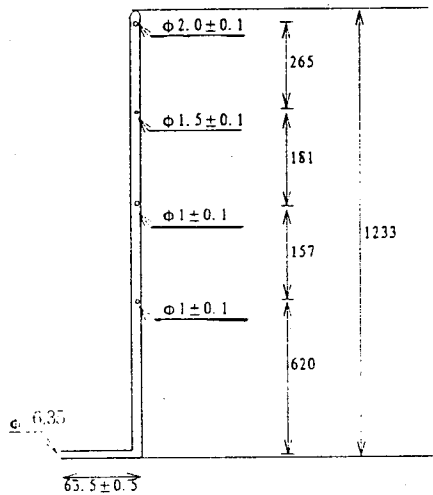


그림 2. Long nozzle 개략도

Fig. 2. Schematic diagram of long nozzle.

하고 폴리실리콘 증착전 산화막 성장을 위해 850°C에서 O_2 와 H_2 를 2 : 1의 비율로 약 12분간 진행하였으며, 이때 성장된 산화막의 두께는 모니터 웨이퍼 상에서 약 $135 \pm 5 \text{ \AA}$ 으로 rudolph사의 model FE-4인 ellipsometer를 이용하여 측정하였다. 이 게이트 산화막은 이 위에 증착하게 될 게이트 폴리실리콘의 insulator 역할을 하기 때문에 두께 조절이 아주 중요하며 외부로부터의 불필요한 불순물 침투를 억제하기 위하여 게이트 폴리실리콘과 연속으로 진행되었다. 여기서 폴리실리콘의 증착을 위해 batch

방식의 LPCVD에서 SiH₄와 PH₃를 14 : 1의 비율로 0.8 Torr에서 실시하였고, 이때 폴리실리콘 증착율은 20-25Å/min이며, 폴리실리콘 증착후 인농도는 XRF (X-ray Fluorescence)로 측정하였다. 인 농도의 측정은 batch 장치의 특성을 고려하여 boat의 웨이퍼 위치별로 up, center, low zone으로 구분하여 조사하였다.

또한 boat내 zone별 인농도 저하가 나타난 부분의 균일성 개선을 위하여 carrier 가스로서 N₂를 사용하여 PH₃ + N₂를 주입함으로써 PH₃의 boat내 up zone으로의 균일한 분사를 유도하여 인농도 균일성 개선을 실험하였다. 이와같이 N₂를 사용한 시료를 다시 boat내 웨이퍼 위치별로 인농도 및 Rs를 측정하여 N₂를 사용하지 않은 기존의 공정 결과와 비교하였다. Rs 측정에 사용된 장치는 4 Dimension사의 4-point probe를 이용하였다. 그 결과 N₂를 첨가하여 폴리실리콘을 증착한 경우 인농도의 균일성 향상 및 up zone의 인농도 저하를 개선하였으나 up zone에서 Rs의 증가가 초래되었다. 따라서 N₂ 첨가의 영향에 따른 Rs의 변화를 확인하기 위하여 인농도를 제외한 폴리실리콘의 grain size 및 micro-roughness를 조사하여 이것과 장치의 zone별 Rs와의 상관 관계를 고찰하였다. 또한 온도 및 N₂ 유량의 변화에 따른 인농도 및 Rs의 변화를 조사하고, 인농도 및 Rs의 균일성에 대한 공정여유 확보를 위하여 N₂가 첨가된 시료의 anneal 처리 및 장치내 long-nozzle의 개조를 실시하였다. 이에따른 인농도, Rs 및 AFM 분석을 통한 grain size 및 micro-roughness를 조사하여 grain size 및 micro-roughness가 Rs에 미치는 영향을 고찰하였다.

3. 결과 및 논의

반도체 소자의 고집적화 및 대용량화와 더불어 공정조건의 미세 변화가 공정 결과에 미치는 영향이 매우 크게 나타나는 경우가 있는데 그 중 본 논문에서는 전극으로 가장 일반적으로 사용되어지고 있는 doped 폴리실리콘 증착후, Rs와 관련된 인농도의 균일성에 대하여 논의하기로 한다. 특히 최근 8인치로 웨이퍼 대규격화 및 100매 이상을 일괄 처리하는 batch 방식의 LPCVD 시스템에서 doped 폴리실리콘을 증착할 때 boat내 웨이퍼 위치별 인농도의 균일성을 얻는 것은 Rs의 관리 측면에서 중요한 공정요소의 하나이다. 따라서 본 내용에서는 인농도의 균일성에 대한 공정 여유를 확보 할 수 있는 방법 및 그 결과를 조사하기로 한다.

3.1 N₂ 가스에 따른 인농도 균일성의 변화

16MDRAM의 게이트로 널리 사용되고 있는 폴리실리콘의 인농도 규격은 대략 4~5.5×10²⁰원자/cm³의 범위에 있으며 폴리실리콘 증착시 SiH₄와 PH₃만을 사용한 기존의 공정조건에서 150매/batch 처리 방식으로 폴리실리콘을 증착하였을 경우 boat내 웨이퍼 위치별 인농도는 그림 3과 같다.

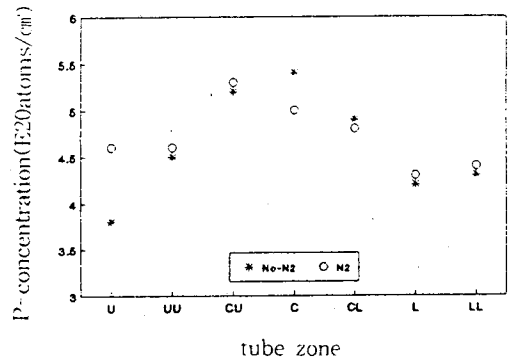


그림 3. LPCVD 장치의 zone별 인농도 측정치
 Fig. 3. Experimental data for measurement of phosphorus concentration with contents of zone in LPCVD system.

그림3에서 보는 바와같이 인 농도의 범위는 3.8~5.4×10²⁰atoms/cm³으로 boat의 up zone에서는 인농도가 규격 이하이며, center zone에서는 규격의 상한치를 나타내고 있어 인농도의 공정규격에 있어서 불안정성을 보이고 boat내 전체 균일성은 약 17.3%를 나타냈다. 이와같은 기존의 공정조건에서 특히 up zone의 인농도가 규격의 하한치를 벗어나는 것은 PH₃가 boat의 up zone까지 균일한 분포로 주입되지 않는 것으로 해석할 수 있다.

이를 개선하기 위하여 PH₃ 주입시 carrier 가스로서 N₂를 약 130 sccm/min을 동시에 주입함으로써 long nozzle내의 가스 공급을 증가시켜 boat내의 up zone까지 PH₃가 고루 분포될수 있도록 하였다. 이와 같은 공정조건에 의해 doped 폴리실리콘을 증착한 경우 boat내 웨이퍼 위치별 인농도의 균일성을 그림 3에 비교하여 나타내었다. 그 결과 인농도의 범위는 4.3~5.3×10²⁰atoms/cm³으로 그림 3에서와 같이 N₂를 사용하지 않은 기존 공정조건에서 보다 center에서는 크게 개선되지 않았으나 up zone에 대해서는 공정규격의 중심값에 있으면서 boat내 균일성이 약 10.6%로 기존의 공정조건에서 보다 약 40% 정도의

균일성 향상을 나타내고 있음을 알 수 있다. 이는 CVD 시스템 장치 구조상 long nozzle의 하부에 가스 주입구가 있으므로 nozzle의 중간이하에서 가스의 소모가 많고 up zone에서 고갈 될 수 있는데 이를 보상하기 위하여 N₂가스를 첨가하여 가스 공급 압력을 높여줌으로써 up zone까지 PH₃가 도달 될 수 있도록 한 것이 유효했던 것으로 해석할 수 있다.

3.2 carrier N₂ 가스와 Rs의 관계

일반적으로 doped 폴리실리콘의 Rs는 인농도에 따라 가장 큰 영향을 받는 것으로 알려져 있으며⁶⁻⁷⁾ 16MDRAM급 이상의 doped 폴리실리콘에서 두께 1500Å 정도에 대한 Rs의 규격은 약 50-80 Ω/□의 범위에 있다. 그림 4는 N₂ 첨가 전,후의 boat내 zone별 Rs의 관계를 나타낸 것으로 N₂를 첨가함으로써 up zone에서의 인농도가 향상되어 상대적으로 Rs가 낮아 질 것으로 예상되었으나 그림에서와 같이 N₂첨가전의 인농도가 낮을 때 보다 Rs가 오히려 높게 나타나고 있고, 특히 up zone에서는 규격의 상한치에 있으면서 불균일성을 나타내고 있다.

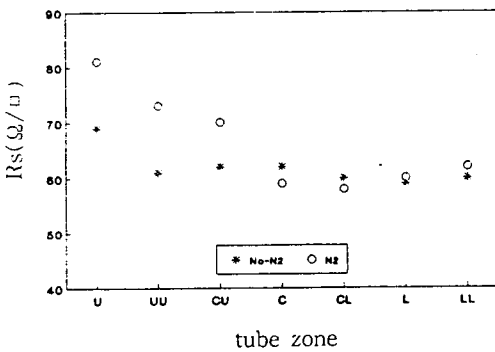


그림 4. Zone에 따른 Rs 측정치
Fig. 4. Sheet resistance with contents of zone.

따라서 carrier N₂의 첨가에 대한 Rs의 변화를 조사하기 위하여 N₂유량을 0, 80, 130sccm로하여 각각의 Rs를 측정하였으며, 그 결과는 그림 5와 같다. 그림 5에서와 같이 동일한 공정조건에서 N₂ 유량에 따라 up zone의 Rs에서 큰 차이를 보이고있다. 특히 인농도의 균일성 개선을 위해 130sccm/min의 N₂를 사용한 경우 기존 공정에 의한 Rs보다 약 12 Ω/□ 정도 높게 나타남을 볼 수 있다.

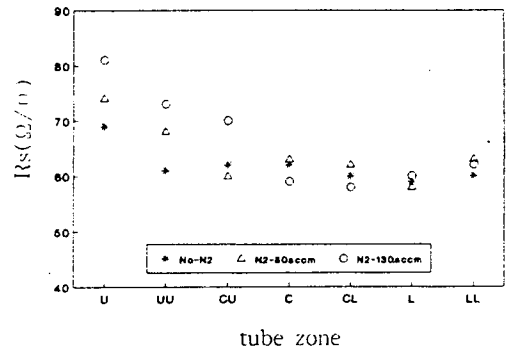


그림 5. N₂ 첨가에 따른 zone별 Rs
Fig. 5. Sheet resistance with contents of N₂ gas and zone.

표 1. 실험 공정조건

Table 1. Experimental process condition.

구분	공정온도 (°C)	Gas Flow(sccm)		
		PH3/1	PH3/2	N ₂
N ₂ 공정	576	38	42	130
	578.5			
	570			
	568.5			
Test 1	579	39	43	0
	578			
	569			
	570			
Test 2	577	39	43	0
	577			
	571			
	570			
Test 3	575	39	44	0
	577			
	571			
	569			

또한 공정 파라미터중 온도, 주입 가스 유량등과 같은 기타 공정조건이 인농도 및 Rs에 미치는 영향을 조사하기 위하여 표1과 같은 조건으로 실험한 결과를 그림 6, 7에 나타내었다. 그림 6, 7에서와 같이 공정온도 및 가스유량 변화에 대한 인농도 및 Rs의 변화는 공정 규격을 크게 벗어나지는 않으나 다소의 영향이 있는 것으로 나타났고, 그림 6와 같이 N₂를 사용함으로써 up zone의 인농도가 N₂ 사용전보다 0.5×10²⁰원자/cm³ 정도 우수하나 Rs에 있어서는 그림

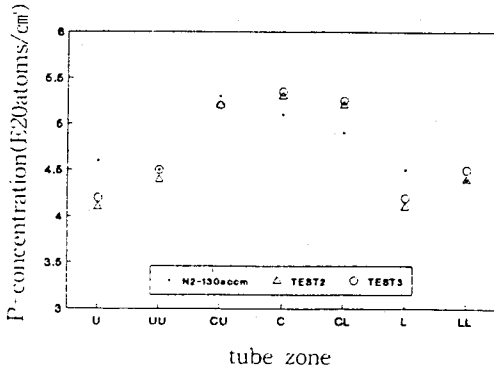


그림 6. 공정조건에 따른 인농도
 Fig. 6. Phosphorus concentration with contents of process condition.

7에서와 같이 N₂를 사용하지 않았을 경우가 Rs의 균일성이 좋고 안정적인 상태를 나타내고 있다. 이는 150매/batch 이상의 폴리실리콘 증착에 있어서는 doped 폴리실리콘의 Rs가 인농도에만 관련된 것이 아니라 N₂의 영향에 따른 폴리실리콘 막질의 변화와 같은 열화 현상이 관련되어 있는 것으로 해석할 수 있다.

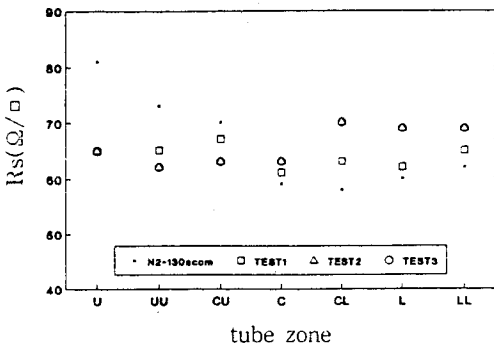


그림 7. 공정조건에 따른 Rs
 Fig. 7. Sheet resistance with contents of process condition.

3.3 Rs와 폴리실리콘 roughness

N₂ 가스의 첨가에 의하여 boat내 up zone의 인농도는 향상되었으나 Rs가 높아지는 원인을 밝히기 위하여 공정조건에 따른 폴리실리콘의 표면에 대한 AFM 분석을 실시하였다. 우선 N₂를 사용하지 않은 기존 폴리실리콘 증착후에 center zone에 비해 상대적으로 인농도는 낮으나 Rs가 높은 up zone과 Rs가

낮은 low zone의 grain size와 roughness를 분석한 결과는 그림 8에 나타나있다.

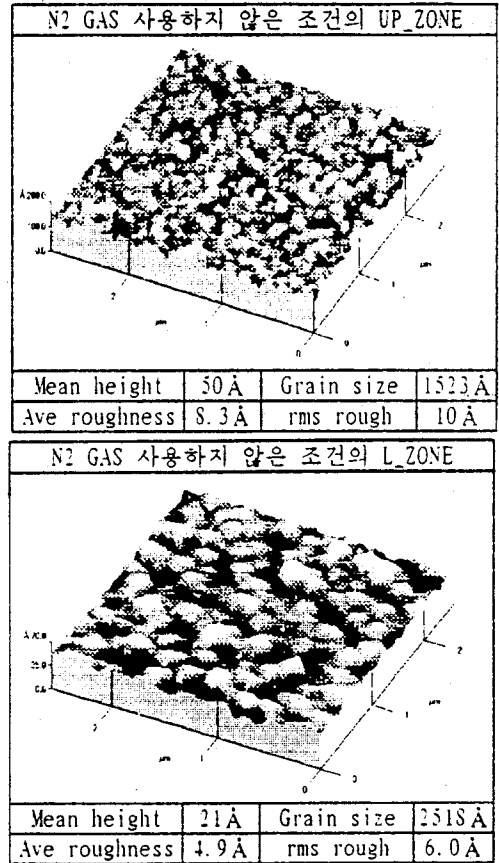


그림 8. Non-N₂ 공정에서의 zone별 grain size 및 micro-roughness.
 Fig. 8. Grain size and micro-roughness with contents of zone in no-N₂ process condition.

그림 8에서와 같이 동일 장비 및 N₂가 첨가되지 않은 기존 조건에서 상대적으로 Rs가 높은 up zone의 grain size가 1523Å으로 low zone에 비해 약 40% 정도 상대적으로 작고, roughness는 4Å 높은 것으로 평가 되었다. 이는 grain size가 작고, roughness가 클수록 Rs는 높은 것으로 해석할 수 있다. 또한 그림 9는 N₂ 가스 사용전후에 대한 up zone의 폴리실리콘 표면을 AFM분석을 한 결과로 N₂를 사용한 시료에 대한 grain size 및 roughness가 각각 1173Å, 14Å으로 나타났다. 이는 기존 공정

에 N₂를 사용함으로써 boat내 같은 위치에서도 grain size가 작고, roughness가 크게 나타나 N₂의 사용은 인농도 개선에 효과는 있었으나, grain 및 roughness등과 같은 막질 변화에 의하여 Rs의 상승 요인으로 작용되었다.

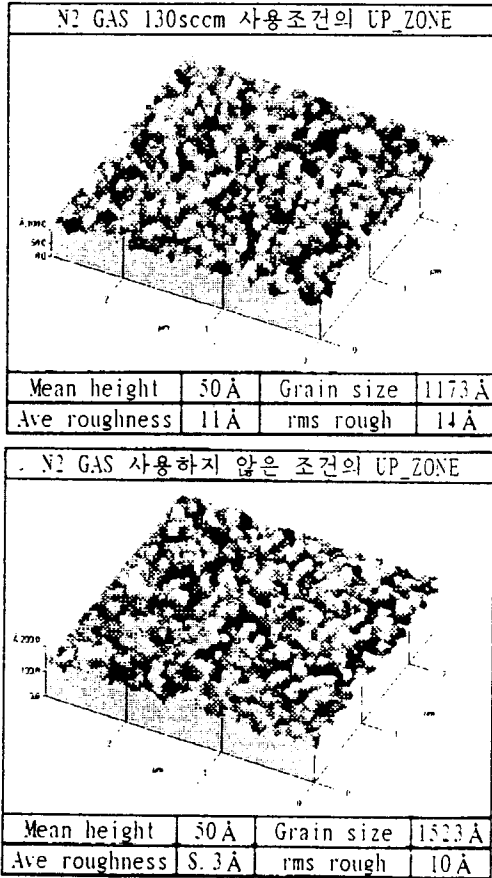


그림 9. N₂ 첨가에 따른 grain size 및 micro-roughness.

Fig. 9. Grain size and micro-roughness with contents of N₂ gas.

따라서 인농도 균일성의 개선과 Rs를 동시에 만족시키기 위한 방법으로 N₂를 사용하여 폴리실리콘을 증착한 후 이를 900°C에서 10분간 anneal을 한 경우 인농도 및 Rs는 각각 $4.4 \sim 5.3 \times 10^{20}$ atoms/cm², 57~67 Ω/□의 범위로 나타났으며, 폴리실리콘 표면에 대해서도 그림 10에 나타낸것과 같이 grain size는 1,928 Å으로 anneal전보다 약 64%정도 커지며, roughness는 6.8Å으로 51% 정도 감소하여 N₂를 사용하지 않

는 경우보다도 grain size 및 roughness 측면에서 우수한 상태를 얻을 수 있으므로 N₂의 사용 및 anneal을 통하여 Rs의 공정 여유를 갖을 수 있음을 확인할 수 있었고 Rs에 미치는 영향은 인농도 및 폴리실리콘의 표면 상태와 관련됨을 알 수 있다.

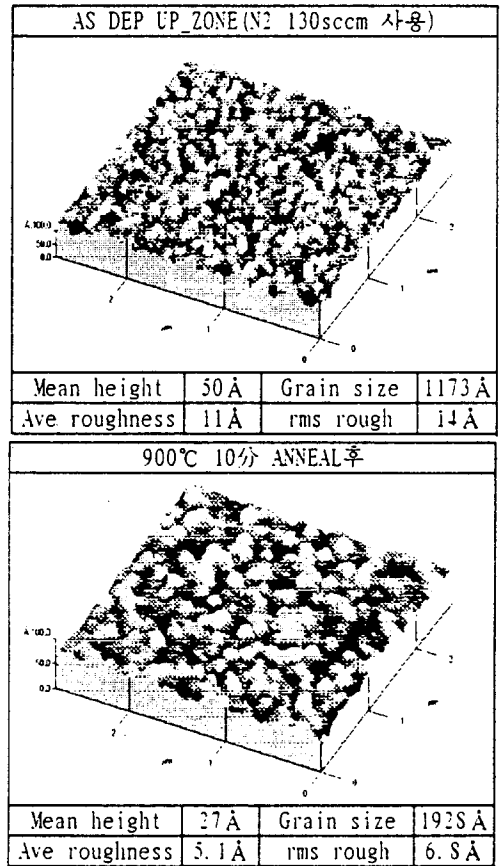


그림 10. Anneal 공정에 따른 grain size 및 micro-roughness.

Fig. 10. Grain size and micro-roughness with contents of anneal process

3.4 장치 개조를 통한 인농도 및 Rs의 개선

N₂의 첨가와 anneal 처리의 공정으로 boat내 인농도의 균일성 개선 및 grain size와 roughness에 영향을 주어 Rs측면에서 양호한 것으로 평가되었으나 이는 공정수의 증가를 초래하여 반도체 소자의 대량생산이라는 측면에서 바람직하지 못한 것으로 사료된다. 따라서 기존 폴리실리콘의 증착과 같이 N₂를 사용하지 않으면서 150매/batch를 처리 할 수 있는 방

법으로 PH₃가스의 적절한 분사에 의한 Boat내 zone 별 인농도의 균일성을 갖기위하여 PH₃가스 주입관인 long nozzle을 그림 11과 같이 구조 변경하였다. 그림 11에서와 같이 기존의 nozzle보다 5mm 길게 하면서 가스 분사홀을 5개로 가변하였으며, low zone에 위치한 홀의 크기는 기존보다 약 0.3mm 작게하고 up zone의 홀 크기는 0.5mm 크게하여 같은 양의 가스 주입에 대해서도 low zone에서의 PH₃ 소모를 줄이고 up zone으로의 PH₃분사가 유도될 수 있도록 설계하였다. 이와 같이 제작된 가스 분사관을 사용하여 폴리실리콘의 grain size나 roughness에 영향을 미쳤던 N₂를 사용하지 않고 기존의 공정으로 폴리실리콘을 증착한 결과 폴리실리콘의 표면 상태에 있어서 기존 N₂ 없이 증착되었던 폴리실리콘과 동일한 grain size나 roughness를 얻을 수 있었다. 그림 12는 장치 개조전 N₂ 사용 유,무와 장치 개조후 N₂를 사용하지 않은 인농도를 나타낸 것으로 장치 개조후 boat내 zone별 인농도의 균일성이 5.3%로 개조전 기존의 long nozzle에서 인농도의 균일성 개선을 위해 N₂를 사용했을 때 보다 약 5.0%의 인농도 균일성 개선 효과가 있었다. 또한 Rs측면에서도 그림 13에서 보는바와 같이 장치 개조후 60~65Ω/□로 안정적인 값을 얻을 수 있었다. 이상과 같은 장치개조로 안정적인 인농도 및 Rs를 얻을 수 있는 것은 up zone으로의 PH₃ 유도 분사가 유효했던 것으로 해석되며, 일반적으로 알려진 인농도의 상승이 Rs의 저하를 나타내는 기존의 사실과도 일치하는 것으로 나

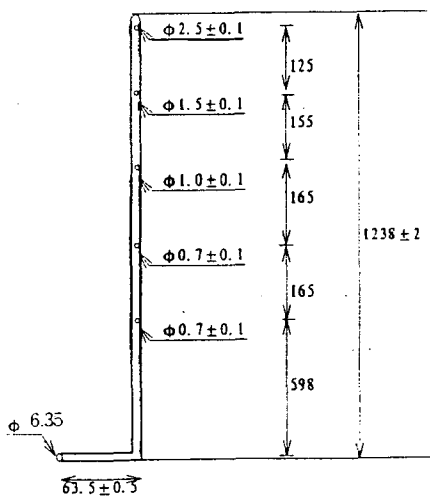


그림 11. 개조된 Long nozzle 개략도
Fig. 11. Schematic diagram of modified long nozzle.

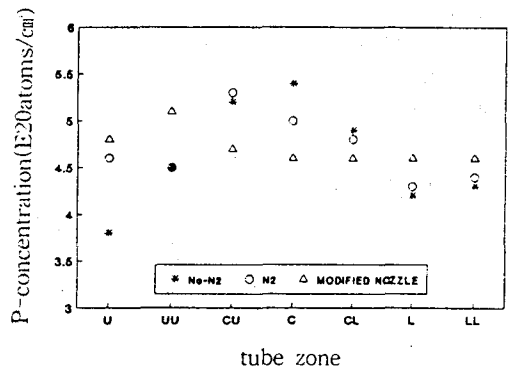


그림 12. Long nozzle 개조후 zone별 인농도
Fig. 12. Phosphorus concentration with contents of zone after modified long nozzle.

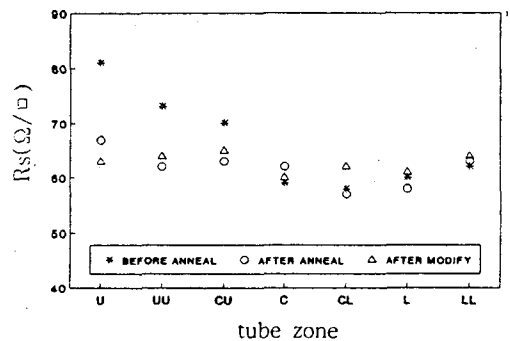


그림 13. Long nozzle 개조후 zone별 Rs
Fig. 13. Sheet resistance with contents of zone after modified long nozzle.

타났다. 이와같이 장치의 개조를 통하여 폴리실리콘 증착시 공정 추가를 피하면서 150매/batch를 처리하더라도 인농도 및 Rs에 있어서 공정의 여유를 갖을 수 있어 반도체 소자의 제조에 있어서 신뢰성과 안정성에 기여 할 수 있을 것으로 사료된다.

4. 결 론

반도체 소자의 고집적화, 미세화와 함께 최근 공정의 특성에 따라 수십배 이상을 동시에 처리하는 batch 공정이 선호되고 있으나 boat의 대용량화로 인한 boat내 zone별 공정규격을 만족시키는 것이 중요한 문제로 대두되었다.

따라서 본 논문에서는 반도체 소자의 게이트 절연막으로 일반적으로 사용되는 doped 폴리실리콘의

150매/batch 증착공정에서 발생하는 boat내 zone별 인농도와 Rs의 균일성을 개선하기 위하여 공정 조건의 변화 및 장치구조의 개조를 통하여 다음과 같은 결론을 얻었다.

1. 기존의 장치에 carrier 가스로 N₂를 첨가함으로써 boat내 인농도 균일성이 17.3%에서 10.6%로 약 40%의 균일성 향상은 얻었으나, N₂첨가에 기인된 폴리실리콘의 grain 및 roughness의 변화로 인하여 up zone에서 Rs가 높아짐을 알 수 있다.
 2. N₂ 처리후 anneal을 통하여 up zone에서의 안정적인 인농도 및 Rs를 얻을 수 있었다.
 3. PH₃ 분사 nozzle의 개조로 up zone으로의 PH₃를 유도하였으며, 이는 N₂를 사용하지 않더라도 up zone에서의 인농도 상승과 Rs의 저하를 얻을 수 있어 150매/batch 처리공정에서도 인농도 및 Rs의 균일성에 대한 공정의 여유를 확보할 수 있다.
- 이상과 같은 공정 조건 변화 및 장치개조를 통하여 150매/batch 처리의 폴리실리콘 증착에서도 공정 규격의 여유를 얻을 수 있고, batch 처리 공정에서 발생할 수 있는 공정 규격의 불균일성을 해결함으로써 반도체 소자의 신뢰성과 안정성을 확보하여 안정적인 생산에 기여할 수 있을 것으로 사료된다.

참 고 문 헌

1. S. Nakayama, H. Yonezawa and J. Murota " Deposition of phosphorous doped silicon films by thermal decomposition " J. appl, Phys, Vol. 23, p.L493, 1984.
2. J. C. Hsich, Y. K. Fang, C. W. chen " The origins of the performance degradation of implanted P⁺ polysilicon gated p-channel MOSFET with/without rapid thermal annealing" IEEE Trans, Elec. Dev, Vol.41, No.5, may 1994.
3. P. Habas and S. Selberherr " On the effect of non-degenerate doping of polysilicon gate in thin oxide MOS device" Solid-state electronics, Vol.33, No.12, p.1539, 1990.
4. Y. Okazaki etal, " Sub-1/4 μ m dual gate CMOS technology using in situ doped polysilicon for N and PMOS gates" VLSI Technology. Dig, p.95, 1993.
5. M. Yoshimaru, N. Inoue, M. Itoh, H. Kurogi " High quality ultra thin nitride film selectively deposition on polysilicon electrode by LPCVD with in situ HF vapor cleaning " IEDM 92, p.271, 1992.
6. H. M. Rein and M. Schroter " Experimental determination of the internal base sheet resistance of bipolar transistor under forward bias condition " Solid state electronics, Vol.34, No.3, p.301, 1991.
7. F. S. Becker, H. Oppolzer and H. Schaber " Low resistance poly crystalline silicon by boron or arsenic implantation and thermal crystallization of amorphously deposited films " J. Appl, phys, Vol.56, p.1233, 1984.
8. M. Kimura, H. Morita, T. Yasue " Surface micro-roughness induced electrical instability and dielectric breakdown phenomena in Si/SiO₂ system " SDM 92, p.17, 1992.
9. T. Ohmi, M. Miyashita, M. Itano " Dependence of thin oxide films quality on surface micro-roughness " IEEE Trans, electron devices, Vol.39, No.3, p.537, 1992.