

질화막 성장의 하지의존성에 따른 적층캐패시터의 이상산화에 관한 연구

논문
11-1-6

A Study on the Abnormal Oxidation of Stacked Capacitor due to Underlayer Dependent Nitride Deposition

정양희
(Yang-Hee Joung)

Abstract

The composite $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2(\text{ONO})$ film formed by oxidation on nitride film has been widely studied as DRAM stacked capacitor multi-dielectric films.

Load lock(L/L) LPCVD system by HF cleaning is used to improve electrical capacitance and to scale down of effective thickness for memory device, but it brings a new problem. Nitride film deposited using HF cleaning shows selective deposition on poly silicon and oxide regions of capacitor. This problem is avoidable by carpeting chemical oxide using H_2O_2 cleaning before nitride deposition.

In this paper, we study the limit of nitride thickness for abnormal oxidation and the initial deposition time for nitride deposition dependent on underlayer materials. we proposed an advanced fabrication process for stacked capacitor in order to avoid selective deposition problem and show the usefulness of nitride deposition using L/L LPCVD system by H_2O_2 cleaning. The natural oxide thickness on polysilicon monitor after HF and H_2O_2 cleaning are measured 3~4Å and 6~7Å, respectively.

Two substrate materials have the different initial nitride deposition times. The initial deposition time for polysilicon is nearly zero, but initial deposition time for oxide is about 60seconds. However the deposition rate is constant after initial deposition time.

The limit of nitride thickness for abnormal oxidation under the HF and H_2O_2 cleaning method are 60Å, 48Å, respectively. The results obtained in this study are useful for developing ultra thin nitride fabrication of ONO scaling and for avoiding abnormal oxidation in stacked capacitor application.

Key Words(중요용어) : Abnormal oxidation(이상산화), L/L LPCVD(L/L 저압화학기상증착기), Memory device (기억소자), Natural oxide(자연산화막)

1. 서 론

최근 memory device의 고집적화에 따라 16 MEGA 또는 64MEGA DRAM design rule에서 요구되는 전기용량 확보를 위해 유전막으로써 질화막의 사용 및 박막화 그리고 단면적 증대를 위한 Fin 구조에 대한 연구가 활발히 진행되어지고 있다. 특

히 LPCVD 질화막의 산화에 의해 형성되는 DRAM 다층절연막 $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2(\text{ONO})$ 구조에 대한 연구가 폭넓게 진행되어지고 있으며¹⁻⁵⁾ 유전막의 박막화를 위해 질화막 두께의 감소뿐아니라⁶⁾ 하층산화막의 제어⁷⁾가 불가피하게 되었다. 이와같은 하층산화막 두께 제어를 위해 SONOS 캐패시터의 질화막 증착 방법으로 node poly위에 RTP법을 이용한 질화막의 성장 및 질화막 성장시 load lock(L/L)이라고 하는 진공시스템을 LPCVD loading부에 부착하여 로 내로 웨이퍼 이동중에 성장되는 자연산화막을 억제하는 L/L LPCVD법등이 사용되어지고 있다.⁸⁻⁹⁾

* : 여수수산대학 전기공학과
연락처:전남 여수시 둔덕동 산 96-1
접수일자 : 1997년 9월 13일
심사완료 : 1997년 11월 15일

그러나 L/L LPCVD법에 의해 질화막을 성장시킬 때 시료웨이퍼상에서 질화막이 성장되어질 부분의 막 종류에 따라 초기 질화막 성장율이 달라 선택적으로 두께의 차이나는 하지의존성의 문제가 발생하게 되었고 이것에 의한 캐패시터의 이상산화라고 하는 새로운 문제가 제기되었다.¹⁰⁾ 즉, 시료 웨이퍼상에서 산화막이 있는 부분과 폴리실리콘막이 있는 부분의 질화막 초기 성장율의 차이로 일정시간 질화막을 증착했을 때 산화막상의 질화막 초기 성장 속도가 느려 폴리실리콘막 위에서보다 질화막이 얇게 성장되고 이 질화막에 상층산화막을 성장시킬때 유전막인 질화막의 성분이 대부분 고갈되어 버리는 이상산화의 불량이 생기게 된다. 이에따라 캐패시터의 안정성과 신뢰성에 문제로 대두하게 되었다.

따라서 본 논문에서는 유전막으로써 질화막을 증착하는 L/L 장치에서 질화막을 증착할 경우 질화막 초기 성장시간의 하지의존성을 조사하였으며 이 하지의존성을 개선하기 위하여 질화막 성장 조건에서 질화막 증착전 세정방법 및 질화막 성장 공정 온도가 하지의존성에 미치는 영향을 조사하였고, 이상산화 발생의 임계 두께와 단면 관찰을 통하여 새로운 질화막 증착 방법이 캐패시터의 신뢰성과 안정성 그리고 이상산화 억제에 미치는 영향을 고찰하였다.

2. 시료제작 및 실험 방법

본 실험에 사용되어진 시료는 전기용량 증대를 위하여 1.5Fin구조의 적층캐패시터로 제작되었으며 그림1은 node poly 증착후 건식각과 습식각 공정을 통해 Fin 구조의 유전막 증착전의 형태를 나타낸 것이다.

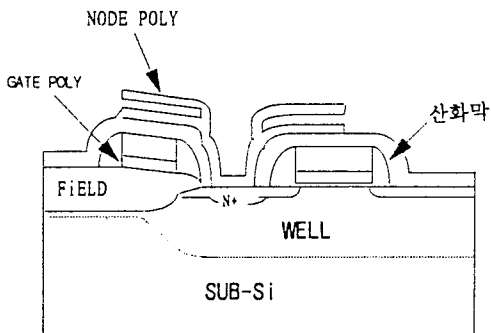


그림 1. ONO 유전막 증착전 캐패시터부 단면도
Fig. 1. The cross section of capacitor before ONO dielectric film deposition.

그림1에서 보는바와 같이 시료의 캐패시터 형성 부분은 node poly가 있는 폴리실리콘 영역 및 절연막으로써 산화막이 있는 부분으로 형성되어있다. 여기서 유전막으로 질화막을 성장할 때 막 종류에 따른 질화막 성장의 하지의존성을 확인하기 위해 시료 웨이퍼의 node poly 및 산화막부분과 동일한 조건의 모니터 웨이퍼를 제작하였다. node poly의 모니터 웨이퍼로서는 실리콘 순수 웨이퍼를 사용하였고, 내산화성 모니터 웨이퍼인 산화막 웨이퍼는 시료웨이퍼와 동일 조건으로 하기 위하여 실리콘 순수 웨이퍼에 인의 이온주입 및 어닐링을 거쳐 1000Å의 산화막을 증착하였다. 이 각각의 모니터 웨이퍼는 질화막 증착전 자연산화막 및 불순물을 제거하기위해 세정을 실시하게 되는데 이때 기존의 HF 세정과 본 실험에 사용된 H₂O₂ 세정으로 분리하여 진행함으로써 세정방법에 의한 질화막의 하지의존성에 따른 선택적 증착의 차이를 확인하였다.

질화막 증착전 이 두가지 방법에 의한 세정 실시 후 잔존하는 자연산화막을 측정하였고, 두께 측정에 사용되어진 장치는 Rudolph사의 model FE-4인 ellipsometer로 측정하였다.

하층산화막 측정후 그림1과 같은 적층구조의 시료 웨이퍼는 모니터 웨이퍼와 함께 두가지 방법의 세정으로 분리하여 진행하고 L/L 장치에서 질화막이 증착되었다.

질화막의 성장 조건은 NH₃ 와 SiH₂Cl₂를 10:1로 하여 700, 745℃의 고온으로 0.25Torr의 저압공정으로 증착하였다. 여기서 폴리실리콘 및 산화막의 모니터 웨이퍼를 이용하여 질화막 증착율 및 두께를 측정하였으며 질화막의 초기 성장에 대한 initial deposition time을 측정하였다. 또한 동일장치내 웨이퍼 loading 위치별 균일성을 확인하기 위하여 up zone, center up zone, center zone등 zone별 질화막 성장의 차이를 확인하였다.

질화막 증착이 완료된 시료 웨이퍼와 모니터 웨이퍼는 900℃의 고온로에서 O₂와 H₂를 1:1.6의 비율로 폴리실리콘 모니터웨이퍼상에서 490Å, 시료웨이퍼 상으로는 대략 13Å target으로 동일한 두께의 상층산화막을 성장시켰다.

상층산화막 성장후 이상산화의 임계 두께를 조사하기 위하여 시료웨이퍼 및 모니터웨이퍼의 질화막 성장은 45 ~ 70Å으로 각각 진행되었다. 이 질화막 두께는 질화막 성장후 ellipsometer의 측정값을 기준으로 하였으며 이상산화에 대한 관찰로서 scanning electron microscope(SEM)을 이용하여 단면을 관찰하였다.

또한 내산화성 모니터 웨이퍼의 이상산화 평가 방법은 질화막 증착전 산화막의 두께 측정값과 질화막과 상층산화막 성장후 동일 위치의 두께 측정치의 차이가 약 100Å 이상인 경우 시료 웨이퍼에서 이상산화가 발생하는 것으로 평가하였고 임계두께를 결정하였다. 이는 이상산화 발생 웨이퍼의 공정진행 결과 데이터의 누적 및 이 웨이퍼의 SEM 단면 관찰을 통하여 확인한 결과를 이용한 것이다. 상층산화막 성장이 완료된 시료웨이퍼는 SiH₄와 PH₃를 14:1의 비율로 0.8Torr에서 인공도가 4.0-5.0E20원자/cm²인 plate poly를 증착하여 세정방법에 따른 전기용량을 측정하였고, 전기용량 측정 장치로는 keithly S-475 를 통하여 측정되었다.

3. 결과 및 논의

3.1 L/L장치의 질화막 증착 특성

질화막 증착시 자연산화막의 역제를 통한 전기용량의 확보를 위해 L/L LPCVD장치를 이용하고 있으나 L/L장치에서 질화막을 성장시킬 때 시료웨이퍼상에서 질화막 하지 막 종류에 따른 질화막의 초기 성장시간의 차이로 인해 질화막 성장두께의 차이가 발생하고, 상층산화막의 성장에 따라 질화막 성분의 고갈로 이상산화가 나타나게 된다. 즉 그림 1에서와 같이 시료 웨이퍼상에서 산화막과 폴리실리콘이 있는 부분으로 나누어지는데 동일한 두께의 질화막을 성장시키더라도 하지 막 종류에 따라 질화막 성장의 차이를 나타내게 되므로 질화막 성장후 상층산화막을 성장할 경우 질화막 두께의 차이에 의해 이상산화가 발생하게 된다. 특히 이상산화는 그림 2에서와 같이 node poly와 산화막의 경계부분에서 시작되는데 이는 시료 웨이퍼상에서 Fin 구조의 node poly와 산화막의 경계부분에서 질화막의 성장이 더욱 취약한 것으로 해석된다.

이와같은 이상산화의 원인이 되는 하지의존성의 차이를 확인하기 위해 실리콘웨이퍼와 산화막의 모니터 웨이퍼를 질화막 증착전 HF세정을 통하여 자연산화막 및 불순물을 제거하고 질화막을 성장시켰을 때 각각의 질화막 하지의 막 종류에 따른 질화막 초기의 성장 시간 및 질화막 두께의 차이를 조사한 결과 그림 3,4와 같다

그림 3은 로내의 up zone을 기준으로 측정되어진 것으로 산화막위에 질화막이 성장될 경우 실리콘위에 질화막을 성장시킬 때 보다 초기 질화막 성장 시간의 차이가 약 60초 느리게 나타나고 있으며 이에

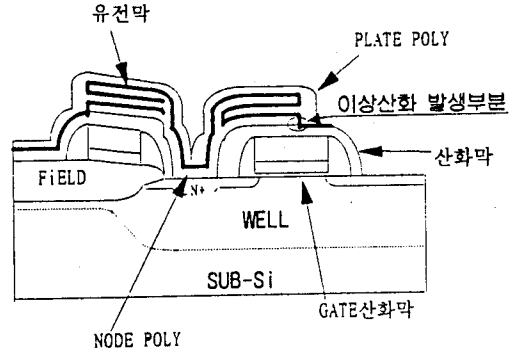


그림 2. Plate poly 증착후 이상산화에 대한 캐패시터부의 단면도

Fig. 2. The cross section of capacitor denoting abnormal oxidation after plate poly deposition.

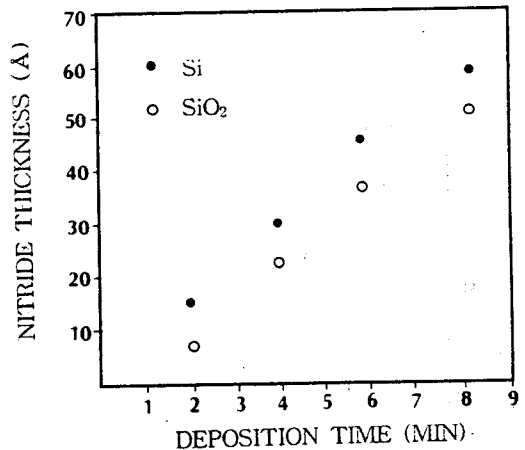


그림 3. HF세정 방법에 의한 하지막 종류에 따른 질화막 성장 두께

Fig. 3. Nitride thickness vs. deposition time for substrate materials using HF cleaning process.

다른 질화막 성장의 두께차이가 산화막의 경우 대략 7Å 낮게 나타나고 있다. 이에 따라 상층산화막 성장시 이상산화가 발생하는 원인이 됨을 알 수 있다. 그러나 질화막의 초기 성장시간후 질화막 증착율은 약 7Å/분으로 거의 일정한 것으로 나타났다.

또한 폴리실리콘상과 산화막상에서 zone별 질화막 성장 균일성을 보면 그림 4에서와 같이 폴리실리콘상에서는 zone별 구분 없이 약 59Å으로 거의 일정한 두께를 나타내고 있으나 산화막상에서는 폴리실

리콘상에서 보다 zone별로 7~28Å 낮게 성장되고 특히 low zone에서 그 편차가 크며, up zone에서 low zone으로 향하면서 질화막 증착율의 감소 현상이 나타나고 있다. 이와같이 시료웨이퍼상에서의 질화막 성장의 하지의존성은 L/L 장치를 이용하여 질화막을 성장시킬 때 자연산화막의 성장이 거의 억제되기 때문에 시료상에서 실리콘의 부분과 산화막의 구분이 뚜렷이 나타나게 되고 이에따라 반응 가스와 결합할 수 있는 웨이퍼 표면 막의 종류에 따른 Si성분의 차이에 의해 질화막 성장 초기의 속도가 달라지고 이에 따라 산화막의 경우에 질화막의 성장 두께가 얇아짐을 알 수 있다. 또한 zone별 두께 균일성에 대하여는 가스 주입구가 low쪽에 있어 up zone의 질화막 성장 보상을 위해 up zone보다 low zone의 온도를 낮게 설정하는데 이것이 시료웨이퍼 표면의 차이에 의한 Si의 반응이 산화막에서 더욱 취약한데 기인된 것임을 확인 할 수 있다. 따라서 low zone의 시료웨이퍼에서 질화막 성장의 저하로 이상산화가 나타나게 된다.

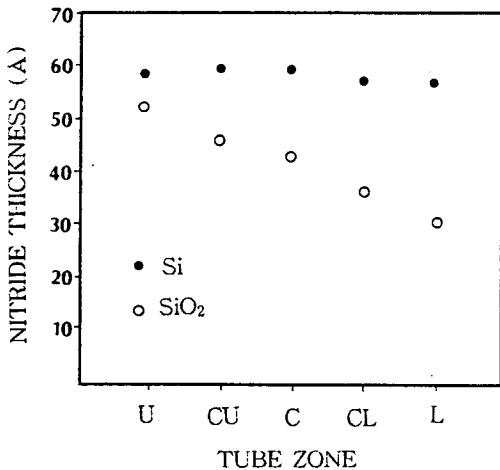


그림 4. HF세정 방법에 의한 ZONE별 질화막 성장 균일성(질화막성장 온도 745°C)

Fig. 4. Uniformity of nitride thickness vs. tube zone for substrate materials using HF cleaning process(Nitride deposition was carried out at 745°C)

3.2 공정조건에 따른 질화막 성장 특성

질화막 증착전 HF세정에 따른 자연산화막 제거 및 L/L장치를 이용한 자연산화막 성장의 억제에 따라 L/L LPCVD는 유전막의 유효두께 저감에 따른

전기용량의 확보를 가능케 하였으나 질화막 성장 하지의존성과 이상산화라는 새로운 문제를 초래하게 되었다. 따라서 본 연구에서는 질화막 증착전 세정공정의 변화에 따른 하층산화막 성장과 하지막의 의존성을 조사하였다. 모니터웨이퍼의 질화막 증착전 HF 및 H₂O₂ 세정후 자연산화막의 두께를 그림 5에 나타냈다. 그림 5에서와 같이 기존의 HF 세정후 자연산화막은 약 3~4Å의 범위에 있으며, H₂O₂ 세정후 자연산화막의 두께는 대략 6~7Å의 범위에 있다. 따라서 HF세정의 경우 시료 웨이퍼상의 자연산화막을 거의 제거하게되므로 폴리실리콘과 산화막에 대한 의존성이 크게 나타나게 됨을 알 수 있다.¹⁰⁾

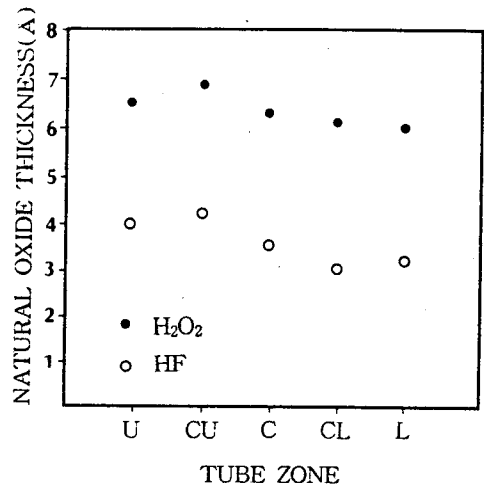


그림 5. 질화막 증착전 세정방법에 따른 자연 산화막 두께

Fig. 5. Natural oxide thickness vs. tube zone for pre-cleaning method before nitride deposition.

즉 HF세정의 경우 그림 3에서와 같이 실리콘과 산화막 사이에서의 초기 질화막 성장 시간의 차이로 동일 조건의 질화막 성장에 대하여서도 질화막 두께의 차이를 나타내고 이것은 특히 시료 웨이퍼상에서 실리콘과 산화막의 접촉 경계부에서 질화막 증착의 불안정성을 나타내게 된다. 그러나 질화막 증착 전 세정으로서 H₂O₂세정은 세정후 자연산화막의 두께가 그림 5에서와 같이 대략 6~7Å으로 시료웨이퍼의 실리콘 부분과 산화막 부분 전체에 걸쳐 비교적 균일하고 얇은 chemical oxide를 형성시키고 이 상태에서 질화막을 성장시킬 경우 실리콘과 산화막 경

계를 균일한 질화막으로 성장시킬 수 있다. 이와같이 H₂O₂세정에 따른 모니터 웨이퍼의 질화막 성장시 초기성장 시간과 질화막 성장율을 나타낸 것이 그림 6이다.

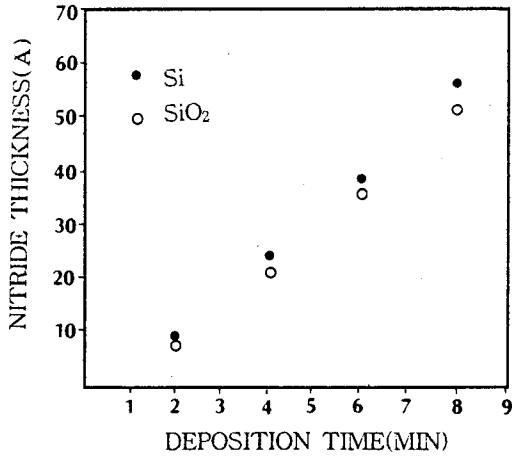


그림 6. H₂O₂ 세정후 마지막 종류에 따른 질화막 성장 두께

Fig. 6. Nitride thickness vs. deposition time for substrate materials using H₂O₂ cleaning process.

그림 6에서 보는바와 같이 H₂O₂세정을 실시한 모니터 웨이퍼에서 폴리실리콘과 산화막상에서 초기성장 시간의 변화는 그림3의 HF세정후의 막종류에 따른 초기성장 시간보다 그 편차가 작게 나타나고 따라서 증착된 질화막 하지의존성이 적게 나타나는데 이는 H₂O₂세정의 경우 chemical oxide에 의해 질화막 성장의 하지의존성이 감소한 것으로 해석할 수 있다. 그러나 H₂O₂세정의 경우도 zone별 균일성의 저하가 일어나는데 이는 가스 주입구가 low zone에 있어 이를 보상하기 위하여 low zone의 온도를 낮게 진행한것에 기인된 것으로 이상산화의 원인이 되므로 상대적으로 up zone의 온도를 낮춤으로서 해결하였다.

질화막 성장의 온도의존성을 확인하기 위하여 산화막웨이퍼와 폴리실리콘 웨이퍼를 HF세정을 실시하고 질화막 증착 온도를 745, 700℃로 분리하여 60 Å 성장시킨 질화막 증착 두께 및 zone별 균일성에 대한 결과는 그림 4, 7과 같다.

745℃의 경우는 앞의 그림 4의결과에서와 같이 실리콘 웨이퍼상에서 질화막 성장두께가 대략 58-60Å으로 성장되었으나 산화막 웨이퍼의 경우는 실리콘

웨이퍼에서보다 up zone에서는 5-10Å, low zone에서는 10-20Å정도 작게 성장되었다. 특히 low zone에서 균일성이 취약하게 나타났는데 이는 질화막 성장에 필요한 Si가 실리콘웨이퍼보다 부족하며 up zone과 low zone의 질화막 증착 온도가 큰 영향을 준 것으로 볼 수 있다. 질화막 성장 온도가 700℃인 경우는 그림 7에서와 같이실리콘 웨이퍼와 산화막 웨이퍼의 차이가 약 3-4Å으로 작게나타나며 균일성 측면에서도 745℃에 비해 향상된 것으로 나타났다. 온도에따른 질화막 성장의 zone별 균일성의 결과로서는 그림 4, 7에서와 같이 745℃의 경우 1.8-3.2%, 700℃의 경우는 1.0-2.1%로 700℃에서 대략 0.5-1.0%정도 향상된 결과가 나타나 질화막 성장시 저온 공정이 안정적인을 확인할 수 있다. 또한 동일 실험에 대한 이상산화 평가에 대한 결과는 그림8, 9에 나타났다.

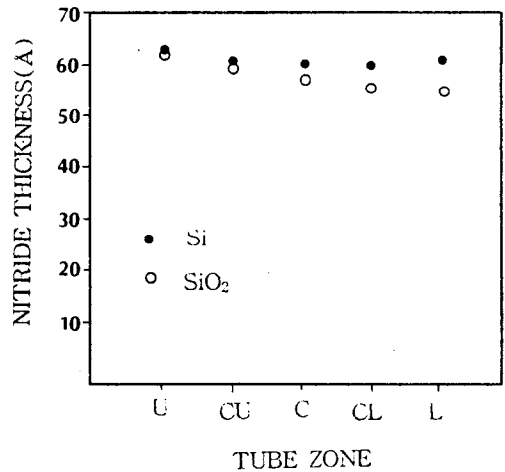


그림 7. HF세정후 Zone별 질화막 성장 균일성(700℃)

Fig. 7. Uniformity of nitride thickness vs. tube zone for substrate materials using HF cleaning process(Nitride deposition was carried out at 700℃)

이상산화에 대한 확인 방법으로 질화막이 성장된 시료 웨이퍼는 상층산화막 성장후 SEM을 이용한 단면 관찰을 실시하였으며 내산화성 check웨이퍼의 이상산화 평가 방법은 질화막 증착 전세정 전의 측정 두께와 상층산화막 증착후 동일 지점의 측정 두께의 차가 100Å 이상인 경우 이상발생이 나타나는 것으로 확인 되었다. 이 값은 시료 웨이퍼에서 측정

한 두께 monitor값과 시료웨이퍼의 단면 관찰을 통한 이상산화 발생에서 확인된 값이다.

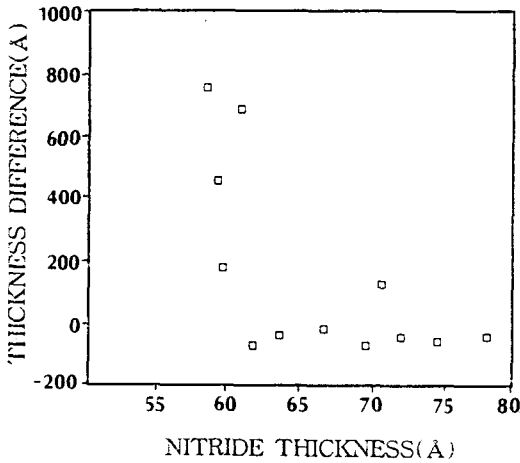


그림 8. HF세정후 745°C에서 질화막 성장시의 이상산화에 대한 질화막 두께

Fig. 8. Nitride thickness to abnormal oxidation for nitride deposition at 745°C after HF cleaning.

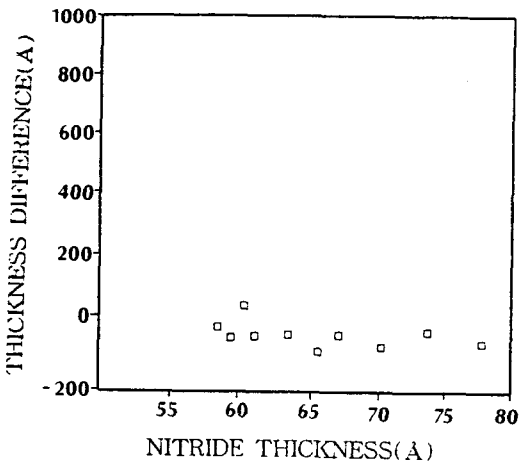


그림 9. HF세정후 700°C에서 질화막 성장시의 이상산화에 대한 질화막 두께

Fig. 9. Nitride thickness to abnormal oxidation for nitride deposition at 700°C after HF cleaning.

그림 8에서와 같이 745°C의 경우 질화막 두께가 60Å에서 산화막웨이퍼에 질화막과 상층산화막 성장

후 두께의 차이가 100Å 이상이 나는 이상산화가 나타나기 시작했으며 70Å 부근에서도 이상산화가 나타나고 있다. 그러나 그림 9의 700°C 경우는 60Å에서 이상산화가 나타나지 않음을 볼 수 있다. 이것은 700°C의 경우가 그림 7에서와 같이 질화막 두께의 균일성이 좋게 나타난 것과 저온에서의 하지막에 따른 온도의 영향이 있음을 확인할 수 있다. 이와같은 질화막 증착전 세정 방법 및 공정온도에 따른 하지의존성을 최소화하여 이상산화 발생의 공정 여유를 갖기 위하여 질화막 전세정을 HF대신 H₂O₂를 사용한 결과는 그림 10과 같다.

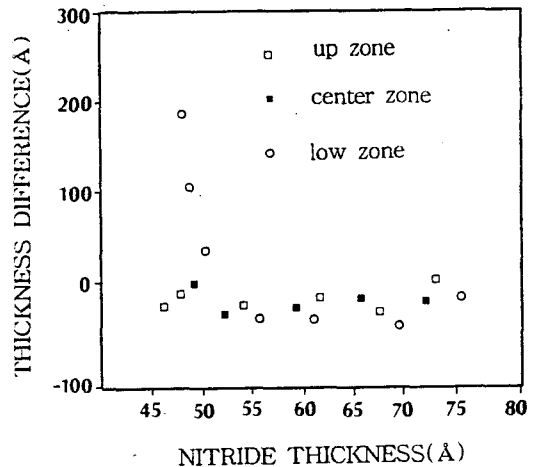


그림 10. H₂O₂ 세정후 700°C에서 질화막 성장시의 이상산화에 대한 질화막 두께

Fig. 10. Nitride thickness to abnormal oxidation for nitride deposition at 700°C after H₂O₂ cleaning.

그림10에서와 같이 이상산화가 나타나는 질화막의 두께는 약 48Å으로 나타났고 이 경우 온도의존성이 크게 나타나지 않았다. 이것은 H₂O₂세정을 실시함으로써 시료 웨이퍼의 실리콘 부분과 산화막 부분에 얇은 chemical oxide의 성장에 따라 하지의존성이 최소화 되어 온도의 영향이 크지 않은 것으로 해석할 수 있다. 따라서 H₂O₂세정을 실시함으로써 질화막의 성장에 있어 하지의존성을 저감과 공정온도의 저온화로 이상산화 발생 및 공정의 여유를 확보할 수 있어 capacitor의 안정성 및 신뢰성의 향상을 기대할 수 있다.

3.3 이상산화에 대한 임계두께 및 단면관찰

HF 세정시 이상산화에 대한 임계 두께는 질화막 증착후 측정된 두께로 대략 60Å 정도이며 H₂O₂세정의 경우는 48Å로 확인되었다. 이와같은 두가지 방법의 세정에따라 질화막 증착후 두께로 48Å 성장후 상층산화막과 plate poly를 성장하여 단면을 관찰한 결과 그림 11, 12과 같다. 그림 11는 HF세정을 실시한 시료웨이퍼이며 그림 12은 H₂O₂세정을 실시한 웨이퍼로써 HF세정웨이퍼는 이상산화가 발생하였으나 동일 두께의 H₂O₂세정 웨이퍼는 정상적인 형태의 capacitor구조를 갖고있음을 알 수 있다. 또한 이들 세정방법에 따른 전기용량을 확인하기 위하여 HF세정 및 H₂O₂세정후의 시료웨이퍼에 HF세정후 이상산화가 발생하지 않는 70Å의 질화막을 성장하였을 때 30 - 35fF의 동일한 셀캐피턴스를 얻을 수 있어 동일 두께의 capacitor라 하더라도 세정방법 및 공정온도의 변화가 질화막의 박막화에 대한 이상산화 및 공정의 여유를 갖을 수 있고 capacitor의 신뢰성과 안정성에 미치는 영향을 확인할 수 있다.

4. 결 론

본 논문에서는 반도체 메모리 소자에서 중요한 요소의 하나인 캐패시터 제작 과정에서 질화막 증착시에 초기 성장 시간의 하지의존성 및 질화막 증착후 상층산화막 증착에서 오는 이상산화가 발생하는 임계 두께를 확인하였고 이에대한 새로운 방법으로 질화막증착 전세정 방법 및 질화막공정 조건의 변경으로 다음과 같은 결론을 얻었다.

1. 질화막 성장시 하지의존성으로 산화막의 경우 실리콘 보다 초기 질화막 성장 시간이 60초 정도 느리고 이로인해 질화막이 7Å작게 성장되나 성장 시작후의 질화막 증착율은 하지 막종류와 관계없이 7 Å/분으로 거의 일정하다.
2. 하지의존성 및 이상산화는 L/L LPCVD 장치내의 zone별 의존성을 보이며 up zone에서 low zone의 방향으로 이상 산화가 취약한 것으로 나타났다.
3. 실리콘 웨이퍼를 HF세정할 경우 H₂O₂세정한 경우 보다 폴리실리온과 산화막에 대한 하지의존성이 크며 산화막 웨이퍼의 경우 질화막 성장률이 실리콘 웨이퍼에서 보다 up zone에서 0.6-1.3Å/min, low zone에서 1.3-2.5Å/min 낮게 나타났다.
4. HF 세정의 경우는 질화막 증착 공정온도에 따른 균일성의 차이가 크게 나타나나 H₂O₂세정의 경

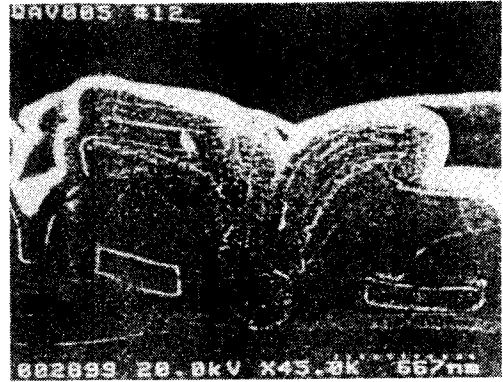


그림 11. 질화막 증착후 측정두께 48Å에서 이상산화 캐패시터 단면도(HF세정 및 700°C)
 Fig. 11. The cross section of capacitor for abnormal oxidation at 48Å after nitride deposition(HF cleaning, 700°C)

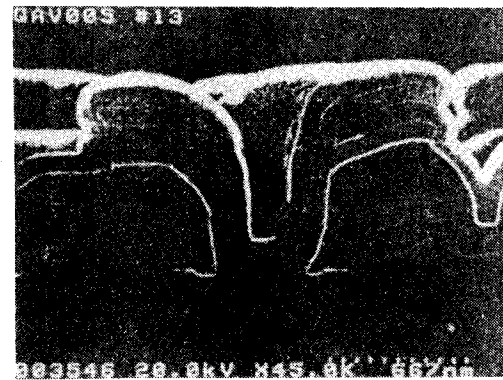


그림 12. 질화막 증착후 측정두께 48Å에서 정상캐패시터 단면도(H₂O₂세정 및 700°C)
 Fig. 12. The cross section of capacitor for abnormal oxidation at 48Å after nitride deposition (H₂O₂ cleaning, 700°C)

- 우는 공정 온도에 민감하지 않으며 균일성이 좋다.
5. HF세정의 경우 질화막 증착 공정온도를 745°C에서 700°C로 저온화했을 때 0.5 - 1.0% 정도 균일성 개선 효과가 있다.
 6. 이상산화의 임계 두께는 HF 세정의 경우 60Å, H₂O₂세정의 경우는 48Å이다.
 7. HF세정과 H₂O₂세정한 시료 웨이퍼에 동일한 70Å의 질화막을 성장하였을 때 같은 수준인 30~35fF의 셀 캐피턴스를 나타냈다.

8. 따라서 L/L 장치를 이용한 질화막 증착전 세정 공정의 변경 및 질화막 증착 공정의 변경은 고집적화에 따른 유전막의 박막과 이에 따른 이상산화 발생에 대한 공정 여유를 확보 할 수 있다.

참 고 문 헌

1. S. Mori, E. Araki, Y. Kaneko " ONO inter-poly dielectric scaling for nonvolatile memory application", IEEE Trans. Electron Devices, vol. 38, pp. 386, 1991.
2. S. Mori, Y. Kaneko, N. Arai " Scaled EPROM cell technology in 0.6um regime ". presented at the IEEE NVSMW. Vail. CO, Aug., 1989
3. A. Bergemont, S. Deleonibus, " High performance CMOS process for submicron 16Mb " IEDM Dig. Tech. papers, pp. 591, 1989.
4. K. Wu, C. S. Pan, J. J. Shaw, P. Freiberger, and G. Sery " A model for EPROM intrinsic charge loss through ONO inter-poly dielectric ". in Proc. 28th 1990 IEEE IRPS, pp. 145, 1990.
5. C. S. Pan, K. Wu, P. Freiberger. " A scaling methodology for oxide-nitride-oxide inter-poly dielectric for EPROM application ". IEEE Trans. Electron Devices, vol. 37, no. 1, pp. 1439, 1990.
6. Y. Ohji, T. Kusaka, I. Yoshida " Reliability of nano-meter thick multi-layer dielectric films on polycrystalline silicon ". in Proc. 1987 IEEE IRPS, pp. 55, 1987.
7. N. Ajika, M. Ohi, T. Arima, and N. Tsubouchi, Sympo. on VLSI Tech. Dig., pp.63, 1991.
8. M. Yoshimaru, N. Inoue, M. Itoh, H. Kurogi, H. Tamura " High quality ultra thin nitride film selectively deposition on poly silicon electrode by LPCVD with in situ HF vapor cleaning ". IEDM 92, pp. 271, 1992.
9. YH. Joung, MK. Kim, " A study on the bottom oxide scaling for dielectric in stacked capacitor using L/L vacuum system " 한국전기 전자재료학회 vol. 9, no. 5 1996
10. M. Yoshimaru, J. Miyano, A. Sakamoto, and M. Ino, IEDM Tech. Dig., pp.659, 1990