

인공신경망을 위한 SONOS 기억소자의 시냅스특성에 관한 연구

논문
11-1-2

A Study on the Synaptic Characteristics of SONOS memories for the Artificial Neural Networks

이성배*, 김주연*, 서광열*

(Sung-Bae Lee, Ju-Yeon Kim, Kwang-Yeal Seo)

Abstract

In this paper, a new synapse cell with nonvolatile SONOS semiconductor memory device is proposed and its fundamental function electronically implemented SONOS NVSM has shown characteristics that the memory value, synaptic weights, can be increased or decreased incrementally. A novel SONOS synapse is used to read out the stored analog value.

For the purpose of synapse implementation using SONOS NVSM, this work has investigated multiplying characteristics including weight updating characteristics and neuron output characteristics. It is concluded that SONOS synapse cell has good agreement for use as a synapse in artificial neural networks.

Key Words(중요용어) : ANN(인공신경망), Synapse, SONOS, Weights (가중치), Charge Potential(전하포텐셜)

1. 서론

인공신경망에 대한 VLSI 기술의 적용은 고집적 병렬처리연산을 가능하게 하고 있으며, 정보저장소의 역할을 하는 시냅스의 전자회로화는 저항기와 연산증폭기를 사용한 재래식 모델에서 CMOS를 활용한 VLSI 모델의 구현으로 많은 연구가 진행되고 있다.¹⁾

EEPROM 소자를 활용하여 인공신경망의 시냅스를 구현하는 기술은 비휘발성 특성상 가중치의 저장 및 프로그래밍 측면에서 재래식 기법보다 탁월한 장점이 있다. '80년대 후반 Lincoln Lab.(MIT)의 Sage²⁾는 MNOS(metal-nitride-oxide-semiconductor)FET를 이용하여 시냅스 특성을 실현하였으나 질화막 두께의 한계때문에 고전압을 요구하고 있다.

최근 '90년대에 이르러 부유게이트(floating gate) MOSFET를 활용한 시냅스회로화가 연구되고 있다.³⁾ 동일한 게이트에 여러개의 입력단자를 설치하기 위해 부유게이트 구조의 FET가 최근 많이 연

구되고 있으나 제조공정상의 복잡함으로 인해 집적도의 제한을 받고 있다. 반면, 산화막-질화막-산화막의 3중 유전막을 갖는 SONOS(Polysilicon Oxide Nitride Oxide Semiconductor)FET 기억소자는 구조가 간단하고 기존의 CMOS 제조공정을 적용할 수 있으며, scale-down을 통한 고집적화에 유리하여 MNOS 구조 및 부유게이트 구조가 갖는 한계를 극복할 수 있다.^{4,5)}

본 논문에서는 인공신경망의 시냅스 기반소자로 사용하기 위하여 SONOSFET 기억소자를 제작하고, 제안한 시냅스 셀의 승적특성, 가중치변환특성 및 출력특성을 조사하여 SONOS 시냅스 셀을 구현하고자 한다.

2. SONOS NVSM 제작 및 시냅스 셀 설계

2.1 SONOS NVSM (SONOS nonvolatile semiconductor memory)

SONOS NVSM의 제작을 위해서는 n-channel 소자가 DDD(double-doped-drain) 구조인 기존의 1 Mbit DRAM 용 (1.2 μm 설계규칙) n-well CMOS 제작공정 기술에 따랐으며, 소자의 단면도는 그림 1과 같다. 게이트전극은 double-polysilicon/polycide

* : 광운대학교 전자재료공학과
연락처:서울시 노원구 월계동 447-1
접수일자 : 1997년 8월 8일
심사완료 : 1997년 11월 28일

이고, 소자간 절연은 LOCOS isolation 방법을 채택하였다. 터널링산화막은 750 ° C 에서 N₂/O₂ 부분 압법에 의해서 3분간 열적성장시켰다. 질화막은 745°C의 저압화학기상퇴적(LPCVD)노에서 18분간 10 : 1의 NH₃:SiH₂Cl₂의 혼합기체를 반응시켜 산화막위에 퇴적시켰다. 또한, 920°C의 저압화학기상퇴적노에서 O₂/H₂/LN₂ 기체를 흘리면서 90분간 질화막을 산화시켜 블로킹산화막을 형성하였다. 이렇게 하여 얻은 터널링산화막, 질화막, 블로킹산화막의 두께는 각각 30 Å, 165 Å, 65 Å 이다. 한 개의 칩은 채널 폭과 길이가 각각 다른 다수의 p-채널 및 n-채널의 SONOS NVSM으로 구성되며, 시냅스 셀에 적용한 소자의 채널 폭과 길이는 15 μm x 1.5 μm 이다.

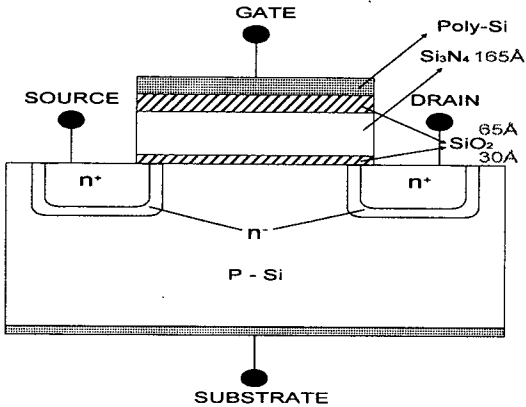


그림 1. SONOS NVSM 단면도
Fig. 1. Cross section of SONOS NVSM.

2.2 시냅스 셀

본 논문에서 제안한 시냅스 셀은 상보형 구조를 갖는 단위 시냅스 셀과 병렬구조를 갖는 컨덕턴스 승적기 형태의 복합 시냅스 셀로 그림 2,3과 같다.

각 회로에서 시냅스 셀의 단위소자가 선형영역에서 동작한다고 가정할 경우 각 소자의 드레인-소스 간 전류 (I_{DS})는 아래와 같이 주어진다.⁶⁾

$$I_{DS} = \beta[(V_{GS} - V_T)V_{DS} - V_{DS}^2/2] \quad (1)$$

여기서, β는 구조상수, V_{GS}는 게이트-소스 간 전압, V_{DS}는 드레인-소스 간 전압, V_T는 문턱전압이다.

식(1)로 부터 시냅스로 사용되는 2개의 트랜지스터가 동일한 β와 V_T를 갖는다고 가정할 경우 그림 2에서의 출력전류는 다음과 같이 두 전압의 승

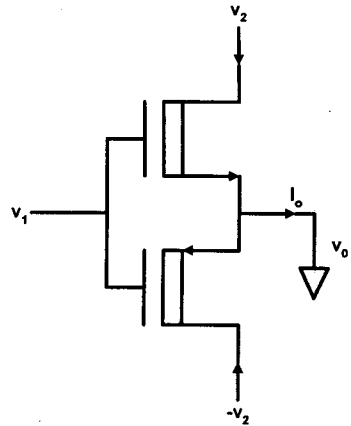


그림 2. SONOS 단위 시냅스 셀
Fig. 2. SONOS unit synapse cell.

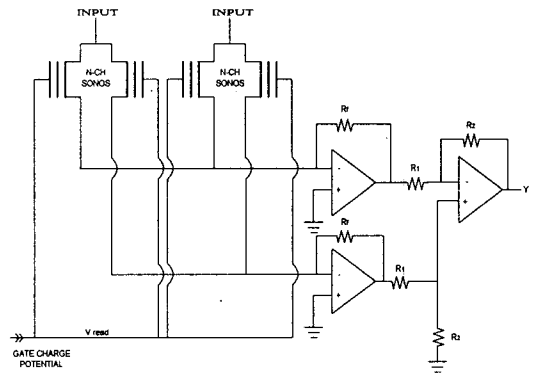


그림 3. SONOS 복합 시냅스 셀
Fig. 3. SONOS combined synapse cell.

적형태로 정의된다.

$$I_0 \cong 2 \beta V_1 V_2 \quad (2)$$

여기서, V₁은 질화막의 전하포텐셜이고, V₂는 입력전압이다.

그림 3은 전형적인 상호컨덕턴스 승적기 모델⁷⁾을 변형한 것으로 SONOS 시냅스 셀은 n-채널 SONOS 기억소자 (15 μm x 1.5 μm)를 사용하며, 양단 트랜지스터의 드레인을 묶어서 입력전압을 인가하고 게이트 단자에 판독전압이 걸리도록 한다. SONOS 시냅스 소자의 채널 컨덕턴스(G_{DS})는 드레인 바이어스 인가시 아래 식과 같이 정의된다.

$$G_{DS} = \partial I_{DS} / \partial V_{DS} \cong \beta_{eff} (V_{GS} - V_T) \quad (3)$$

여기서, $\beta_{eff} = C_{eff} \mu_{eff} W/L$ 이며, C_{eff} 는 소자의 실효커패시턴스, μ_{eff} 는 캐리어의 실효이동도, W 와 L 은 소자의 채널 폭 및 길이이다.

SONOS 소자의 게이트에 양(+)의 프로그래밍 전압을 인가하면 소자의 컨덕턴스가 감소하게 되고 소자는 기록상태가 된다. 한편 음(-)의 프로그래밍 전압을 인가하게 되면 소자의 컨덕턴스는 증가하고 소자는 소거상태가 된다. 드레인-소오스간 출력전류는 드레인 전압으로 나타나는 입력전압과 SONOS 트랜지스터의 전하포텐셜의 곱에 비례한다.

본 모델에서 SONOS 트랜지스터의 소오스 단자를 서로 다른 2 개의 합산버스 (summing bus)에 보내 전류의 합산을 용이하게 실현하였다. 합산버스의 전류는 전압이 변환된 것이며, 뉴런합수 출력 Y 를 아래 식과 같이 생성시키게 된다.

$$Y_k = X_k \Delta G_{DS} R_F R_2 / R_1 \quad (4)$$

여기서, Y_k 는 k 번째 승적기의 출력전압이고, X_k 는 k 번째 승적기의 드레인에 걸리는 입력전압이다. G_{DS} 는 승적기의 컨덕턴스이며, R_F, R_2, R_1 은 피드 백 저항 및 차동증폭기 저항이다.

시냅스의 기본 식에서 출력전압⁷⁾은 $U_k = \sum W_{ki} X_i$ 로 정의되므로 승적기의 k 번째 가중치는 아래 식과 같이 표현할 수 있다.

$$W_k = \Delta G_{DS} R_F R_2 / R_1 \quad (5)$$

따라서, 식 (3)을 식 (5)에 대입하면 가중치 결과를 다음과 같이 나타낼 수 있다.

$$W_k = \beta_{eff} \Delta V_T R_F R_2 / R_1 \quad (6)$$

여기서, ΔV_T 는 k 번째 승적기의 SONOS 트랜지스터 중 상단과 하단의 합산버스에 걸리는 문턱전압의 차이이다.

3. 결과 및 고찰

시냅스 단위 셀의 승적특성을 구한 결과는 그림 4와 같다. 공통게이트에 양과 음의 15 V, 0.1 ms의 펄스를 인가하여 질화막에 저장되는 가중치를 일정하게 하고, 입력전압을 변화시켜 출력측에 흐르는 전류를 조사한 것이다. 출력전류는 -5 V에서 5 V

의 전 범위에 걸친 입력전압에 대해 선형으로 승적되는 특성을 보이고 있으며, 공통게이트에 양극성의 저전압을 인가하여 기록 및 소거를 할 수 있다.

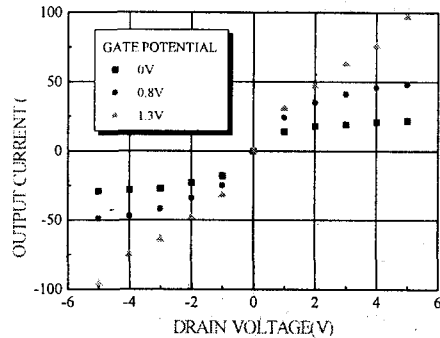


그림 4. 단위 시냅스 셀의 승적특성
Fig. 4. Multiplying characteristics of unit synapse cell.

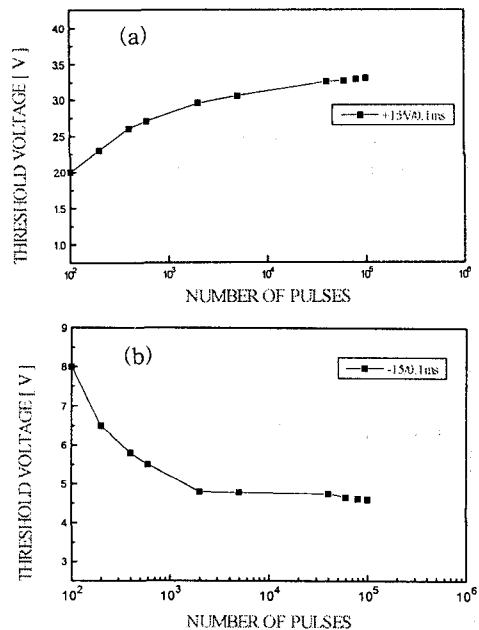


그림 5. 펄스 인가에 따른 가중치 변환 특성
(a) +15 V, 0.1 ms 프로그래밍 펄스 인가
(b) -15 V, 0.1 ms 프로그래밍 펄스 인가
Fig. 5. Weight updating characteristics with pulse cycling.

- (a) +15 V, 0.1 ms programming pulses applied.
- (b) +15 V, 0.1 ms programming pulses applied.

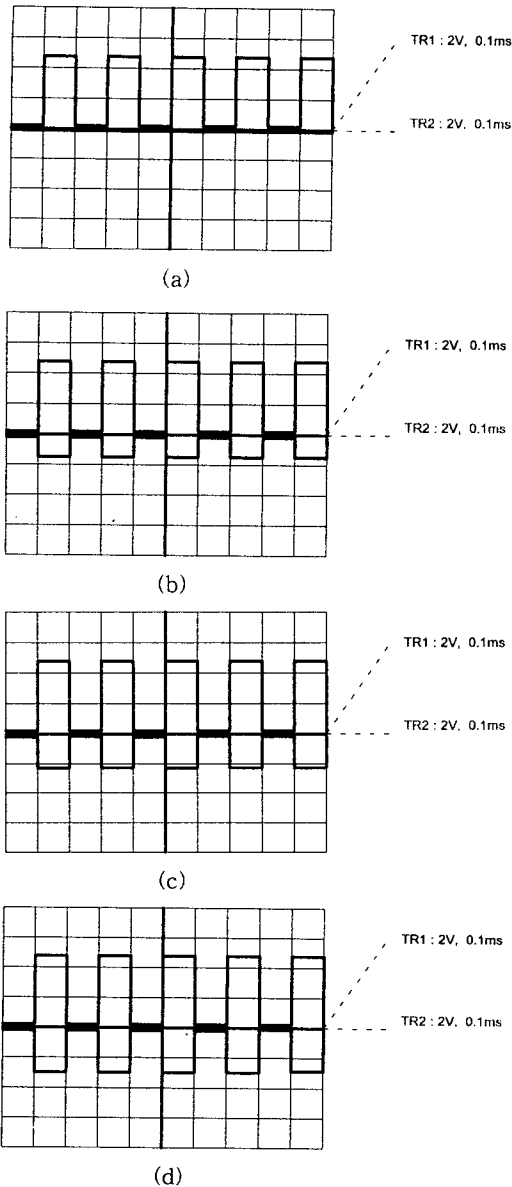


그림 6. 복합 시냅스 셀의 출력특성
 (a) 전하포텐셜이 없는 경우
 (b) 전하포텐셜 0.8 V
 (c) 전하포텐셜 1.3 V
 (d) 전하포텐셜 2.6 V

Fig. 6. Neuron output characteristics of combined synapse cell.
 (a) no charge potential
 (b) charge potential 0.8 V
 (c) charge potential 1.3 V
 (d) charge potential 2.6 V

그림 5는 프로그래밍 펄스에 따른 가중치 변환특성을 구한 결과인데 게이트에 15 V, 0.1 ms의 펄스를 인가하여 문턱전압 이동량을 조사한 것이다. 인가한 펄스의 숫자에 대해 문턱전압 이동량이 점진적으로 증감하는 것으로 보아 질확박의 전하포텐셜은 게이트에 인가된 펄스의 숫자에 따라 점진적으로 증감되고 있음을 알 수 있다. 시냅스 셀은 반복적인 학습기능에 따라 가중치가 점진적으로 변환하게 되고, 이러한 가중치는 입력에 승적되어 시냅스 셀의 출력결과가 목적치에 최적 접근되도록 작용된다.⁸⁾

그림 6은 복합 시냅스 셀의 출력특성을 나타내는 것으로, 브레드보드 결선을 통해 실험한 것이다. 드레인 입력단에는 5 V, 0.1 ms의 펄스를 인가하였고, 공통게이트에 15 V, 0.1 ms의 프로그래밍 펄스를 인가해서 채널의 전하포텐셜을 유지시켰다. 그림 6 (a)의 경우 시냅스 셀에 전하포텐셜이 인가되지 않은 상태로, 채널이 형성되지 않아 출력을 얻을 수 없는 상태이다. 그림 6 (b),(c),(d)는 각각 전하포텐셜이 0.8 V, 1.6 V, 2.6 V에 해당하는 것으로 출력전압은 각각 1.6 V, 2.4 V, 3.2 V를 얻었다.

이 결과는 집적도를 높이기 위한 복합 시냅스 셀에서 뉴런출력함수가 점진적으로 증가되는 가중치의 영향을 받고 있는 것으로 식 (6)의 결과를 만족시키고 있음을 알 수 있다.

측정결과는 '4-트랜지스터 2-입력'에 대한 모델이나, '8-트랜지스터 4-입력' 및 '16-트랜지스터 8-입력(1-은닉 레이어)'의 경우에 대해서 시뮬레이션 (pspice) 해 본 결과, 입력 수 및 은닉 레이어가 많아질수록 출력함수의 변환이 미세하게 이루어짐을 알 수 있다.

이 현상은 입력 및 은닉레이어가 많이 부과될수록 가중치의 변환이 미세하게 이루어져 학습알고리즘 수행시 영-오류(zero-error)에 보다 더 근접함을 나타내는 것으로 해석할 수 있다. 또한 입력 수가 많아질수록 복잡한 기능의 학습능력을 갖출 수 있는 것으로 고찰되었다.

'4-트랜지스터 2-입력', '8-트랜지스터 4-입력', '16-트랜지스터 8-입력'에 대해서 각각을 모듈로 구성하여 병렬처리 할 경우 많은 량의 정보를 용이하게 처리할 수도 있다.⁹⁾

4. 결 론

본 논문에서 제안한 시냅스 셀은 저전압으로 구

동되는 고집적이 유리한 SONOS NVSM을 기반소자로 사용하고 있다.

비휘발성 기억소자의 특징과 공정상의 이점으로 인해 셀당 소자의 수를 극소화시켜 집적도가 용이하며, 시냅스의 승적특성 및 가중치 변환특성에서도 양호한 결과를 나타내고 있다.

뉴런출력함수의 고찰을 통해 복합시냅스 셀의 시냅스-뉴런기능을 조사할 수 있었으며, 이상과 같은 결과로 볼 때 SONOS NVSM은 인공신경망의 시냅스 셀로서 적합한 기능을 갖고 있는 것으로 조사되었다.

참 고 문 헌

1. A. F. Murray, "Hybrid Analog/Digital Pulse Firing Networks", Prentice Hall, pp. 290-314, 1991.
2. J. P. Sage, et al., "An Artificial Neural Network Integrated Circuit Based on MNOS/CCD Principles", Proc. AIP Conference on Neural Networks for Computing, pp.381-385, 1986.
3. T. Shibata et al., "An Excellent Weight

Updating Linearity EEPROM Synapse Memory Cell for Self-Learning Neuron-MOS Neural Networks", IEEE Trans. Electron Dev., Vol.42, No.1, pp.135-143, 1995.

4. 이상배, 김선주, 이성배, 서광열, "저전압 비휘발성 반도체 기억소자를 위한 scaled MONOS 구조의 트랩 연구", 응용물리, 제9권, 제2호 pp.191-198, 1996.
5. 서광열, "SONOS EEPROM 소자에 관한 연구", 전기전자재료학회지, 제7권, 제2호, pp.123-129, 1994.
6. Allan et al., "CMOS Analog Circuit Design" Holt, Reinhart and Wilson, 1987.
7. A.F. Murray et al., "Pulse-Stream VLSI Neural Networks Mixing Analog and Digital Techniques", IEEE Trans. Neural Networks, pp. 193-204, 1991.
8. Simon Haykin, "Neural Networks-a comprehensive foundation", Macmillan Pub., Chap.1 and 2, 1991.
9. I. S. Han, "Modular Neural Network Hardware Implementation of Analog-Digital Mixed Operation", IEEE ICNN '93, 1993.