

CMOS DDA를 이용한 무선 휴대폰 시스템용 아날로그 필터 설계

Design of Analog Filter for Cellular Phone Using CMOS DDA

윤 창 훈*, 최 석 우**, 안 정 철***

(Chang Hun Yun*, Seok Woo Choi**, Joung Chul Ahn***)

*이 논문은 1996년도 전북대학교 부속연구소 지원 연구비에 의하여 연구되었음.

요 약

본 논문에서는 개선된 elliptic 저역통과 함수를 제시하고, CMOS DDA 소자 및 DDA 응용회로를 이용하여 CDMA 무선 휴대폰용 아날로그 DDA 저역통과 필터를 설계하였다. 개선된 elliptic 저역통과 필터 함수는 통과대역과 저지대역에서 점진적 감소 파상 특성을 갖고, 우수 또는 기수 차수 모두에 대해서 $\omega=0$ 에서는 통과대역의 최대값, $\omega=\infty$ 에서는 영이 된다. 또한 극점-Q 값이 감소함에 따라 주파수 및 시간영역의 특성 등이 기존의 함수와 비교하여 향상되었다. 아날로그 능동 저역 통과 필터는 수동 복종단 제자형 회로망의 저감도 특성이 유지되는 개구리 도약법으로 모의하고, 적분기등을 외부 소자와의 정합이 필요 없는 DDA를 이용하여 설계하였다. 설계된 DDA 회로의 단위 이득 주파수는 1.32GHz이고 이를 이용하여 DDA 저역통과 필터를 설계하여 HSPICE로 시뮬레이션한 결과 필터의 차단 주파수는 630KHz로 설계명세조건과 일치하였다.

ABSTRACT

In this paper, a modified elliptic low-pass function is proposed, and then CMOS DDA and its application circuits are applied to the design of analog DDA lowpass filter for CDMA cellular phone. The modified elliptic lowpass function exhibits progressively diminishing ripples both in the passband and the stopband. The magnitude response shows the maximum values at $\omega=0$ in the passband, and vanish at $\omega=\infty$ for the order n even or odd. Due to the lower pole-Q, the performance in the frequency and time domains is improved as compared with the classical elliptic filter. The analog active lowpass filter is designed by leapfrog simulation technique which maintains low sensitivity of passive doubly-terminated ladder network. The DDA which does not need matching requirements for other devices is also designed to realize integrator and etc.. From the results of HSPICE simulation, it is found that the unity frequency of the DDA circuit is 1.32GHz and the cutoff frequency of the designed DDA lowpass filter, 630KHz, meets the design specification.

1. 서 론

현대 산업 기술의 발전은 정보통신 산업에 의해서 주도 되고 있다. 최근에는 개인 휴대통신의 규모가 기하 급수적으로 성장하면서 그 수요를 해결하기 위해 기존의 아날로그 방식 대신에 디지털 방식인 CDMA 방식과 TDMA 방식을 채택하여 채널의 수를 증가시키고 있다 [1][2]. 디지털 이동통신 시스템이 대부분의 신호처리를 디지털 방식으로 처리하고는 있지만 실질적으로 전송되는 전기적 신호는 아날로그 신호이고 이를 디지털로 변환하여 신호처리가 이루어진 후에는 결국 아날로그 신호로 변환되어 출력된다. 그러므로 디지털 이동통신 시스템의 일정 부분에서

도 성능이 우수한 아날로그 회로, 특히 아날로그 필터가 필요하고 두 부분의 상호 결합이 전체 시스템의 성능을 좌우하는 중요한 요소가 된다.

이러한 아날로그 필터 설계에서 함수로는 설계 절차가 간단한 전극점 함수(all-pole function)를 주로 이용하며 구조적으로는 각 블록간의 동조가 용이한 총속 연결법을 주로 사용하고 있으나 필터의 성능이 전체 시스템의 성능을 좌우하므로 최적의 필터를 설계하는 것이 바람직하다. 기존의 필터 함수에서 최적 함수인 elliptic 함수는 동일한 설계명세조건을 만족하기 위해서 최소 차수로 실현이 가능하고 진폭 크기 특성중 차단 주파수에서의 특성이 타 함수에 비하여 아주 우수하다는 장점을 갖는 반면에 위상 및 군 지연 특성 등이 전극점 함수와 비교하여 좋지 않다는 단점을 갖는다 [3]-[5].

일반적으로 아날로그 회로를 집적화할 경우 VCVS 방식의 능동소자인 op-amp를 주로 사용하였다. 그러나 아

* 우석대학교 정보통신공학과

** 전북대학교 부속 전기전자회로합성연구소

*** 한국전자통신연구원

날로그 필터 설계에서 필수적으로 사용되는 op-amp의 응용회로들은 구조가 복잡하고 외부 소자간에 동조를 해야 하므로 튜닝회로가 필요하다는 단점을 갖는다 [6][7].

본 논문에서는 기존의 elliptic 저역통과 필터 함수가 갖는 단점을 개선시킨 개선된 elliptic 저역통과 필터 함수를 제안한다. 그리고 새로운 능동소자인 DDA(Differential Difference Amplifier)[8]를 0.8 μm CMOS 공정기술로 설계한 후 개선된 함수와 CMOS DDA의 응용회로를 이용하여 CDMA 무선 휴대폰용 아날로그 DDA 저역통과 필터를 설계한다.

본 논문의 구성은 II장에서 개선된 elliptic 필터 함수의 특성을 고찰하고, III장에서는 응용회로 설계시 외부 소자간에 동조가 필요하지 않는 DDA를 CDMA용 필터에 적용할 수 있도록 설계한다. IV장에서는 개선된 elliptic 필터 함수로부터 수동 필터 회로를 실현한 후 개구리 도약법(leapfrog method)[9]과 설계된 CMOS DDA를 이용하여 아날로그 능동 저역통과 필터를 설계하고, 결론을 V장에 기술하였다.

II. 개선된 elliptic 필터 함수

1. 개선된 elliptic 필터 함수

이상적인 저역통과 필터는 통과대역 내에서는 모든 주파수의 신호가 완전히 통과하고, 저지대역내에서는 모든 주파수의 신호가 완전히 저지된다. 그러나 이상적인 저역통과 필터와 같은 크기 특성을 갖도록 실현하는 것은 유한계에서는 불가능하므로 실제로는 근사법을 사용하여 실현성 있는 저역통과 필터 함수를 구한다. 표준화된 실제적인 저역통과 필터에서의 통과대역은 $0 \leq \omega \leq 1$ 로 정의되고 저지대역은 $\omega \geq \omega_s$ 로 정해지며, 여기에서 ω_s 는 저지대역이 시작되는 주파수이다. 통과대역과 저지대역 사이에 있는 대역을 천이대역이라 하고, 통과대역과 천이대역간의 경계를 이루는 주파수 ω_c 는 차단주파수라 하며 일반적으로 $\omega_c = 1$ [rad/sec]로 표준화 한다.

실제적인 저역통과 필터의 크기특성 곡선을 만족하는 elliptic 함수는 식(1)과 같다 [10].

$$|H(j\omega)| = \frac{K}{\sqrt{1 + R_n^2(\omega)}} \quad (1)$$

여기에서 K 는 표준화를 하기 위한 정수 값이며 $R_n(\omega)$ 는 다음 식과 같다.

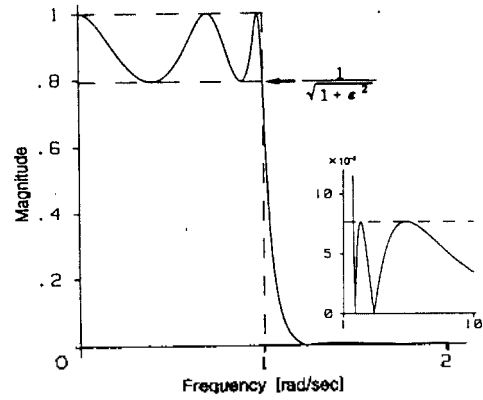
$$R_n(\omega) = M \frac{(\omega_1^2 - \omega^2/\omega_s)(\omega_2^2 - \omega^2/\omega_s) \cdots (\omega_{n/2}^2 - \omega^2/\omega_s)}{(1 - \omega_1^2 \omega^2/\omega_s)(1 - \omega_2^2 \omega^2/\omega_s) \cdots (1 - \omega_{n/2}^2 \omega^2/\omega_s)} \quad (2a)$$

n : 우수

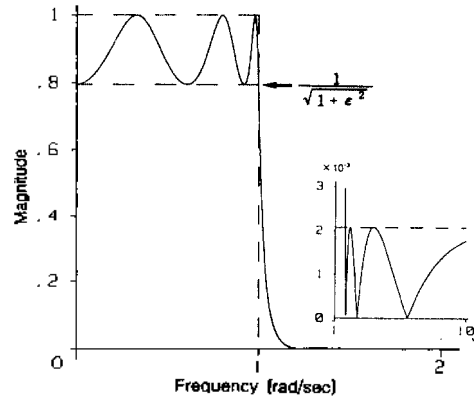
$$R_n(\omega) = N \frac{\omega(\omega^2 - \omega_1^2/\omega_s)(\omega^2 - \omega_2^2/\omega_s) \cdots (\omega_{(n-1)/2}^2 - \omega^2/\omega_s)}{(1 - \omega_1^2 \omega^2/\omega_s)(1 - \omega_2^2 \omega^2/\omega_s) \cdots (1 - \omega_{(n-1)/2}^2 \omega^2/\omega_s)} \quad (2b)$$

n : 기수

식(2)에서 $R_n(\omega)$ 의 영점에서 $|H(j\omega)|$ 는 최대치를 갖으며, $R_n(\omega)$ 의 극점에서 $|H(j\omega)|$ 는 영이 된다. 그러므로 $R_n(\omega)$ 의 영점을 통과대역에, 극점을 저지대역에 분포시킴으로써 그림 1과 같이 양대역에서 각각 등파상 특성을 갖게 된다.



(a) $n = 5$



(b) $n = 6$

그림 1. Elliptic 함수의 크기 특성
Fig. 1 Magnitude characteristics of the elliptic function.

우수 차수의 elliptic 원함수 식의 크기 특성은 그림 1(b)와 같이 $\omega = 0$ 에서 통과대역의 최대값을 갖지 못하고 $\omega = \infty$ 에서도 영이 아닌 유한값을 갖기 때문에 감도특성이 우수하고 능동 RC 회로망으로 직접적인 변환이 가능한 그림 2와 같은 수동 부중단 제자형 회로망의 실현은 커플드 코일(coupled coil)을 사용하지 않고는 불가능하다. 또한 최대 전력전송이 가능한 $R_1 = R_2$ 인 경우를 실현할 수 없다. 따라서 우수차수의 함수인 경우 수동 회로망으로 합성하기 위해서는 주파수 변환을 수행하였고 이에 따라 천이대역이 넓어지는 단점을 갖는다 [9].

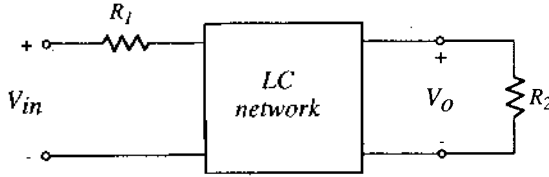


그림 2. 수동 복종단 회로방
Fig. 2 Passive doubly-terminated circuit.

기존의 elliptic 원함수가 우수 차수에서도 최대 전력전송이 가능한 수동 복종단 제자형 회로로 실현되기 위해서는 그림 1(a)와 같이 $\omega = \infty$ 에서 $|H(j\omega)| = 0$ 이 되며 $\omega = 0$ 에서 통과대역의 최대값을 갖는 기수함수 형태를 가져야 한다. 따라서 기존의 우수함수를 기수함수 형태로 변형하기 위해서는 다음 두 조건을 만족하여야 한다.

조건 (1) : $|H(j\infty)| = 0$, $n =$ 기수, 우수

조건 (2) : $|H(j0)| = 1$ 과 $|H(j1)| = 1/\sqrt{1+\epsilon^2}$.

위의 두 조건을 만족하기 위하여 식(2)의 항을 식(3)과 같이 변형하여 대입하면 식(4)와 같은 개선된 elliptic 함수를 구할 수 있다.

$$R_n(\omega) \rightarrow \omega R_{n-1}(\omega) \tag{3}$$

$$|H(j\omega)| = \frac{1}{\sqrt{1 + \lambda^2 \omega^2 R_{n-1}^2(\omega)}} \tag{4}$$

여기서

$$\lambda = \frac{\epsilon}{R_{n-1}(1)} \tag{5}$$

이고, 유리함수 $R_{n-1}(\omega)$ 는 식(2)와 같다.

식(4)의 분모에는 ω^2 항이 존재하여 통과대역과 저지대역에서 ω 가 증가할수록 파상이 점진적으로 감소하며 모든 차수 n 에 대하여 $|H(j\infty)| = 0$ 과 $|H(j0)| = 1$ 이 되어 조건 (1), (2)를 만족하게 된다. 또한 $\omega = \omega_c$ 에서 통과대역의 파상은 최소 허용 손실량과 같고 $\omega = \omega_s$ 에서의 저지대역 파상은 최대값을 가지며 식(6)과 같은 점근선을 따라 감소한다.

$$|h_p(j\omega)| = \frac{1}{\sqrt{1 + \lambda^2 \omega^2 R_{n-1}^2(1)}} : \text{통과대역 점근선} \tag{6a}$$

$$|h_s(j\omega)| = \frac{1}{\sqrt{1 + \lambda^2 \omega^2 R_{n-1}^2(\omega_s)}} : \text{저지대역 점근선} \tag{6b}$$

개선된 elliptic 함수의 크기특성을 식(4)로부터 $n=5 \sim 8$ 에 대해 그림 3에 나타냈다.

본 논문에서 제시한 개선된 elliptic 함수의 크기 특성은 통과대역 및 저지대역에서 점진적 감소 파상을 갖기 때문에 기존 함수에 비하여 극점-Q 값이 작아지므로 주

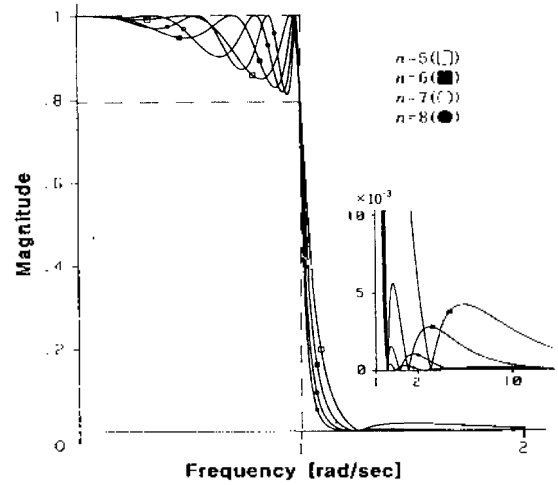


그림 3. 개선된 elliptic 함수의 크기 특성
Fig. 3 Magnitude characteristics of the modified elliptic function.

파수 영역에서의 지연 특성이 보다 더 평탄하게 되고, 시간 영역에서의 단위 계단응답 특성도 개선된다 [11]. 또한 천이 영역에서의 차단 경사도는 동일한 n 차의 elliptic 함수에 비하여 완만하지만 기존의 $n-1$ 차와 비교하면 경사오차 $\omega^2/(1+\epsilon^2)^{3/2}$ 만큼 더 급격하게 된다.

통과대역 손실 α_p 와 저지 주파수 ω_s 에서의 감쇠 α_s 가 설계명세조건에 의해 제시될 때 개선된 elliptic 함수의 차수 n 을 구하는 수식은 식(7)과 같다.

$$q_0 = \frac{1}{2} \cdot \frac{1 - [1 - (\omega_c / \omega_s)^2]^{1/4}}{1 + [1 - (\omega_c / \omega_s)^2]^{1/4}} \tag{7a}$$

$$q = q_0 + 2q_0^5 + 15q_0^9 + 150q_0^{13} \tag{7b}$$

$$D = \frac{1}{\omega_s^2} \cdot \frac{10^{0.1\alpha_s} - 1}{10^{0.1\alpha_p} - 1} \tag{7c}$$

$$n \geq 1 + \frac{\log(16D)}{\log(1/q)} \tag{7d}$$

식(4)로부터 구한 개선된 elliptic 함수는 유리 함수로서 다음과 같이 표현할 수 있다.

$$H(s) = K \prod_{j=1}^{n/2} \frac{s^2 + c_j}{(s - p_j)(s - p_j^*)} \quad n : \text{우수} \tag{8a}$$

$$H(s) = \frac{K}{s - a_0} \prod_{j=1}^{(n-1)/2} \frac{s^2 + c_j}{(s - p_j)(s - p_j^*)} \quad n : \text{기수} \tag{8b}$$

III. CMOS DDA 회로의 설계

1. CMOS DDA의 설계

Op-amp의 이론을 확장한 새로운 능동 소자인 DDA는 두개의 single ended 입력선입 대신에 두개의 차동 입력

전압을 비교한다는 것 외에는 op-amp와 유사하다. 부궤환(negative feedback)을 갖는 이상적인 op-amp와 마찬가지로 이상적인 DDA가 부궤환을 갖을 때 입력전압의 관계는 식(9a)와 같으며, 그의 출력전압은 식(9b)로 나타낼 수 있다.

$$V_{IP} - V_{PN} = V_{NP} - V_{NN} \quad (9a)$$

$$V_o = A[f_P(\Delta V_P) - f_N(\Delta V_N)], \quad A \rightarrow \infty \quad (9b)$$

$$\Delta V_P = V_{PP} - V_{PN}, \quad \Delta V_N = V_{NP} - V_{NN}$$

DDA를 실현하는 가장 일반적인 구조는 식(9)의 함수 f_P 와 f_N 를 전달 콘덕턴스 소자[12][13]를 이용하여 그림 4의 블록 다이어그램과 같이 구성할 수 있다. 이 실현 방법에서 함수 $f_P(\Delta V)$ 와 $f_N(\Delta V)$ 는 어떠한 ΔV 에 대해서도 항상 같아야 한다.

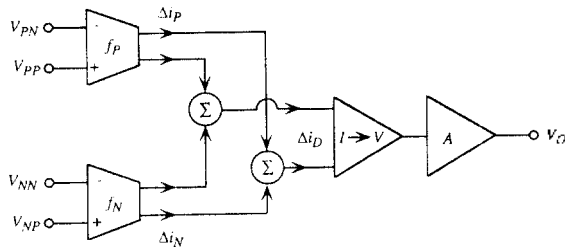


그림 4. DDA 블록 다이어그램
Fig. 4 DDA block diagram.

본 논문에서 입력단의 전달 콘덕턴스는 대칭된 두개의 트랜지스터가 포화 영역에서 동작하고, 일정한 값의 플로팅(floating) 전압 V_b 를 갖는다. 전달 콘덕턴스의 출력전류를 두 트랜지스터의 드레인 전류의 차로 하면 오프셋(offset) 전류 성분이 존재하며 이를 제거하기 위하여 하나의 게이트를 접지시킨다. 그리고 선형 전달 콘덕터의 특성을 얻기 위하여 그림 5와 같이 두 회로를 크로스 커플드(cross coupled)[14]로 연결하면 출력전류는 V_b 와 입력 전압 V_{in} 만으로 제어될 수 있다.

그림 5에서 출력전류는 다음과 같다.

$$\begin{aligned} I_o &= (I_{D1} - I_{D2}) - (I_{D3} - I_{D4}) \\ &= (I_{D1} + I_{D4}) - (I_{D2} + I_{D3}) \\ &= I_1 - I_2 = \beta_1 V_b V_{in} \end{aligned} \quad (10)$$

선형 전달 콘덕터의 g_m 값은 $\beta_1 V_b$ 로 주어지며, 전압 V_b 에 의해 선형적으로 조절할 수 있다. 전압 V_b 를 생성하는 회로는 NMOS 트랜지스터로 구성된 두개의 동일한 레벨 쉬프터를 이용한다.

설계된 선형 전달 콘덕턴스를 이용하여, op-amp의 설

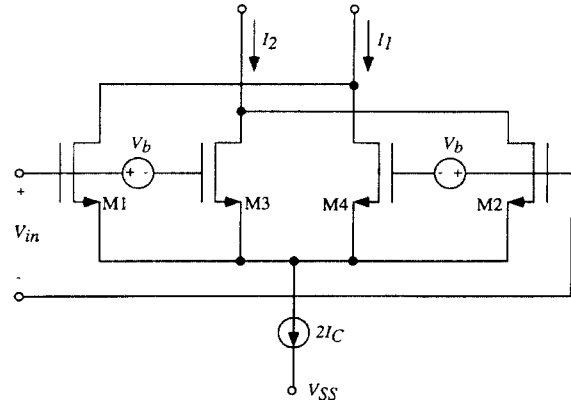


그림 5. 차동 전달 콘덕턴스 회로
Fig. 5 Differential transconductance circuit.

계 규격과 그림 4의 블록 다이어그램에 의해 CMOS DDA 회로를 그림 6과 같이 설계하였다. 그림 6에서 4개의 입력단은 M1~M9 및 M10~M18의 정합된 두개의 선형 전달 콘덕터로 실현하였고 M9와 M18은 진류원이다. 출력단은 극점 분할 커패시터 C_c 와 극점/영점 소거법에 의해 내부적으로 보상된 구조[15]로 구성하였다.

그리고 CDMA 무선 휴대폰용 저역통과 필터에 적용할 수 있도록 설계된 CMOS DDA의 트랜지스터 크기를 표 1에 제시하였다.

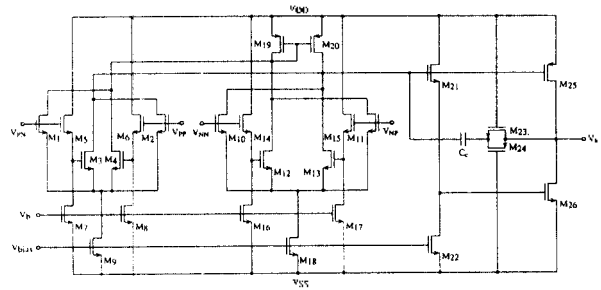


그림 6. 설계된 CMOS DDA 회로
Fig. 6 Designed CMOS DDA circuit.

표 1. 설계된 DDA의 트랜지스터 크기
Table 1. Transistor size of the designed DDA.

트랜지스터	종 류	W/L [μm]	트랜지스터	종 류	W/L [μm]
M1 ~ M4	NMOS	700 / 2	M5 ~ M8	NMOS	20 / 2
M9, M18	NMOS	300 / 2	M10~M13	NMOS	700 / 2
M14~M17	NMOS	20 / 2	M19~M20	PMOS	700 / 2
M21	NMOS	30 / 2	M22	NMOS	140 / 2
M23	NMOS	20 / 2	M24	PMOS	20 / 2
M25	PMOS	499 / 2	M26	NMOS	62 / 2

2. CMOS DDA의 시뮬레이션

그림 6과 같이 설계된 CMOS DDA 회로와 표 1로부터

터 0.8 μ m CMOS 파라미터를 이용하여 HSPICE에 의해 동작 특성을 조사하였다. CDMA 무선 휴대용 회로에 적용할 수 있도록 하기 위하여 바이어스 전압 $V_{bias} = -3.0[V]$, $V_b = -4.2[V]$ 로 선택하였고, $V_{DD} = -V_{SS} = 5[V]$, 극점 분할 커패시터 $C_c = 1[pF]$ 로 설계하였다. 또한 부하 커패시턴스 $C_L = 10[pF]$ 로 설정하였다. 그리고 DDA의 특성 시뮬레이션 결과를 표 2에 제시하였다.

표 2. CMOS DDA의 동작 특성
Table 2. Characteristics of the CMOS DDA.

Parameter	Simulation result
Open loop gain	63.5 dB
Unit-gain frequency	1.49 GHz
Phase margin	30 Deg.
Slew-rate	
positive	25.6 V/ μ s
negative	18.9 V/ μ s
Input common mode range	3V / +3.2V
Common mode rejection ratio	66.8 dB
Output Swing	-4.77V / +4.62V
Output Resistance	5.62 k Ω
Power dissipation	326 mW

설계된 CMOS DDA의 성능을 평가하기 위하여 DDA 전압 인버터를 구성하고 1VP-P, 1KHz 입력 전압에 의한 transient 분석 결과를 그림 7에 나타내었다.

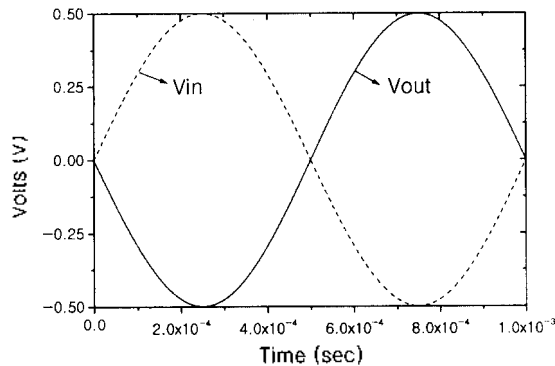


그림 7. DDA 전압 인버터의 특성
Fig. 7 Characteristics of the DDA voltage inverter.

IV. 아날로그 DDA 필터의 설계

본 논문에서 설계할 아날로그 능동 저역통과 필터는 CDMA 방식인 무선 휴대용 시스템의 RF 부분과 기저대역 신호를 처리하는 디지털 회로의 중간 부분에 위치하는 IF단에 속한다 [16]. 수신단의 저역통과 필터는 전단의 믹서를 통과한 신호 중 이미지 성분의 잡음을 제외한 베이스 밴드 신호만을 통과시켜 다음 단의 ADC에서 샘플링시 aliasing 현상이 발생하지 않도록 하는 역할을 한다.

1. DDA 필터 회로의 설계

CDMA 무선 휴대용 아날로그 능동 저역통과 필터를 설계하기 위한 설계명세조건을 표 3에 제시하였다.

표 3. 저역통과 필터의 설계명세조건
Table 3. Specification of the lowpass filter.

통과대역 파상	$a_p \leq 1.0$ [dB]
저지대역 감쇠	$a_s > 48$ [dB]
차단 주파수	$\omega_c = 630$ [KHz]
저지 주파수	$\omega_s < 2.0$ [rad/s]

표 3의 조건에 맞는 개선된 elliptic 함수의 차수 n 은 5차이며 수동 복종단 제자형 회로망으로 합성한 회로를 그림 8에 제시하였다. 그리고 능동 필터로 설계하기 위하여 직접 모의법인 개구리 도약법을 적용하여 5차의 수동 회로망으로부터 각 지로에 대한 어드미턴스와 임피던스 관계식을 식(11)에 나타내었다.

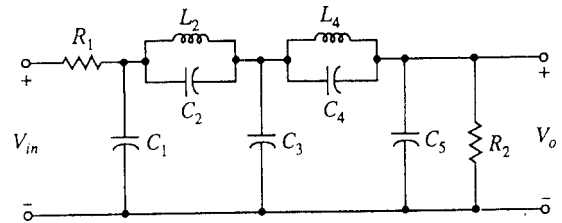


그림 8. 수동 복종단 제자형 회로망, $n = 5$
Fig. 8 Passive doubly-terminated ladder network, $n = 5$.

$$\begin{aligned}
 Y_1(s) &= \frac{1}{R_1}, & Z_2(s) &= \frac{1}{sC_1} \\
 Y_3(s) &= \frac{1}{sL_2} + sC_2, & Z_4(s) &= \frac{1}{sC_3} \\
 Y_5(s) &= \frac{1}{sL_4} + sC_4, & Z_6(s) &= \frac{1}{sC_5} \\
 Y_7(s) &= \frac{1}{R_2}
 \end{aligned} \tag{11}$$

식(11)의 Z_2 , Z_4 및 Z_6 는 차동 적분기로 실현할 수 있고, Y_3 , Y_5 는 차동 적분기와 차동 미분기를 병렬로 연결함으로써 실현할 수 있으며, Y_1 과 Y_7 은 수동 복종단 제자형 회로의 양단 저항 R_1 , R_2 와 관계 있는 값으로써 표준화된 수동 회로망에서 $R_1 = R_2 = 1[\Omega]$ 이다. 그러므로 $Y_1 = Y_7 = 1$ 이 되어 부유 저항을 포함한 차동 증폭기를 이용하지 않고 감산 증폭기와 단입력 전압 인버터로 실현할 수 있다.

이상으로부터 설계된 DDA 저역통과 필터 회로를 그림 9에 제시하였다. 그림 9에서 모든 저항은 DDA 접지 저항으로 대체할 수 있다.

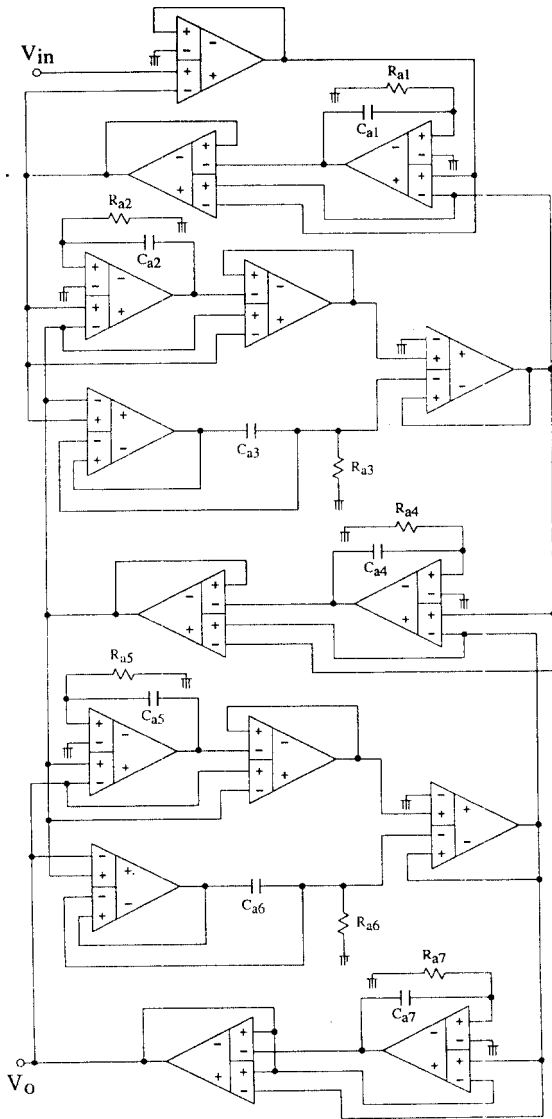


그림 9. DDA 저역통과 필터, $n = 5$
Fig. 9 DDA lowpass filter, $n = 5$.

2. DDA 필터의 시뮬레이션 및 고찰

표 3의 설계명세조건을 만족하는 수동 복중단 제자형 회로망은 DDA 능동 회로망으로 실현할 경우 부유 저항이 필요치 않는 회로를 선택하였으며, 차단 주파수는 설계명세조건상의 주파수인 630KHz로 선택하였고, 집적화 시 칩의 면적을 고려하여 임피던스 스케일링을 통해 저항값과 커패시턴스 값을 구하였다. 그리고 비규준화된 수동 저역통과 필터와 DDA 저역통과 필터의 각 소자값을 표 4에 제시하였다.

비규준화된 소자 값으로부터 시뮬레이션한 크기 특성을 그림 10에 나타내었다. 그림 10의 시뮬레이션 결과, 수동 저역통과 필터의 특성과 개구리 도약법에 의해 능동 필터화 한 아날로그 DDA 저역통과 필터의 특성이 일치함을 알 수 있다.

표 4. 수동 및 DDA 필터의 소자값, $n = 5$

Table 4. Element values of the passive and DDA filter, $n = 5$.

Passive filter (Unit : K Ω , mH, pF)	C_1	82.4	C_2	2.2
	C_3	133.7	C_4	13.8
	C_5	72.1	L_2	1.2
	L_4	1	R_1, R_2	3
	C_{a1}	2.47	C_{a2}	3.93
DDA filter (Unit : K Ω , pF)	C_{a3}	2.24	C_{a4}	4.01
	C_{a5}	3.37	C_{a6}	2.06
	C_{a7}	2.16	R_{a1}, R_{a2} R_{a4}, R_{a5} R_{a7}	100
	R_{a3}	3	R_{a6}	20

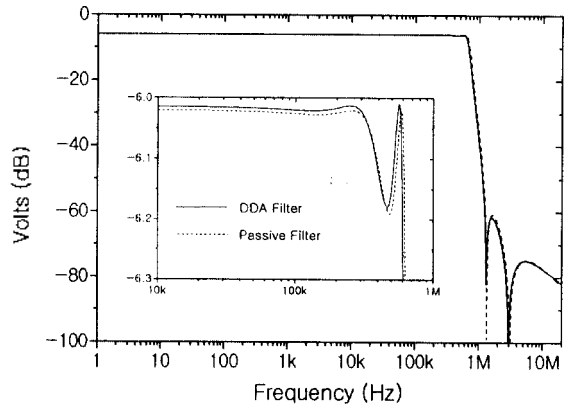


그림 10. DDA 저역통과 필터의 SPICE 시뮬레이션, $n = 5$
Fig. 10 SPICE simulation of the DDA lowpass filter, $n = 5$.

V. 결 론

본 논문에서는 기존의 elliptic 저역통과 필터 함수의 시간영역 및 주파수영역의 특성을 개선시킨 개선된 elliptic 저역통과 필터 함수를 제시하였고, DDA 소자는 CDMA 용 필터의 설계에 적용할 수 있도록 0.8 μ m CMOS 공정 기술로 설계하였다. 그리고 개선된 함수와 CMOS DDA의 응용회로를 이용하여 CDMA 무선 휴대용 아날로그 DDA 저역통과 필터를 설계하였다.

기존의 elliptic 함수가 갖는 단점을 보완하기 위해 본 논문에서 제시한 개선된 elliptic 필터 함수는 통과대역과 저지대역에서 집진적 감소 과상 특성을 갖고, 우수 또는 기수 차수 모두에 대해서 $\omega = 0$ 에서는 통과대역의 최대값, $\omega = \infty$ 에서는 영이 되어 수동 복중단 제자형 회로망으로 함수식 $R_1 = R_2$ 가 되며 최대 전력전송이 가능하게 된다. 또한 개선된 함수는 통과대역과 저지대역에서 과상이 점진적으로 감소하기 때문에 차단 주파수 부근을 제외한 모든 저지대역에서 감쇠가 커져 잡음 제거 능력이 우수하므로 신호 복원시 오차를 줄일 수 있다.

DDA는 입력단을 두개의 선형 전달 컨덕터로 구성하였

고 0.8 μm CMOS 공정 파라미터를 적용하여 설계한 결과 1.32GHz의 단위 이득 주파수를 갖는다. 아날로그 DDA 저역통과 필터의 설계는 수동 복중단 제자형 회로망의 저감도 특성이 유지되는 개구리 도약법으로 모의하고, 적분기, 미분기, 감산증폭기 및 전압 인버터 등의 DDA 응용회로를 이용하여 설계하였다. 그리고 설계된 아날로그 DDA 저역통과 필터를 HSPICE로 시뮬레이션한 결과 차단 주파수인 630KHz에서 통과대역 파상이 0.96dB로 설계조건을 만족하였다.

참 고 문 헌

1. K. S. Gilhousen *et al.*, "On the capacity of a cellular CDMA system," *IEEE Trans. Veh. Technology*, vol. 40, pp. 303-312, May 1991.
2. A. J. Viterbi and R. Padovani, "Implications of mobile cellular CDMA," *IEEE Commun. Mag.*, vol. 30, pp. 38-41, Dec. 1992.
3. D.M. Rabrenović and M.D. Lutovac, "Minimum stopband attenuation of Cauer filters without elliptic functions and integrals," *IEEE Trans. on Circuits and Systems*, vol. 40, no. 9, pp. 618-621, Sept. 1993.
4. D.Y. Kim, "A new approach in the synthesis and analysis of elliptic filters," Ph.D. dissertation, University of Manitoba, 1984.
5. D.M. Rabrenović and M.D. Lutovac, "A simplified design of some Cauer filters without Jacobian elliptic functions," *IEEE Trans. on Circuits and Systems*, vol. 39, no. 9, pp. 666-671, Sept. 1992.
6. Y.P. Tsividis, "Integrated continuous-time filter design - An overview," *IEEE J. Solid-State Circuits*, vol. SC-29, no. 3, pp. 166-176, March 1994.
7. P.E. Allen and D.R. Holberg, *CMOS Analog Circuit Design*, New York: Holt, Rinehart and Winston, 1987.
8. E. Säckinger and W. Guggenbühl, "A versatile building block: the CMOS differential difference amplifier," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 287-294, april 1987.
9. L.P. Huelsman and P.E. Allen, *Introduction to the theory and Design of Active Filters*, McGraw-Hill Book Co., New York, 1980.
10. R. Schaumann, M.S. Ghausi and K.R. Laker, *Design of Analog Filters*, Prentice-Hall, Englewood Cliffs, N.J., 1990.
11. H.K. Kim, "The effects of lower Q values on the filters having equal ripples in passband," *IEEE Trans. Circuits and Systems*, vol. CAS-39, pp. 305-309, April 1992.
12. A. Nedungadi and T.R. Viswanathan, "Design of linear CMOS transconductance elements," *IEEE Trans. Circuits and Systems*, vol. CAS-31, no. 10, pp. 891-894, Oct. 1984.
13. Z. Wang and W. Guggenbühl, "A voltage-controllable linear MOS transconductor using bias offset technique," *IEEE J. Solid-State Circuits*, vol. SC-25, no. 1, pp. 315-318, Feb. 1990.
14. S. Szczepanski, R. Schaumann and P. Wu, "Linear transconductor based on crosscoupled CMOS pairs," *Electronics Letters*, vol. 27, no. 9, pp. 783-785, April 1991.
15. R. Gregorian and G.C. Temes, *Analog MOS Integrated Circuits for Signal Processing*, New York : John Wiley and Sons, 1986.
16. R. Kerr *et al.*, "The CDMA digital cellular system-an ASIC overview," in *Proc. IEEE Custom Integrated Circuits conf.*, pp. 10.1/1-7, May 1992.

▲윤 창 훈(Chang-Hun Yun)

한국음향학회지 제16권 8호 참조

현재: 우석대학교 정보통신 및 컴퓨터공학부(정보통신전공)
전임강사

▲최 석 우(Seok-Woo Choi)

한국음향학회지 제16권 8호 참조

현재: 전북대학교 부속 전기전자회로합성연구소 조교수

▲안 정 철(Joung-Chul Ahn)

1987년 2월: 한양대학교 공과대학 전자공학과(공학사)

1990년 2월: 전북대학교 대학원 전기공학과(공학석사)

1996년 9월: 일본동경공업대학 전자물리공학과(공학박사)

1990년 2월 ~ 현재: 한국전자통신연구원 부호기술연구부 선임연구원

※주관심분야: 아날로그 집적회로 설계, 아날로그 신호처리