

Log N 단 자기루팅 ATM 셀 집중기

(Log N-stage Self-Routing ATM Concentrator)

李 聖 昌 *

(Sungchang Lee)

요 약

본 논문에서는 log N 단을 가지는 ATM 셀 집중기를 제안하였다. ATM 집중기는 ATM 망 자원의 활용효율을 높이기 위해 ATM 액세스 망에서 필수적으로 사용되며, ATM 스위치의 구성에 이용되기도 한다. 본 고에서는 집중기 구성의 기본요소가 되는 등분기를 정의하고 이것에 의한 ATM 집중기 구성의 이론을 기술하였으며, 이 기본 요소에 의해 ATM 셀 집중기가 효과적으로 구현될 수 있음을 보였다. 또한, 집중기의 임의의 출력으로부터 밀집(compact)하게 집중할 수 있게하는 집중기 제어 방안도 제시되었다. 이 방안에 의해 ATM 셀 집중기뿐만 아니라 분배기(distributor) 혹은 barrel shifter도 경제적으로 구현할 수 있음을 보였다. 제안된 ATM 셀 집중기는 $O(N \log N)$ 의 복잡도를 가지므로 구현상 경제적이며, 루팅의 결정에 소요되는 시간은 $O(N \log N)$ 으로 기존의 $O(N)$ 의 루팅 결정 시간을 가지는 집중기들에 비해 동작속도를 고속화할 수 있다.

Abstract

In this paper, we propose a log N-stage ATM concentrator. ATM concentrator is used in the ATM access network to concentrate the traffic offered at UNI, so that high utilization of the network resources is achieved. The concentrator may be used as a construction block in the design of ATM switch. We define a basic element, named equalizer, and describe its function and theory to construct an efficient concentrator using the element. In addition, a control scheme to enhance the concentrator to a superconcentrator is presented, which enables the concentration to start from an arbitrary output. This scheme makes it possible to construct an efficient distributor or a barrel shifter which are often used in ATM switch and other applications. The proposed concentrator has a low hardware complexity of $O(N \log N)$, thus it is economical to implement. Also, the time complexity of proposed concentrator for determining the routing is $O(N \log N)$, which is faster than that of the existing ones.

I. 서 론

ATM(Asynchronous Transfer Mode) 기술은 다양각색의 서비스들을 하나의 망으로 지원하기 위한 B-ISDN(Broadband-Integrated Services Digital Network)의 기반기술로 채택되어 통신망에 도입되고

있다. 완전한 B-SIDN으로의 진화에는 상당히 긴 시간이 소요되겠지만 부분적인 ATM망은 그 도입이 확산되어 가고 있다. ATM 기술의 대표적인 특징은 패킷 스위칭에서와 같이 망 자원을 많은 통신 접속들이 공유함으로써 망 자원의 활용효율을 높이면서도 짧은 고정 길이의 셀(cell)을 사용하여 실시간 통신을 포함한 모든 종류의 통신형태를 지원한다는 것이다.

ATM 망에서 망 자원의 활용효율을 높이기 위해 중요한 역할을 하는 것이 집중기(concentrator)이다. 집중기는 이러한 목적을 위해 가입자 망 혹은 전송계에 필수적이다. 가입자 액세스 망(access network)의

* 正會員, 韓國航空大學校 通信情報工學科

(Department of Telecommunications, Hankuk Aviation University)

接受日字: 1997年11月17日, 수정완료일: 1998年1月12日

주요 역할은 UNI(user-network interface)에 유입되는 트래픽을 다중화(multiplexing)하고 집중화(concentration)하는 것이다.^[1] 특히, UNI에 유입되는 실제 트래픽과 UNI의 통신 대역폭의 사이에 큰 차이가 있는 경우에는 망 자원의 활용효율을 높이기 위해 가입자 ATM 스위치로 유입되는 트래픽을 집중화하는 것이 중요하다. ATM의 도입 초기에는 ATM 망이 지원하는 가입자 망의 대역폭과 실제 가입자들이 사용하는 통신 대역폭 사이에는 큰 차이가 있을 것이다. 따라서, 가입자계에서의 집중화는 더욱 중요시된다.

집중기의 또 다른 역할은 ATM 스위치의 구현에서 찾아 볼 수 있다. 출력 버퍼형 스위치는 입력 버퍼형이나 기타 여러 형태의 스위치들에 비해 탁월한 성능으로 인해 선호되고 있다.^[2] 그러나, 출력 버퍼형 스위치는 한 셀 스위칭 주기(cycle)내에서 하나의 출력 단자가 여러 입력 단자들로부터 셀을 전송 받을 수 있다는 가정을 기본으로 하고 있다. 이를 위해서는 시간분할이나 공간분할을 사용하여 입출력간 논리적 혹은 실제의 다중 경로를 제공하여야 한다. 시간분할을 사용하는 경우에는 스위치의 동작속도가 높아져야 하며, 동작속도의 고속화는 구현상에 한계가 있다. 따라서, 스위치 동작속도의 고속화의 한계를 회피하기 위해 스위치를 공간분할로 구현하거나 혹은 공간분할을 활용하는 경우가 많다.^{[3] [4] [5]} 이러한 경우에 있어서 다수의 입력 단자들로부터의 셀들을 하나의 출력으로 집중하여야 한다.

이러한 ATM 셀 집중기는 자기루팅(self-routing) 무차단(non-blocking) ATM 스위치 구조를 활용하여 집중기를 구현할 수도 있다. 대표적 예로는 크로스포인트(crosspoint) 혹은 cellular interconnection arrays^[6] 형태의 스위치에 의한 집중기의 구현을 생각할 수 있다. 또한, 실제의 구현 예로는 sorting network 이나^{[7] [8]} knockout 스위치에서의^[9] knockout 셀 집중기 등이 있다. 그러나, 어떤 입력들의 집합을 불특정 출력들의 집합으로 스위칭하는 집중화의 기능을 각각 별개의 특정 출력으로 스위칭할 수 있는 self-routing non-blocking ATM 스위치로 구현하는 것은 기능을 과잉으로 구현하는 것이며 경제적으로 적절치 않다. 이러한 맥락에서 경제적으로 구현이 가능한 ATM 셀 집중기에 대한 여러 연구들이 제안된 바 있다.

이론적으로 strict-sense 무차단 집중기는 적어도

$O(N \log N)$ 의 복잡도(1-bit switching element 단위의 complexity)를 가진다.^[10] 이에 비해 sorting network은 $O(N \log^2 N)$ 의 복잡도를 가지며, 너아웃(knockout) 집중기의 복잡도는 N개의 입력과 L개의 출력(L개까지만 하나의 출력으로 집중 가능)의 경우에 $O(NL)$ 로서 크로스포인트 형태와 같은 복잡도를 가진다. 한편, 집중기 입력단에서 셀들의 정보를 이용하여 집중기 네트워크 내의 루팅을 결정함으로써 집중기의 복잡도를 감소시키거나 집중되는 셀의 수를 제한하기 위한 연구들도 제안되었다. 즉, running (sum) adder 나^{[11] [12]} ring-reservation scheme을^{[13] [14]} 이 용한 방법 등이 그 예이다. 이 두 가지 방안에서는 입력 단자들이 선형으로 연결되어 이 연결에 의해 집중에 필요한 정보를 전송하고 루팅을 결정한다.

본 논문에서 제안하는 집중기에서는 루팅 결정을 위한 입력들간의 정보전달 연결이 나무구조로 구성된다. 선형연결은 정보전달에 $O(N)$ 시간이 필요한 데에 비해 나무구조는 $O(\log N)$ 이 필요하다. 따라서, 집중기 네트워크는 각 단들이 pipelining방식으로 동작하므로 지연이 가장 큰 단의 지연에 의해 동작속도가 좌우된다는 점을 고려할 때, 제안된 집중기는 네트워크의 동작속도를 빠르게 할 수 있다는 장점이 있다. 또한, 제안된 집중기의 구현 복잡도는 $O(N \log N)$ 으로 낮다.

제II장에서는 제안된 집중기 구조의 기본이 되는 요소와 용어들을 정의하며, 제III장에서는 제II장에서 정의된 요소들에 의해 집중기의 구조를 기술한다. 제IV장에서는 제III장에서 정의한 기본요소의 구조를 기술한다. 제V장에서는 제안된 집중기의 기능을 super-concentrator로 확장하는 이론을 제시하며, 제VI장에서 결론을 맺는다.

II. 등분기(Splitter)

본 장에서는 본 논문에서 제안하는 concentrator 구성의 기본이 되는 등분기(equalizer)를 정의한다.

정의 1 : 두 자연수, a 와 b 간의 관계기호 " \geq^* "(혹은 " \leq^* ")를 다음과 같이 정의한다. 즉,

$$(a \geq^* b) \equiv (a=b \text{ or } a=b+1)$$

정의 2 : $N \times N$ Equalizer(등분기)는 입력이 $N(=2^k, k=1,2,\dots)$ 개, 출력이 N 개인 네트워크이며 다음과

같은 특성을 갖는다.

- 1) 각 입력($s_i, i=0,1, \dots, N-1$)과 출력($r_j, \tilde{r}_j, j=0,1, \dots, \frac{N}{2}-1$)의 값은 이진수(binary)이다.
- 2) 1의 값을 갖는 입력의 수와 1의 값을 갖는 출력의 총수는 같다. 즉,

$$\sum_{i=0}^{N-1} s_i = \sum_{j=0}^{\frac{N}{2}-1} r_j + \sum_{j=0}^{\frac{N}{2}-1} \tilde{r}_j$$

- 3) 출력은 각각 N/2개의 출력을 가지는 두 그룹,

$$P = \{ \tilde{r}_j : j=0,1,2, \dots, \frac{N}{2}-1 \}$$

$$Q = \{ r_j : j=0,1,2, \dots, \frac{N}{2}-1 \}$$

(P 그룹 및 Q 그룹)으로 나누어지며, 등분기는 두 그룹의 출력간에 다음과 같은 관계를 갖도록 출력한다.

$$\sum_{j=0}^{\frac{N}{2}-1} \tilde{r}_j \geq * \sum_{j=0}^{\frac{N}{2}-1} r_j, (\tilde{r}_i \in P, r_i \in Q)$$

즉,

$$\sum_{j=0}^{\frac{N}{2}-1} \tilde{r}_j = \left\lfloor \frac{1}{2} \cdot \sum_{i=0}^{N-1} s_i \right\rfloor, \sum_{j=0}^{\frac{N}{2}-1} r_j = \left\lceil \frac{1}{2} \cdot \sum_{i=0}^{N-1} s_i \right\rceil$$

특성 3)은 등분기가 1의 값을 가지는 입력들을 P-그룹과 Q-그룹에 최대한 균등하게 분배하여 루팅하며, 입력 값들의 총합이 홀수인 경우에는 P-그룹 출력의 합이 1만큼 크도록 출력한다는 의미이다. 이 경우, P-그룹이 분배우선순위(DP: Distribution Priority)가 높다고 표현하며, 분배우선순위는 P-그룹이 0, 그리고 Q-그룹이 1이 된다.

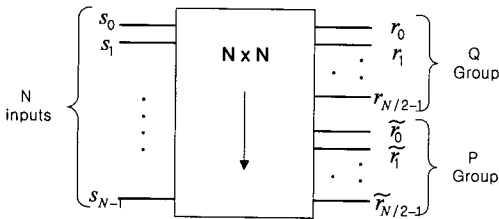


그림 1. N×N 등분기
Fig. 1. N×N Equalizer.

그림 1에 NxN 등분기의 기호를 나타내었다. 기호에 표시된 화살 머리쪽이 분배우선순위(DP)가 높은 P 그룹의 출력들임을 나타낸다.

정의 3 : n 자리 이진수 i 의 k-bit unshuffle permutation, $U_n^k(i)$ 를 다음과 같이 정의한다.

$$U_n^k(i) = U_n^k(b_{n-1} b_{n-2} \dots b_k b_{k-1} \dots b_2 b_1 b_0) \\ (b_{n-1} b_{n-2} \dots b_k b_0 b_{k-1} \dots b_2 b_1)$$

정의 4 : n 자리 이진수 i 의 bit-reverse permutation, $R_n(i)$ 를 다음과 같이 정의한다.

$$R_n(i) = R_n(b_{n-1} b_{n-2} \dots b_2 b_1 b_0) \\ (b_0 b_1 b_2 \dots b_{n-2} b_{n-1})$$

III. 등분기를 이용한 Concentrator의 구조

본 장에서는 제II장에서 정의한 등분기를 이용하여 새로운 집중기(concentrator)를 제안한다.

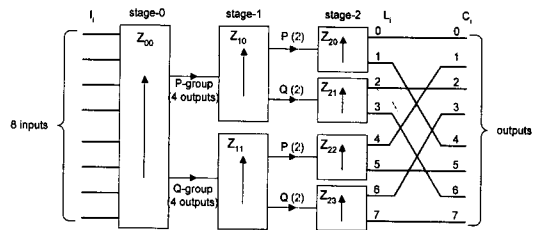


그림 2. 등분기를 이용한 concentrator의 구조
Fig. 2. Structure of the concentrator using equalizer.

그림 2에 등분기를 이용한 8x8 집중기의 구조를 보였다. 이하의 기술에서 등분기 네트워크의 각 stage는 입력 측으로부터 stage-0, stage-1, ... 등으로 표시하며, Z_{ij} 는 stage-i의 j-번째($j=0,1,2, \dots$) 등분기를 나타낸다. 등분기 Z_{ij} 의 입력(혹은 출력도 마찬가지)의 합은 T_{ij} 로 나타낸다. 각 입력 및 출력은 이진수 값을 가지므로 T_{ij} 는 Z_{ij} 의 입력(혹은 출력)중 그 값이 1인 입력 (혹은 출력)의 수와 같다. 등분기의 입력들은 그림 2에 표기된 바와 같이 위에서부터 $I_i(i=0, 1, 2, \dots)$ 로, 마지막 단 등분기의 출력들은 $L_i(i=0, 1, 2, \dots)$ 로, 그리고 집중기의 최종 출력들은 $C_i(i=0, 1, 2, \dots)$ 로 표기한다. 또한, N x N 등분기(Equalizer)는 EQZ(N)로 표기하기로 한다.

NxN 집중기는 Stage-0 에 하나의 EQZ(N), Z_{00} , 가 있고 이것의 N개 출력들은 각각 N/2개의 P-그룹 및 Q-그룹 출력으로 나뉘어 stage-1의 두 EQZ(N/2), Z_{10} 와 Z_{11} , 로 연결된다. 마찬가지로 stage-i 의 각 EQZ(2^{n-i}), Z_{ij} , 는 다음 단의 두 EQZ($2^{n-(i+1)}$), $Z_{i+1,2j}$ 및 $Z_{i+1,2j+1}$ 로 연결된다. EQZ(2) 들의 출력들로 이루어지는 마지막 단 출력들은 제II장

에서 정의된 bit-reverse permutation, $R_n(i)$ 에 의해 최종적으로 집중기의 출력에 연결된다. 즉, 마지막 단의 등분기의 출력 L_i 와 집중기의 최종 출력 C_j 간에는,

$$L_i \Rightarrow C_{R_n(i)}, \quad i = 0, 1, 2, \dots, N-1$$

와 같이 bit-reverse permutation으로 연결된다.

임의의 N에 대한 집중기(Concentrator)의 구성은 다음의 정리에 따라 일반화될 수 있다.

정리 1 : NxN 집중기는 그림 2와 같이 각 stage-i($i=0,1,2,\dots,\log N - 1$)에 2개의 EQZ(2^{n-i})로 이루어지는 네트워크를 구성하고, 최종 단의 출력들을 bit-reverse permutation, $R_n(i)$ 으로 연결함으로써 구성할 수 있다.

증명 :

등분기의 정의에 의해 각 등분기의 입력 혹은 출력의 합, T_{ij} 들은 다음과 같은 관계를 갖는다.

$$\begin{aligned} T_{10} &= \lfloor \frac{T_{00}}{2} \rfloor & T_{11} &= \lfloor \frac{T_{00}}{2} \rfloor \\ T_{20} &= \lfloor \frac{T_{10}}{2} \rfloor = \lfloor \frac{\lfloor \frac{T_{00}}{2} \rfloor}{2} \rfloor & T_{21} &= \lfloor \frac{T_{10}}{2} \rfloor = \lfloor \frac{\lfloor \frac{T_{00}}{2} \rfloor}{2} \rfloor \\ T_{22} &= \lfloor \frac{T_{11}}{2} \rfloor = \lfloor \frac{\lfloor \frac{T_{00}}{2} \rfloor}{2} \rfloor & T_{23} &= \lfloor \frac{T_{11}}{2} \rfloor = \lfloor \frac{\lfloor \frac{T_{00}}{2} \rfloor}{2} \rfloor \end{aligned}$$

그런데, 여기서 T_{ij} 들은 자연수이므로,

$$T_{20} \geq * T_{22} \geq * T_{21} \geq * T_{23}$$

임을 쉽게 증명할 수 있다. Stage-i에서의 Z_{ij} 들의 분배우선순위를 $DP\{Z_{ij}\}(=0,1,2,\dots; 0$ 이 최우선 순위)라고 정의하면, stage-2에서의 분배우선순위의 관계는

$$DP\{Z_{20}\} < DP\{Z_{22}\} < DP\{Z_{21}\} < DP\{Z_{23}\}$$

가 된다. 이 관계식을 반복적으로 적용하여 일반화하면, 임의의 stage-i 에서 j 번째 등분기의 ($j=(b_{i-1}b_{i-2} \dots b_1b_0)_2$) 분배우선순위는 $DP\{Z_{ij}\}=(b_0b_1 \dots b_{i-2}b_{i-1})_2$ 가 된다. 앞에서 정의된 bit-reverse permutation, $R_n(i)$ 을 사용하여 표기하면, stage-i에 있는 등분기 Z_{ij} 의 분배우선순위는

$$DP\{Z_{ij}\} = R_n(j), \quad 0 \leq j \leq 2^i - 1$$

가 된다. 그러므로, 마지막 단 등분기의 출력에 대해서는,

$$DP\{L_j\} = R_n(j), \quad 0 \leq j \leq N-1$$

가 성립되고, 집중기의 최종 출력은 마지막 단 등분기 출력들과 bit-reverse permutation으로 연결되므로,

$$DP\{C_j\} = DP\{L_{R_n(j)}\} = R_n\{R_n(j)\} = j, \quad 0 \leq j \leq N-1$$

가 되고, 따라서, 그림 2는 1의 값을 갖는 입력들은 C_0 로부터 오름차순으로 집중하는 집중기임이 증명된다.

사실 1 : T_{ij} 의 표현식에서 ceiling 함수($\lceil \cdot \rceil$)을 연산자(operator) P로, floor 함수($\lfloor \cdot \rfloor$)를 연산자 Q로 표기한다면, T_{22} 와 T_{23} 을 예로 든다면,

$$T_{22} = P \cdot Q(T_{00}) \rightarrow DP\{z_{22}\} = (01)_2$$

$$T_{23} = Q \cdot Q(T_{00}) \rightarrow DP\{z_{23}\} = (11)_2$$

의 관계를 유추할 수 있다. 즉, 어떤 등분기 Z_{ij} 의 분배우선순위의 한 자리-k(bit-k) $b^k[DP\{Z_{ij}\}] = (x_{i-1} \dots x_k \dots x_1 x_0)_2$ 는, Z_{00} 에서 Z_{ij} 로 연결되는 경로 상에서 stage-k에서는 어느 그룹을 거쳤느냐를(0이면 P-그룹, 1이면 Q-그룹) 표시하게 된다.

IV. 등분기의 구조 및 동작

1. 등분기의 구조

본 장에서는 제III장에서 제안한 집중기의 구성에 기본 요소가 되는 등분기의 구조 및 동작을 기술한다. 그림 3에 등분기의 내부 구조를 보였다. 등분기의 내부 구조는 그림에서와 같이 크게 셀 스위치부와 루팅 제어부로 나뉘어 진다.

셀 스위치부는 2x2 스위치 요소(switching element)들로 구성되며, 등분기에 입력된 셀이 스위칭되어 출력되는 경로이다. 즉, 각 2x2 스위치 요소는 입력되는 2개의 입력 셀을 루팅 제어신호에 따라 평행 연결 혹은 교차연결에 의해 출력시킨다.

한편, 각 셀은 ATM 셀 헤더와 페이로드(payload)로 이루어지는 셀자신 외에도 셀 헤더 앞에 ATM 집중기 네트워크 내에서의 루팅을 위한 내부 루팅 헤더를 달고 있다. 이 내부 루팅 헤더에는 집중을 해야 할 유효 셀(active cell)인 지 빈 셀(idle cell)인 지를 나타내는 집중표시(concentration tag)가 있다. 이하의 기술에서 집중표시가 1인 셀을 집중 셀, 0인 셀을 빈 셀이라 칭하며, ATM 집중기는 집중 셀들을 지정된 출력그룹에 집중시킨다.

루팅 제어부는 등분기로 입력되는 셀들의 집중표시를 입력 받아 각 스위치 요소의 루팅을 결정하고, 루팅의 결과 생성된 루팅 제어신호를 셀 스위치부의 각 스위치 요소로 보내준다. 셀 스위치부의 각 스위치

요소는 루팅 제어부로부터 전달되어 온 루팅 제어신호에 따라 내부 헤더를 포함한 전체 셀을 스위칭하여 출력한다. 스위치 요소들로부터 스위칭 되어 나오는 출력은 다시 $U_n^m(i)$ (unshuffle) permutation에 의해 P-그룹 및 Q-그룹의 두 그룹으로 나뉘어 등분기의 최종 출력으로 연결된다. 즉, 그림 3에서와 같이 2x2 스위치 요소의 출력들을 위로부터 a(0), a(1), a(2), ... 로, 또한, 등분기의 출력을 b(0), b(1), b(2), ... 로 각각 번호를 매기면,

$$a(i) \Rightarrow b(U_n^m(i))$$

로 연결되게 된다.

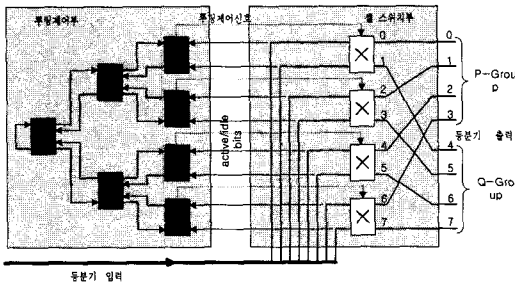


그림 3. 등분기의 구조
Fig. 3. The Structure of an Equalizer.

2. 루팅 제어 및 등분기의 동작

루팅 제어부는 등분기의 입력을 사용하여 제어신호를 생성한다. 그림 3에 보인 바와 같이 루팅 제어부는 나무구조로 되어 있다. 나무구조의 최하위 노드는 스위치 요소의 두 입력으로부터 집중표시를 입력 받는다. 그리고, 그 상위의 각 노드는 하위의 두 노드로부터 루팅을 위한 신호를 받고 자신이 처리한 결과를 상위 노드에 올려 보낸다. 최상위 노드는 자신의 제어 결과를 다시 두 하위 노드에 내려보내며 각 하위 노드는 동작 알고리즘에 따라 자신이 결정한 신호 혹은 상위에서 내려온 신호를 자기의 하위 노드들에게 내려보낸다. 그림 4에 루팅 제어부 나무구조의 한 노드를 보았다. 나무구조의 각 노드는 다음의 알고리즘에 따라 상위 노드와 하위 노드로 전송할 신호를 발생시킨다.

루팅 제어 생성 Algorithm :

1. $U_P = U_L \oplus U_R$
2. if $U_P = 0$ then $D_R = 0, U_L = 1$
else if $U_P = 1$ then $D_R = D_L = D_P$
3. at the root, $D_P = U_P$
4. at the leaves, 스위치 요소를 위한 루팅 제어신

$$호, A = D_R \oplus U_R$$

5. 각 스위치 요소는, $A=0$ 이면 평행연결, $A=1$ 이면 교차연결로 루팅을 설정한다.

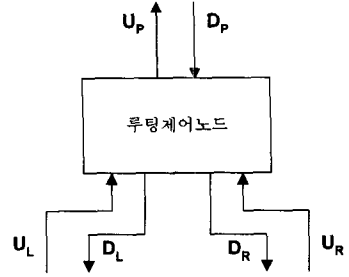


그림 4. 루팅 제어 노드
Fig. 4. A Node of Routing Control Part.

알고리즘 항목4는 루팅 제어부의 최하위 노드들의 동작을 기술하고 있으며, 이 노드들에서의 U_R 및 U_L 는 이 노드에 연결된 스위치 요소의 두 입력 셀들의 집중표시가 된다. 이 노드들에서는 셀 스위치부의 2x2 스위치 요소에 가해지는 루팅 제어신호, A를 생성한다. 이때, A의 생성식에서 상위 노드로부터의 신호는 D_R 혹은 D_L 중 어느 것을 사용해도 상관없다. 한편, 셀의 집중표시(U_R 또는 U_L)는 스위치 요소의 두 입력 중 그 출력이 P-그룹쪽으로 연결된 입력(본 논문의 설명에서는 U_R)을 사용한다.

사실 2 : 스위치 요소에 입력되는 두 셀의 집중표시가 0 과 1일 때, 집중표시가 1인 셀은 항상, 루팅 제어신호 A가 1이면 P-그룹으로, A가 0이면 Q-그룹으로 루팅 된다.

그림 3에서 각 스위치 요소의 두 입/출력들 중에서 위쪽의 입/출력을 입/출력-0, 아래쪽의 출력을 입/출력-1로 표기하기로 한다. 그림에서 출력-0이 P-그룹 쪽으로 연결되어 있으므로 입력-0을 루팅 제어 A의 생성에 사용되는 U_R 로 생각한다. 두 셀의 집중표시가 0과 1이고, 루팅 제어신호가 A=1 인 경우를 생각하면, A와 집중표시가 XOR되어 루팅을 설정하므로, 입력-0의 집중표시가 0이면 교차연결이 되어 집중 셀은 P-그룹으로 루팅이 된다. 입력-0의 집중표시가 1이었다 하더라도 이 경우에는 평행연결이 되어 집중 셀은 P-그룹으로 루팅 된다. 루팅 제어신호가 A=0인 경우도 마찬가지로 설명된다.

정리 2 : 정의 2의 등분기는 그림 3의 구조와 상기 알고리즘에 의해 구성될 수 있다.

증명 :

셀 스위치부의 어떤 스위치 요소에 입력되는 두 셀의 집중표시가 0-0 혹은 1-1인 경우는, 스위치 요소의 두 출력이 각각 P-그룹과 Q-그룹으로 나누어 연결되므로, 루팅 제어설정(평행 혹은 교차)에 관계없이 P-그룹과 Q-그룹에 같은 수의 집중 셀을 루팅 시키게 된다. 이 경우 실제로는, 최하위 노드는 상위 노드로부터의 신호에 상관없이 $D_R = 0$ $D_L = 1$ 을 하위로 출력하게 되고(algorithm 항목 2) 스위치 요소는 어느 신호를 사용하든 상관없다.

한편, 스위치 요소에 입력되는 두 셀의 집중표시가 1-0 혹은 0-1인 경우에는 각 노드는, 두 하위 입력(집중표시)을 XOR하여 상위로 보내므로(항목 1), $U_P = 1$ 신호를 상위 노드의 U_R 혹은 U_L 로 전달한다. 이 $U_P = 1$ 신호는 상위의 어떤 노드에서 다른 하위 노드로부터의 $U_P = 1$ 신호와 짝을 이루어 $U_P = 0$ 신호가 될 때까지 계속 상위로 전달된다. $U_P = 1$ 의 신호들이 짝을 이루어 일단 $U_P = 0$ 가 되는 상위의 노드는 그 상위로부터의 신호를 무시하고 자신이 $D_R = 0$, $D_L = 1$ 을 하위로 전달한다(항목 2). 그러면, $U_P = 1$ 신호를 상위로 전달했던 두 하위 노드는 $D_R = D_L = D_P$ 로 상위에서 내려오는 신호를 그대로 하위로 전달한다(항목 2). 따라서, 처음 $U_P = 1$ 를 상위로 발생시켜 상위의 노드에서 짝을 이룬 최하위의 두 노드는 각각 $D_P = 0$ 과 $D_P = 1$ 신호를 나누어 전달 받게 된다. 따라서, 사실 2 에 의해, 집중 셀은 P-그룹과 Q-그룹으로 균등하게 나누어져 루팅 된다.

한편, 집중 셀의 총수가 홀수인 경우에는 나머지 하나의 집중 셀은 짝을 이루지 못하게 되고, 루팅 제어부 최상위 노드에서는 $U_P = 1$ 가 된다. 그런데, 이 경우 최상위 노드는 $D_P = U_P = 1$ 로 신호를 설정하므로(항목 3) 짝을 이루지 못한 최하위 노드는 $D_P = 1$ 을 전달 받게 되고, 이 노드에 연결된 스위치 요소의 집중 셀은 P-그룹으로 루팅 되게 된다. 그러므로, 집중 셀의 총수가 홀수인 경우에는 집중 셀을 P-그룹에 우선적으로 루팅 한다.

V. Superconcentrator

제III장에서 기술한 집중기에서는 출력-0으로부터 분배우선순위가 높은 출력 순서로 정렬함으로써 출력

-0으로부터 집중했던 데에 비해, 본 장에서는 집중기의 임의의 출력 단자로부터 높은 분배우선순위를 부여할 수 있는 방안을 제시한다. 이 기능을 응용하는 예로서는 집중 셀들을 집중기의 임의의 출력단자로부터 인접한 출력 단자들에 밀집(compact)하게 집중시키는 것이 있다. 이것은 집중기의 구성에 유용하게 활용될 수 있으며, 분배기(distributor)나^{[12][15]} barrel shifter로도^[9] 활용될 수 있다.

스위칭 이론에서는 집중기(concentrator)가 입력의 어떤 부분집합을 불특정(unspecified) 출력들로 스위칭하는 데 비해, 초집중기(superconcentrator)는 입력의 부분집합을 출력의 어떤 부분집합으로 스위칭하는 것으로 정의한다.^[10] 특히, 밀집 초집중기(compact superconcentrator)는 초집중기의 경우에서 출력의 부분집합이 밀집일 때를 말한다. 여기서, 밀집(compact)의 정의는 $\{0,1,2,\dots,N-1\}$ 의 어떤 부분집합이 모듈로 N 으로 연속된 순서로 정렬될 수 있는 경우를 말한다.

집중기의 임의의 출력단자에서부터 밀집하게 출력할 필요성은 여러 경우에 발생한다. 한 예로, 스위치 네트워크의 부하를 균등히 분배하는 역할을 하는 소위 분배기의 구성에 활용될 수 있다. 다른 예로서, 넉아웃(Knockout) 스위치의 구조에서는 각 출력은 버스 정합(bus interface)에 N 개의 패킷 여과기(packet filter)들을 가진다. 이 패킷 여과기를 통과한 셀들은 $N \times L$ 넉아웃 집중기를 거쳐 다시 $L \times L$ shifter에 의해 공유버퍼에 입력된다. 이 shifter는 집중기 출력의 한 쪽 끝으로부터 집중되어 있는 셀들을 임의의 출력으로부터 밀집하게 circular shift의 기능을 수행한다. 결국, 집중기와 shifter의 직렬연결에 의해 임의의 출력으로부터 밀집하게 출력하는 초집중기를 구성하고 있다. $N \times L$ 넉아웃 집중기의 복잡도는 $O(NL)$ 2×2 스위치 요소이며, shifter는 Omega 네트워크와 running adder등의 루팅 제어회로 등으로 구성되거나 $L \times L$ 크로스바(crossbar) 스위치 구성이 필요하게 된다.

본 논문에서 제안하는 집중기를 임의의 출력으로부터 밀집하게 출력할 수 있게 한다면, $\log N$ 단 네트워크와 루팅 제어에 의해 집중기와 circular shifter의 기능을 동시에 수행할 수 있게 된다. 따라서, 구현의 복잡도를 줄여서 스위치를 경제적으로 구성할 수 있을 뿐 아니라 네트워크에서의 전달지연도 줄이게 된다.

임의의 출력으로부터 올림차순(내림차순도 마찬가지로

지)으로 밀집하게 집중하기 위해서는 집중기 내의 각 등분기의 '분배우선방향'을 조정해야 한다. 즉, 이것은 등분기의 두 출력 그룹 중에서 어느 쪽을 P-그룹으로 (나머지 하나는 자연히 Q-그룹으로) 설정하느냐를 결정하는 것이다.

정의 5 : 방향제어신호 d_{ij} 를 각 등분기 Z_{ij} 의 분배우선방향을 조정하기 위한 1 bit씩의 제어신호로 정의하며, d_{ij} 는

$$d_{ij} = \begin{cases} 0 & \text{출력-0측이 P-그룹} \\ 1 & \text{출력-0측이 Q-그룹} \end{cases}$$

와 같이 설정된다.

예로서, 그림 2는 모든 등분기의 방향제어신호가 0인 경우이다. 각 등분기의 방향제어신호는 자기 독립적으로 설정될 수 있다.

정리 3 : 집중기의 어떤 출력 $C_k(k=0,1,2,\dots,N-1)$ 로부터 오름차순으로 밀집(compact)하게 집중하기 위한 집중기 내 등분기들 Z_{ij} 의 분배우선방향 제어신호, d_{ij} 의 설정은

$$d_{ij} = b^i \{ [R_n (2^{n-1} \cdot j) - k] \bmod N \}$$

가 된다

위식에서 $b^i(x)$ 는 자연수 x 의 이진수(binary) 표현 $x = (x_n x_{n-1} \dots x_1 x_0)$ 에서의 비트 x_i 를 나타내며, $n = \log N$ 이다. 또한, C_k 로부터 오름차순으로 밀집하게 집중한다는 것은 출력, $C_m (m=0,1,2, \dots, N-1)$ 의 분배우선순위가

$$DP\{C_m\} = (m - k) \bmod N$$

이 된다는 것을 의미한다.

증명 :

집중기의 출력 C_m 들과 마지막 단 등분기의 출력 L_m 들간의 연결은 bit-reverse permutation이므로, L_m 은 $C_{R_n(m)}$ 와 연결된다. 따라서, L_m 의 분배우선순위는 $C_{R_n(m)}$ 의 분배우선순위와 같다. 즉,

$$DP\{L_m\} = DP\{C_{R_n(m)}\} = [R_n(m) - k] \bmod N$$

이 된다.

등분기들로 이루어지는 집중기 네트워크를 Z_{00} 를 root로 마지막 단 등분기의 출력 L_m 들을 leaf로 하는 나무구조(tree)로 생각하면, 사실 1에 의해 $DP\{L_m\}$ 의 bit-k는 root에서 출력 L_m 에 이르는 경로상 stage-k에서 어느 그룹을 거치느냐(0이면 P-그룹, 1이면 Q-

그룹)를 나타낸다. 그런데, 정의 5에 의해, 각 등분기 Z_{ij} 의 분배우선방향 제어신호 d_{ij} 는 그 등분기를 root로 하는 부분 나무구조에서 맨 첫번째 leaf가 되는 마지막stage 등분기 출력 L_m 의 분배우선순위 $DP\{L_m\}$ 의 각 해당 자리(bit)와 같다(사실 1). 등분기 Z_{ij} 를 root로 했을 때의 첫번째 leaf가 되는 마지막 단 등분기 출력은 $2^{n-1} \cdot j$ 번째 출력, 즉, $L_{2^{n-1} \cdot j}$ 이므로,

$$\begin{aligned} d_{ij} &= b^k \{ DP\{L_{(2^{n-1} \cdot j)}\} \} = b^k \{ DP\{C_{(2^{n-1} \cdot j)}\} \} \\ &= b^k \{ [R_n(2^{n-1} \cdot j) - k] \bmod N \} \end{aligned}$$

가 된다.

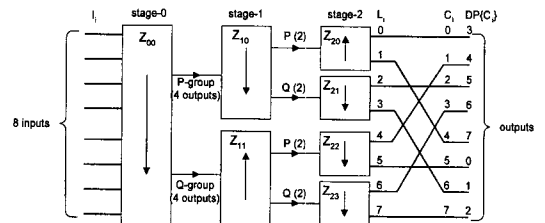


그림 5. 임의의 출력단자로부터의 집중
Fig. 5. Concentration from an arbitrary output.

그림 5에 정리 3에 의한 임의의 출력단자로부터의 집중의 예를 보였다. 이 예에서는 출력단자, C_5 로부터 시작하는 밀집한 집중을 보여주고 있다. 정리 3에 의해 $k=5$ 인 경우에는 $d_{00}=1, d_{10}=1, d_{11}=0, d_{20}=0, d_{21}=d_{22}=d_{23}=1$ 가 됨을 알 수 있고, 이 설정에 의해 등분기들의 분배우선방향은 그림 5와 같이 된다.

VI. 결론

본 논문에서는 $\log N$ 단을 가지는 ATM 셀 집중기를 제안하였다. 제안된 집중기는 그 구현 복잡도가 $O(N \log N)$ 로서 기존의 제안된 집중기들에 비해 낮다. 또한, 집중기의 각 단에서의 루팅 결정에 소요되는 지연도 $O(N \log N)$ 로 짧으므로, pipelining 방식으로 동작되는 ATM 셀 집중기 네트워크의 동작을 고속화할 수 있는 장점이 있다. 또한, 본 논문에서는 제안된 집중기에서 출력의 집중우선순위를 임의의 출력으로부터 시작하도록 제어할 수 있는 알고리즘도 제시하였다. 이 알고리즘에 의해 집중기 뿐만 아니라 분배기나 shifter(혹은 barrel shifter)등을 경제적으로 구현할 수 있다.

참 고 문 헌

- [1] Achille Pattavina, Design of a Packet Concentrator for Broadband Networks, Proc. ICC 1990, pp. 817-821.
- [2] Mark J. Karol, Michael G. Hluchyj, and Samuel P. Morgan, Input Versus Output Queueing on a Space-Division Packet Switch, IEEE Transactions on Communications, Vol. COM-35, No. 12, December, 1987.
- [3] Shuo-Yen Robert Li and Chu Man Lau, Concentrators in ATM Switching, Proc. of GLOBECOM 95, Vol. 3, pp. 1746-1750, 1995.
- [4] Giacomelli, J. N., Hickey, J. J., Marcus, W. S., Sincoskie, W. D., and Littlewood, M., Sunshine: a High-Performance Self-Routing Broadband Packet Switch Architecture, IEEE J. Select. Areas on Communications, Vol. 9, No. 8, pp. 1289-1298, Oct. 1991.
- [5] Sungchang Lee, Mi Lu, New Self-Routing Permutation Networks, IEEE Transactions on Computers, Vol. 43, No. 11, pp. 1319-1323, Nov. 1994.
- [6] William H. Kautz, Karl N. Levitt, and Abraham Wakaman, Cellular Interconnection Arrays, IEEE Transactions on Computers, Vol. C-17, No. 5, pp. 443-451, May 1968.
- [7] K. E. Batcher, Sorting Networks and their Applications, Proc. AFIP 1968 Spring Joint Computer Conference, Vol. 32, pp. 307-314, 1968.
- [8] Madihally J. Narashima, The Batcher-Banyan Self-Routing Network: Universality and Simplification, IEEE Transactions on Communications, Vol. 36, NO. 10, pp. 1175-1178, October 1988.
- [9] Yu-Shuan Yeh, Michael G. Hluchyj, Anthony S. Acampora, The Knockout Switch: A Simple, Modular Architecture for High-Performance Packet Switching, IEEE Journal on Selected Areas in Communications, Vol. SAC-5, NO. 8, pp. 1274-1282, October 1987.
- [10] Joseph Y. Hui, Switching and Traffic Theory for Integrated Broadband Networks, Kluwer Academic Publishers, Boston, MA, 1990.
- [11] Alan Huang, Scott Knauer, Starlite: A Wideband Digital Switch, Proc. of GLOBECOM 84, Atlanta, G, Nov. 1984, pp. 121-125.
- [12] Hyong S. Kim, Alberto Leon-Garcia, A Self-Routing Multistage Switching Network for Broadband ISDN, IEEE Journal on Selected Areas in Communications, Vol. 8, NO. 3, pp. 459-466, April 1990.
- [13] B. Bingham, H. E. Bussey, Reservation-based contention resolution mechanism for Batcher-banyan packet switches, Electronics Letters, Vol. 24, No. 13, June 1988, pp. 722-723.
- [14] B. Bingham, C. M. Day, L. S. Smooth, Enhanced Efficiency Batcher-banyan Packet Switch, U.S. Patent 4,761,780, 2 Aug. 1988.
- [15] Hyong S. Kim, Multinet Switch: Multistage ATM Switch Architecture with Partially Shared Buffers, IEEE INFOCOM 93, pp. 473-480.

저 자 소 개



李 聖 昌(正會員)

1983년 경북대학교 전자공학과 졸업(공학사).

1985년 한국과학기술원 전기 및 전자공학과

졸업(공학석사). 1991년 미국 Texas A&M

University 전기공학과 졸업(공학박사).

1985~ 1987년 한국과학기술원 시스템공학센

터 연구원. 1992 ~ 1993년 한국전자통신연구원 선임연구원.

1993~현재 한국항공대학교 통신정보공학과