

論文98-35S-2-1

입출력 큐를 갖는 ATM 스위치에서의 우선순위에 관한 성능 분석

(Performance Study of the Priority Scheme in an ATM Switch with Input and Output Queues)

李長遠*, 崔振植**

(Jang-Won Lee and Jin-Seek Choi)

요 약

서로 다른 특성을 갖는 광대역의 서비스들을 하나의 망으로 전송할 것을 목표로 하는 BISDN의 다중화 및 스위칭 방법으로 ATM이 채택되었으며 이러한 ATM 망의 구축을 위해서는 고속 스위칭이 가능한 대용량 스위치의 개발이 필수적이다. 따라서 본 논문에서는 ATM 망에 가장 적합한 구조라고 할 수가 있는 선매 방식(preemptive) 우선 순위를 갖는 입출력 큐잉 스위치의 성능을 분석하였다. 입력 큐의 분석을 위해서는 각 입력 큐를 우선 순위 클래스에 따라 두 개의 가상 입력 큐로 모델링하여 각각을 독립적인 Geom/Geom/1 큐로 가정을 하였으며 가상 입력 큐의 평균 서비스 시간을 구하기 위해서 각 가상 입력 큐의 HOL 셀 중 같은 출력 포트에 향하는 셀로 구성된 가상 HOL 큐를 따로 모델링하였다. 출력 큐의 분석을 위해서는 출력 큐로의 도착 프로세스를 가상 HOL 큐의 상태에서부터 근사적으로 구하여 분석하였다. 분석 방법은 Markov chain 분석 방법을 사용하여 셀 지연과 최대 수율(throughput)을 구하였으며 시뮬레이션을 통하여 분석 결과를 검증하였다.

Abstract

ATM was adopted as the switching and multiplexing technique for BISDN which aims at transmitting traffics with various characteristics in a unified network. To construct these ATM networks, the most important aspect is the design of the switching system with high performance and different service capabilities. In this paper, we analyze the performance of an input and output queueing switch with preemptive priority which is considered to be most suitable for ATM networks. For the analysis of an input queue, we model each input queue as two separate virtual input queues for each priority class and we approximate them as independent Geom/Geom/1 queues. And we model a virtual HOL queue which consists of HOL cells of all virtual input queues which have the same output address to obtain the mean service time at each virtual input queue. For the analysis of an output queue, we obtain approximately the arrival process into the output queue from the state of the virtual HOL queue. We use a Markov chain method to analyze these two models and obtain the maximum throughput of the switch and the mean queueing delay of cells. And analysis results are compared with simulation to verify that our model yields accurate results.

* 正會員, (株)데이콤 綜合研究所
(Dacom R&D Center)

** 正會員, 公州大學校 情報通信工學科

(Kongju Nat'l Univ., Dept. of Information
Communication Engineering)

接受日字: 1997年11月28日, 수정완료일: 1998年1月22日

I. 서론

BISDN을 위한 스위칭과 다중화 (multiplexing) 방식으로 asynchronous transfer mode (ATM)가 채택되었으며 ATM 망을 구성하기 위해서는 대용량의 정보를 고속으로 스위칭 해줄 수 있는 시스템의 개발이 핵심이다. 지금까지 많은 구조의 스위치 구조가 제안되었으며^[1,2,3] 이것들은 그 큐 (queue)의 위치에 따라서 다음과 같이 분류할 수가 있다. 첫번째로는 내부 큐잉 스위치 (internal queueing switch)이다. 이 스위치는 각 스위칭 소자마다 내부에 큐를 가지고 있는 구조이다. 큐가 스위치의 내부에 위치하기 때문에 하나의 칩(chip)으로 구현될 수 있는 스위치의 크기에 제한이 있으며 큐의 완전 분할에 의해서 효율이 떨어지므로 널리 사용되지는 않는다. 두번째로는 입력 큐잉 스위치 (input queueing switch)가 있다. 이 형태의 스위치는 스위치의 입력 포트에 큐를 두어 블러킹에 의해 전달되지 못하는 셀을 저장하는 방식이다. 각 출력 포트에 비해서 스위치 내부의 속도 증가가 필요 없고 각 입력 큐는 한 시간 슬롯에 하나씩의 셀을 전송하고 받을 수 있으면 되므로 구현이 간단하고 경제적이다. 그렇지만 head-of-line (HOL) 블러킹으로 인하여 최대 수율 (throughput)이 0.586으로 제한된다는 단점이 있다^[4]. 따라서 ATM 망에 사용되기에는 충분한 성능을 갖지 못하고 있다. 세번째로는 출력 큐잉 스위치 (output queueing switch)가 있다. 이 형태의 스위치는 각 출력 포트에 큐를 가지고 있으며 각 출력 포트에 향하는 모든 셀을 지연 없이 전달할 수가 있다. 따라서 HOL 블러킹이 없고 최대의 수율을 얻을 수 있다. 그렇지만 이 형태의 스위치는 N^2 개의 서로 다른 경로가 필요하고 각 출력 큐가 N 개의 셀을 동시에 받을 수 있어야 하므로 구현이 복잡하고 경제적이지 않다*. 따라서 입력 큐잉 스위치와 출력 큐잉 스위치의 장점들을 합한 형태로 입출력 큐잉 스위치 (input and output queueing switch)가 제안이 되었다^[5,6]. 이 형태의 스위치는 입출력 포트 모두에 큐를 가지고 있으며 하나의 출력 포트에 동시에 K 개의 셀을 전달할 수 있다는 것을 제외하고는 입력 큐잉 스위치처럼 동작을 한다. 따라서 이 형태의 스위치도 입력 큐잉 스위치와 같이 HOL 블러킹이 존재하지

만 이것은 출력 포트에 동시에 전달할 수 있는 셀수 K 에 의해서 성능이 조정될 수 있다. 그렇지만 출력 큐잉 스위치와 비슷한 성능을 보이기 위한 K 값이 출력 큐잉 스위치에 비해서 훨씬 작아도 되므로 출력 큐잉 스위치에 비해서 구현이 간단하고 경제적이면서도 출력 큐잉 스위치와 거의 같은 성능을 얻을 수가 있다. 따라서 성능과 경제성을 동시에 고려하면 입출력 큐잉 스위치가 ATM 망에 가장 적합한 구조라고 할 수가 있다. 그렇지만 ATM 망에서는 다양한 특성과 QOS (quality of service) 요구를 갖는 서비스가 단일 망으로 전달되므로 망 자원의 액세스를 다양한 QOS 요구에 따라서 조정해 줄 수가 있어야 한다. QOS를 정의하는 파라미터에는 여러가지가 있지만 그 중 대표적인 것이 셀 지연과 셀 손실률이다. 따라서 ATM에서는 셀 지연 우선 순위와 셀 손실 우선 순위에 따라 망 자원의 액세스를 조정할 수 있도록 하고 있다. 그러나 본질적으로 다양한 QOS를 만족하려면 스위치에서 우선 순위의 적용이 가능하여야만 한다. 특히 지연 시간에 민감한 실시간 멀티미디어 트래픽은 스위치에서 지연 시간 우선 순위가 적용되어야 한다. 위에서 살펴 본 것과 같이 지금까지 여러 구조의 스위치의 구조가 제안되었고 또 그 성능이 분석이 되었다. 우선 순위가 없는 경우는^[4, 7, 8, 9, 10, 11] 여러 종류의 스위치에 대해서 분석이 되었으며 셀 지연 우선 순위를 갖는 경우도^[12, 13, 14] 기존의 입력 큐잉 스위치나 출력 큐잉 스위치에 대해 분석이 되었다. 그렇지만 위에서 언급한 것과 같이 ATM 망에 보다 적합한 구조인 우선 순위를 갖는 입출력 큐잉 스위치의 경우는 지금까지 분석이 되지 않았다. 따라서 본 논문에서는 우선 순위 방법 중에 선매 방식 (preemptive) 우선 순위를 갖는 입출력 큐잉 스위치 성능을 분석할 것이다. 본 논문의 구성은 2절에서는 분석될 시스템에 대해서 기술을 하고 분석을 위한 모델을 제안하며 3절에서는 제안된 모델을 Markov chain을 이용해서 분석을 한다. 4절에서는 분석 결과와 시뮬레이션 결과를 비교하여 분석 결과를 검증하고 마지막으로 5절에서 결론을 맺는다.

II. 시스템 기술 및 분석 모델

본 논문에서 분석이 될 스위치의 구조는 그림 1과 같다. 이 스위치는 입력 큐와 출력 큐를 갖고 내부 블

* 여기에서 N 은 스위치의 포트 수이다.

력킹이 없는 $N \times N$ 스위치로써 동기식으로 동작을 한다. 한 시간 슬롯의 길이는 하나의 셀의 크기와 같다.

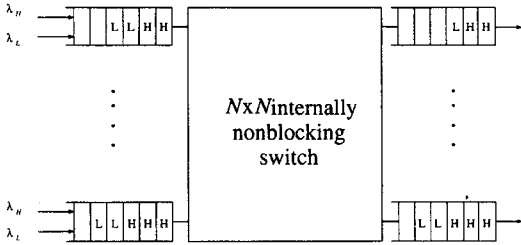


그림 1. 선매 방식 우선 순위를 갖는 입출력 큐잉 ATM 스위치
 Fig. 1. Input and output queueing ATM switch with preemptive priority.

스위치 내부에서는 하나의 시간 슬롯에 각 출력으로 K 개까지의 셀을 전송을 할 수가 있다. 입력되는 모든 셀은 일정한 크기를 가지며 높은 우선 순위 (high priority)와 낮은 우선 순위 (low priority)의 두가지 클래스로 나뉜다. 각 시간 슬롯마다 하나의 높은 우선 순위 셀과 낮은 우선 순위 셀이 독립적으로 각 입력 큐에 도착을 하며 높은 우선 순위 셀은 항상 입력 큐에서 전송을 기다리고 있는 모든 낮은 우선 순위 셀의 보다 먼저 전송된다. 만일 입력 큐의 HOL의 위치에 낮은 우선 순위 셀이 있으면 높은 우선 순위 셀이 선매를 할 수가 있어 낮은 우선 순위 셀을 밀어내고 먼저 출력 큐로의 전송을 위한 경쟁을 한다. 비선매 방식 (nonpreemptive) 우선 순위의 경우는 높은 우선 순위의 셀이 큐에서 기다리는 낮은 우선 순위 셀의 앞에 위치하지만 큐의 HOL에 있는 낮은 우선 순위 셀은 preemption 당하지 않고 계속해서 출력 경쟁을 할 수가 있다. 각 입력 큐에서 같은 클래스의 셀들은 first-come-first-service (FCFS) 방법으로 전송된다. 각 시간 슬롯마다 모든 입력 큐의 HOL 위치의 셀 중에서 같은 출력 포트의 주소로 가지고 있는 셀들은 출력 포트로의 전송을 위하여 서로 경쟁을 하게 된다. 그렇지만 하나의 시간 슬롯에 하나의 출력으로 K 개의 셀까지만이 전송될 수가 있으므로 다음과 같은 방법으로 전달될 셀을 선택해야 한다. 우선 높은 우선 순위 셀을 먼저 선택한다. 만일 높은 우선 순위 셀이 K 를 넘으면 랜덤 (random)한 방법으로 K 개를 선택한다. 만일 높은 우선 순위 셀의 수가 K 를 넘지 않으면 총 K 개를 채우도록 낮은 우선 순위 셀 중에서 역

시 랜덤하게 선택을 한다. 이때 전체 선택된 셀의 수는 K 를 넘을 수가 없다. 선택된 셀들은 출력 포트로 전달이 되며 나머지의 셀들은 입력 큐에 남아 다음 시간 슬롯에 경쟁을 반복한다. 각 출력 큐에서는 입력 큐에서 전달되는 K 개까지의 셀을 동시에 받아들일 수가 있으며 입력 큐에서와 같이 높은 우선 순위 셀이 큐에서 기다리는 모든 낮은 우선 순위 셀의 앞에 위치하게 된다. 출력 큐에서는 각 시간 슬롯마다 한개씩의 셀만을 출력 포트에 전송할 수가 있다.

위에서 기술한 스위치의 성능을 분석하기 위하여 몇 가지의 가정을 하기로 한다. 우선 스위치의 포트 수, N 을 무한대로 가정, *그리고 입력 포트와 출력 포트에 있는 모든 큐의 크기를 무한대로 가정을 한다. 즉, 스위치에서의 셀 손실은 없다고 가정을 한다. 각 입력 큐로 들어오는 높은 우선 순위 셀은 λ_H 를 그리고 낮은 우선 순위 셀은 λ_L 파라메타로 갖는 서로 독립인 Bernoulli 프로세스로 가정하며 매 슬롯 독립적으로 발생한다. 각 셀의 출력 포트 주소는 모든 출력 포트 사이에 균등하게 (uniformly) 분포되어 있다고 가정을 한다. 따라서 각 입력 큐와 출력 큐는 확률적으로 같은 성질을 갖게 되므로 하나의 입력 큐와 하나의 출력 큐의 동작만을 분석하는 것으로 전체 시스템의 성능을 알 수가 있게 된다.

각 입력 큐의 HOL 위치에 있는 셀 중에 같은 출력 포트 주소로 갖는 셀들은 전송을 위해 서로 경쟁하게 된다. 매 슬롯 경쟁에서 이긴 셀들은 전송되고 나머지 셀들은 전송이 지연되어 다음 슬롯에 다시 경쟁한다. 따라서 모든 입력 큐의 셀들은 서로 상관 관계 (correlation)가 있게 되므로 입력 큐를 직접 분석한다는 것은 매우 어렵다. 특히 낮은 우선 순위를 갖는 셀의 성능은 높은 우선 순위 셀의 영향을 받게되어 더욱 분석하기가 어렵게 된다. 그러므로 그림 2에 있는 것처럼 각 입력 큐를 높은 우선 순위 셀만을 저장하는 H-가상 입력 큐 (H-virtual input queue)와 낮은 우선 순위 셀만을 저장하는 L-가상 입력 큐 (L-virtual input queue)로 구성하여 모델링을 단순화한다^[14]. 하나의 입력 큐에는 H-가상 입력 큐의 HOL (H-HOL)과 L-가상 입력 큐의 HOL (L-HOL)이 따로 존재하게 된다^[13, 14]. 그렇지만

* N 이 16이상이 되면 두 시스템 사이의 차이가 거의 없어지게 된다^[9]

L-HOL의 위치에 있는 셀은 H-가상 입력 큐에 셀이 하나도 없을 경우에만 전송을 위한 경쟁을 할 수가 있다. 평균 입력 큐잉 지연 시간을 구하기 위해서 각 가상 입력 큐를 각각 λ_H 와 λ_L 의 입력률 (arrival rate)을 갖고 가상 입력 큐의 HOL 위치에서의 대기 시간을 서비스 시간으로 갖는 독립적인 Geom/Geom/1 큐로 가정을 하여 분석하였다. 이때 높은 우선 순위 클래스의 영향은 L-HOL에서의 평균 대기 시간을 계산할 때 고려가 된다. 그러므로 입력 큐잉 지연 시간을 구하기 위해 풀어야할 문제는 각 가상 입력 큐의 HOL에서의 평균 대기 시간이며 이것을 구하기 위해서 그림 3과 같이 각 가상 입력 큐의 HOL에 있는 셀 중에서 같은 출력 포트 주소를 갖는 셀들로 구성된 가상 HOL 큐 (virtual HOL queue)를 따로 모델링하여 분석한다.

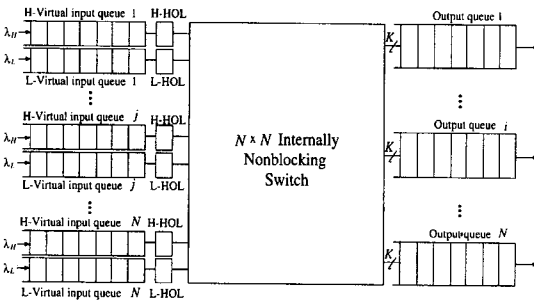


그림 2. 가상 입력 큐 모델
Fig. 2. A virtual input queue model.

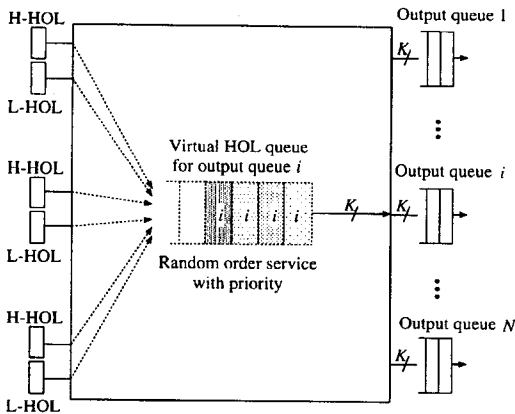


그림 3. 가상 HOL 큐 모델
Fig. 3. A virtual HOL queue model.

출력 큐의 분석을 위해서는 출력 큐로의 도착 프로

세스 (arrival process)를 알아야만 하지만 이것은 가상 HOL 큐의 상태 (state)와 상관 관계가 있고 각 시간 슬롯 사이의 연관성이 있어 정확하게 구하기는 어렵다. 따라서 본 논문에서는 가상 HOL 큐의 상태에서부터 출력 큐로의 입력 프로세스를 근사적으로 구하여 출력 큐를 분석하고자 한다. 가상 HOL 큐와 출력 큐를 분석하기 위해서 Markov chain 분석 방법을 사용하였다. 그리고 선매 방식 우선 순위의 경우는 높은 우선 순위 클래스의 성능은 우선 순위가 없는 시스템의 경우와 같게 되므로 본 논문에서는 낮은 우선 순위 클래스의 성능을 분석할 것이다.

III. 성능 분석

1. 입력 큐의 분석

우선 분석을 하기 전에 큐의 상태를 기술하기 위한 다음과 같은 랜덤 변수들을 정의한다.

- H_i : 시간 슬롯 i 에 가상 HOL 큐에 있는 H-HOL 셀의 수.
- L_i : 시간 슬롯 i 에 가상 HOL 큐에 있는 L-HOL 셀의 수.
- U_i : 시간 슬롯 i 에 출력 큐에 있는 높은 우선 순위 셀의 수.
- D_i : 시간 슬롯 i 에 출력 큐에 있는 낮은 우선 순위 셀의 수.
- X_i : 시간 슬롯 i 에 가상 HOL 큐로 도착하는 H-HOL 셀의 수.
- Y_i : 시간 슬롯 i 에 가상 HOL 큐로 도착하는 L-HOL 셀의 수.
- B_i : 시간 슬롯 i 에 출력 경쟁이 가능한 가상 HOL 큐에 있는 L-HOL 셀의 수.
- A_i : 시간 슬롯 i 에 출력 큐로 전송되는 가상 HOL 큐에 있는 H-HOL 셀의 수.
- M_i : 시간 슬롯 i 에 출력 큐로 전송되는 가상 HOL 큐에 있는 L-HOL 셀의 수.

가상 HOL 큐의 동작을 위의 랜덤 변수들을 이용하여 기술하면 다음과 같다.

$$H_{i+1} = H_i - \min(K, H_i) + X_i, \tag{1}$$

$$L_{i+1} = L_i - \min(K - \min(K, H_i), B_i) + Y_i, \tag{2}$$

여기에서 X_i 와 Y_i 는 N 이 무한히 커짐에 따라서 각각 λ_H 와 λ_L 을 파라메타로 갖는 Poisson 분포를 따른다는 것이 [4]에서 증명이 되었다. 위의 식 (1)과(2)를 이용하여 가상 HOL 큐의 동작을 다음의 세 가지씩의 경우로 나눌 수가 있다.

a. : 만일 시간 슬롯 i 에 $H_i \geq K$ 이면 K 개의 H-HOL 셀이 전송되고 L-HOL 셀은 전송되지 못한다.

b. : 만일 시간 슬롯 i 에 $H_i < K$ 이고 $L_i < K - H_i$ 이면 H_i 개의 H-HOL 셀과 M_i 개의 L-HOL 셀이 전송된다. 여기에서

$$\Pr(M_i = j) = \binom{L_i}{j} (P_0^H)^j (1 - P_0^H)^{L_i - j}, j = 0, 1, \dots, L_i \quad (3)$$

이다.

c. : 만일 시간 슬롯 i 에 $H_i < K$ 이고 $L_i \geq K - H_i$ 이면 H_i 개의 H-HOL 셀과 M_i 개의 L-HOL 셀이 전송된다. 여기에서

$$\Pr(M_i = j) = \begin{cases} \binom{L_i}{j} (P_0^H)^j (1 - P_0^H)^{L_i - j}, & j = 0, 1, \dots, K - H_i - 1 \\ \sum_{r=K-H_i}^{L_i} \binom{L_i}{r} (P_0^H)^r (1 - P_0^H)^{L_i - r}, & j = K - H_i \end{cases} \quad (4)$$

이다. 위의 식에서 P_0^H 는 H-가상 입력 큐에 셀이 하나도 없을 확률, 즉 L-HOL 셀이 출력 경쟁을 할 수가 있는 확률이다^[17]. 높은 우선 순위 셀은 낮은 우선 순위 셀에 영향을 받지 않으므로 P_0^H 를 구하기 위해서는 낮은 우선 순위 셀을 고려하지 않아도 된다. 따라서 높은 우선 순위 셀의 경우에는 시스템이 우선 순위가 없는 입출력 큐인 스위치가 되며 가상 HOL 큐를 이산 시간 (discrete time) M/D/K 큐로 모델링을 할 수가 있다. 여기에서의 높은 우선 순위 셀의 평균 지연 시간, D_{HOL}^H 를 [8]의 결과와 Little's law를 이용하여 구하면 다음과 같다.

$$D_{HOL}^H = \frac{1}{\lambda_H} \left(\lambda_H + \frac{\lambda_H^2 - K(K-1)}{2(K-\lambda_H)} + \sum_{i=1}^{K-1} \frac{1}{1-Z_i} \right) \quad (5)$$

여기에서 Z_i 는 방정식 $Z^K = e^{\lambda_H(1-Z)}$ 의 근이다. 이것은 입력 큐의 HOL 위치에서의 높은 우선 순위 셀의 평균 대기 시간이 되며 H-가상 입력 큐는 도착률 λ_H 와 평균 서비스 시간 D_{HOL}^H 를 갖는 Geom/Geom/1

큐로 모델링이 될 수가 있다. 따라서

$$P_{HOL}^H = 1 - \lambda_{HD}^H \quad (6)$$

이다. 위의 식을 이용하여 가상 HOL 큐를 분석하기 위하여 상태 변수 (h, i)을 정상 상태에서 HOL 큐에 있는 H-HOL 셀의 수가 h , L-HOL 셀의 수가 i 인 상태로 정의를 하고 상태 (h, i)의 확률, $P_{h,i}$ 을 다음과 같이 구할 수가 있다.

$$P_{h,i} = \sum_{j=0}^{K-1} \sum_{l=0}^{K-i-1} \sum_{b=\max(0, j-l)}^i x_{hy} x_{l-j+b} q_j(b) P_{i,j} + \sum_{i=0}^{K-1} \sum_{j=K-i}^{K+l-i} \sum_{b=\max(0, j-b)}^i x_{hy} y_{l-j+b} q^{*i}(b) P_{i,j} + \sum_{i=K}^{K+h} \sum_{j=0}^{K-i} x_{K-i+h} y_{l-j} P_{i,j} \quad (7)$$

$h = 0, 1, \dots \quad l = 0, 1, \dots$

그리고

$$\sum_{h=0}^{\infty} \sum_{i=0}^{\infty} P_{h,i} = 1, \quad (8)$$

여기에서

$$x_i = \Pr(X=i) = \frac{\lambda_H^i}{i!} e^{-\lambda_H},$$

$$y_j = \Pr(Y=j) = \frac{\lambda_L^j}{j!} e^{-\lambda_L}, \quad \text{그리고}$$

$$q_j(b) = \binom{j}{b} (P_0^H)^b (1 - P_0^H)^{j-b}, \quad 0 \leq b \leq j,$$

$$q^{*i}(b) = \begin{cases} \binom{j}{b} (P_0^H)^b (1 - P_0^H)^{j-b}, & 0 \leq b \leq K - i - 1 \\ \sum_{r=K-i}^j \binom{j}{r} (P_0^H)^r (1 - P_0^H)^{j-r}, & b = K - i \end{cases}$$

이다. 위의 식 (7)과(8)을 이용해서 가상 HOL 큐에서 낮은 우선 순위 셀의 평균 큐 길이, Q_{HOL}^L 을 구하면

$$Q_{HOL}^L = \sum_{i=0}^{\infty} i \sum_{h=0}^{\infty} P_{h,i} \quad (9)$$

이다. Little's law를 이용해서 평균 지연 시간, D_{HOL}^L 을 구하면

$$D_{HOL}^L = \frac{Q_{HOL}^L}{\lambda_L} \quad (10)$$

이 된다. 그러므로 L-가상 입력 큐는 도착률 λ_L 과 평균 서비스 시간 D_{HOL}^L 을 갖는 Geom/Geom/1 큐로 모델링이 되며 입력 큐에서의 낮은 우선 순위 셀의 평균 지연 시간, D_{OL}^L 을 구하면

$$D^{L,n} = \frac{D_{HOL}^L - D_{HOL}^L \lambda_L}{1 - D_{HOL}^L \lambda_L} \quad (11)$$

이 된다^[15].

2. 출력 큐의 분석

출력 큐의 분석을 위해서는 우선 출력 큐로의 도착 프로세스를 알아야만 하며 이것은 위에서 분석한 가상 HOL 큐의 상태에서부터 구할 수가 있다. 확률 $a_{i,j}$ 를 i 개의 높은 우선 순위 셀과 j 개의 낮은 우선 순위 셀이 도착할 확률이라고 정의를 하면 다음의 세가지의 경우로 나누어서 이 확률을 구할 수가 있다.

- a. : $i+j < K$ 인 경우는 가상 HOL 큐에 H-HOL 셀이 i 개가 있고 L-HOL 셀 중 j 개가 출력 경쟁을 할 수가 있을 때 가능하다.
- b. : $i+j = K$ 이고 $i < K$ 인 경우는 가상 HOL 큐에 H-HOL 셀이 i 개가 있고 L-HOL 셀 중 j 개 이상이 출력 경쟁을 할 수가 있을 때 가능하다.
- c. : $i = K$ 이고 $j = 0$ 인 경우는 가상 HOL 큐에 H-HOL 셀이 K 개 이상 있을 때 가능하다.

위의 세 경우에 따라서 확률 $a_{i,j}$ 를 구하면 다음과 같다.

$$a_{i,j} = \begin{cases} \sum_{m=j}^{\infty} P_{i,m} \binom{m}{j} (P_0^H)^j (1 - P_0^H)^{m-j}, & \text{if } i+j < K \\ \sum_{m=j}^{\infty} P_{i,m} \sum_{n=j}^m \binom{m}{n} (P_0^H)^n (1 - P_0^H)^{m-n}, & \text{if } i+j = K, i < K \\ \sum_{m=K}^{\infty} \sum_{n=0}^m P_{m,n}, & \text{if } i = K, j = 0 \end{cases} \quad (12)$$

여기에서 $P_{m,n}$ 은 식 (7)과 (8)로부터 구할 수가 있다. 출력 큐의 입력 프로세스로 매 시간 슬롯마다 $a_{i,j}$ 의 확률로써 각 셀이 출력 큐로 도착을 한다고 가정을 하며 출력 큐의 동작을 위에서 정의한 랜덤 변수로 나타내면 다음과 같다.

$$U_{i+1} = \max(0, U_i + A_{i-1}) \quad (13)$$

$$D_{i+1} = \max(0, D_i + M_{i-1}) \quad (14)$$

$$\gamma = \begin{cases} 1, & \text{if } U_i + A_i = 0 \\ 0, & \text{otherwise} \end{cases}$$

여기에서 $\Pr(A_i = h, M_i = l) = a_{h,l}$ 이라고 가정을 한다. 출력 큐의 동작은 다음의 세가지의 경우로 나눌 수가 있다.

- a. : 만일 $U_i + A_i > 0$ 이면 시간 슬롯 i 에 출력 큐로부터 하나의 높은 우선 순위 셀이 전송된다.
- b. : 만일 $U_i + A_i = 0$ 이고 $D_i + M_i > 0$ 이면 시간 슬롯 i 에 출력 큐로부터 하나의 낮은 우선 순위 셀이 전송된다.
- c. : 만일 $U_i + A_i = 0$ 이고 $D_i + M_i = 0$ 이면 시간 슬롯 i 에 출력 큐로부터 셀이 전송되지 않는다.

출력 큐의 상태 변수 (u, a) 를 정상 상태에서 큐에 높은 우선 순위 셀의 수가 u 이고 낮은 우선 순위 셀의 수가 a 인 상태로 정의를 하면 상태 (u, a) 의 확률, $P_{u,a}$ 를 다음과 같이 구할 수가 있다. 우선, 상태 (u, a) 를 만드는 확률을 위의 세가지의 경우에 따라서 나누면

- a. : 하나의 높은 우선 순위 셀을 전송한 후 : 항상 가능하며

$$A_{u,d} \equiv \sum_{i=\max(0, u+1-K)}^{u+1} \sum_{j=\max(0, u-i+1+d-K)}^d a_{u-i+1, d-j} P_{i,j} \quad (15)$$

- b. : 하나의 낮은 우선 순위 셀을 전송한 후 : $u=0$ 인 경우에만 가능하며

$$B_{u,d} \equiv \sum_{j=\max(0, d+1-K)}^{d+1} a_{0, d-j+1} P_{0,j} \quad (16)$$

- c. : 셀이 전송되지 않은 후 : $u=0$ 이고 $d=0$ 인 경우만 가능하며

$$C_{u,d} \equiv a_{0,0} P_{0,0} \quad (17)$$

이 되고 이 세가지 경우에 따라서 $P_{u,a}$ 를 구하면

$$P_{u,d} = \begin{cases} A_{u,d}, & \text{if } u \geq 1 \\ A_{u,d} + B_{u,d}, & \text{if } u = 0, d \geq 1 \\ A_{u,d} + B_{u,d} + C_{u,d}, & \text{if } u = 0, d = 0 \end{cases} \quad (18)$$

이고

$$\sum_{u=0}^{\infty} \sum_{d=0}^{\infty} P_{u,d} = 1 \quad (19)$$

이 된다. 식 (18)과 (19)를 이용해서 출력 큐에서의 낮은 우선 순위 셀의 평균 큐의 길이, Q_{OUT}^L 을 구하면

$$Q_{OUT}^L = \sum_{d=0}^{\infty} d \sum_{u=0}^{\infty} P_{u,d} \quad (20)$$

이 되며 Little's law에 의해서 출력 큐에서의 낮은

우선 순위 셀의 평균 지연시간, D_{OUT}^L 은 다음과 같이 구할 수가 있다.

$$D_{OUT}^L = \frac{Q_{OUT}^L}{\lambda_L} \quad (21)$$

식 (11)과 (21)을 이용해서 스위치에서의 낮은 우선 순위 셀의 지연시간, D^L 을 구하면

$$D^L = D_{IN}^L + D_{OUT}^L \quad (22)$$

이 된다.

3. 최대 수용의 분석

입출력 큐잉 스위치의 최대 수용은 입력 큐에 의해서만 제한을 받는다. 그러므로 최대 수용을 구하기 위해서는 입력 큐만을 분석하면 된다. 이 절에서 분석은 높은 우선 순위 셀의 입력률 λ_H 가 주어졌을 때 낮은 우선 순위 클래스의 최대 수용을 구함으로써 스위치 전체의 최대 수용을 구하기로 한다. 3.1 절에서 각 입력 큐는 두개의 독립적인 가상 입력 큐로 모델링을 하였으므로 낮은 우선 순위 클래스의 최대 수용은 L-가상 입력 큐의 load, ρ_L 이 1이 되는 입력률 λ_L 이 된다. ρ_L 은 식 (9)를 이용해서 구할 수가 있으며

$$\rho_L = \lambda_L D_{HOL}^L = Q_{HOL}^L \quad (23)$$

이 된다. 그러므로 주어진 λ_H 에 대한 낮은 우선 순위 클래스의 최대 수용, $\lambda_{L,max}$ 는 Q_{HOL}^L 을 1로 만드는 λ_L 이 되며 스위치의 최대 수용, T_{max} 를 구하면

$$T_{max} = \lambda_{L,max} + \lambda_H \quad (24)$$

가 된다.

IV. 분석 결과 및 검증

이 절에서는 3절에서 분석한 선매 방식 우선 순위를 갖는 입출력 큐잉 스위치의 성능을 보이고 이 결과를 128×128 스위치의 시뮬레이션과 비교하여 검증할 것이다. 그림 4는 $K=1$ 인 경우의 낮은 우선 순위 클래스의 평균 큐잉 지연 시간의 결과이다. $K=1$ 이면 시스템이 입력 큐잉 스위치가 되므로 [12]의 결과와 함께 비교를 하였다. 결과에서 알 수가 있듯이 Chen의 결과에 비해서 본 논문에서 분석한 방법이 시뮬레

이션과 더 잘 맞는 것을 알 수가 있다. 이는 Chen이 분석한 방법에서는 지연 시간을 구하기 위한 Geom/Geom/1 큐의 서비스 확률을 직접 구할 수가 없어서 최대 수용을 이용한 heuristic 방법을 사용하였지만 본 논문의 방법에서는 이것을 Markov chain을 이용하여 직접 구할 수가 있었기 때문이다. 그렇지만 시뮬레이션의 결과와 분석 결과가 높은 우선 순위 클래스의 부하가 커짐에 따라서 약간의 차이를 보이는데 이것은 분석에서 사용한 $P^{\#}$ 가 시간 슬롯 사이에 상관 관계가 있지만 분석에서는 모든 시간 슬롯에서 동일한 값을 갖는다고 가정을 하였으며 가상 입력 큐를 Geom/Geom/1 큐로 가정을 하였기 때문이다.

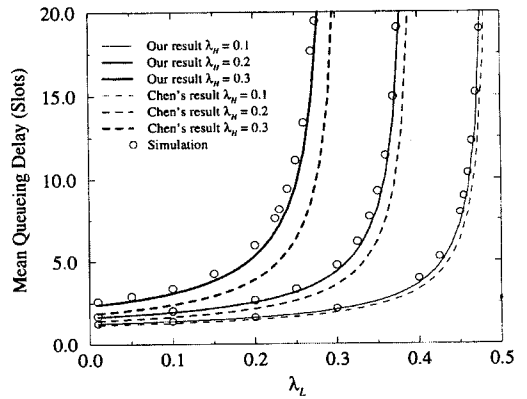


그림 4. Chen의 결과와의 비교 ($K=1$)
Fig. 4. Comparison with Chen's results ($K=1$).

그림 5는 각 클래스의 평균 지연 시간을 $\lambda_H=0.3$ 일 때 λ_L 값에 대하여 K 값을 변화시키면서 비교한 것이다. 본 논문에서 분석한 결과와 시뮬레이션을 통한 결과가 거의 일치한다는 것을 이 그림에서 알 수가 있다. 평균 큐잉 지연 시간은 K 값이 커질수록 작아지게 된다. 이는 K 값이 커짐에 따라 입력 큐에서의 HOL 블럭킹이 줄어들게 되기 때문이다. 그렇지만 K 값이 커짐에 따라서 일정 값으로 수렴하여 $K \geq 3$ 에서는 거의 같은 값을 가지게 된다. 그리고 평균 큐잉 지연 시간은 부하가 커짐에 따라서 두 클래스간의 차이가 커지게 된다.

그림 6은 최대 수용을 K 값의 변화에 따라서 λ_H 의 함수로써 나타낸 결과이다. Chen [12]의 결과에서 알 수가 있듯이 선매 방식 우선 순위를 갖는 입력 큐잉 스위치의 최대 수용은 λ_H 의 값에 따라서 변화

하고 그 값이 우선 순위가 없을 때와 비교해서 증가하게 된다. 이것은 높은 우선 순위 셀에 의한 preemption이 HOL 블럭킹을 줄이는 효과를 나타내기 때문이다. 입출력 큐잉 스위치에서도 이런 현상이 있지만 그림에서 알 수가 있듯이 K 값이 증가함에 따라서 이 현상은 점점 감소하여서 $K \geq 3$ 에서는 거의 없어지게 된다.

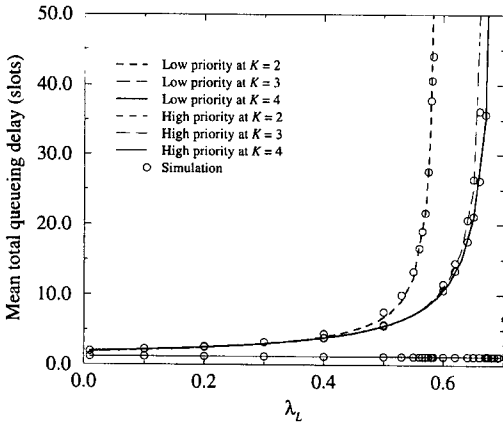


그림 5. 평균 총 큐잉 지연 시간 ($\lambda_H = 0.3$)

Fig. 5. Mean total queuing delay ($\lambda_H = 0.3$).

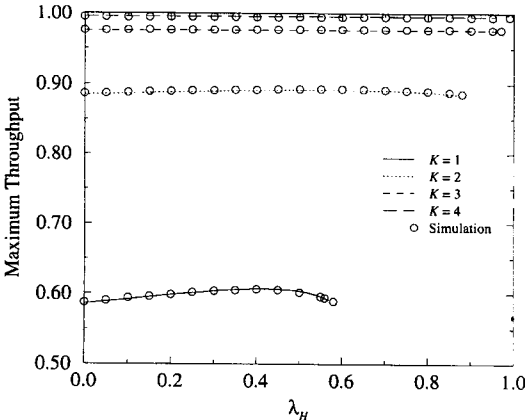


그림 6. 최대 수율

Fig. 6. Maximum throughput.

V. 결론

본 논문에서는 선매 방식 우선 순위를 갖는 입출력 큐잉 ATM 스위치의 성능 분석을 하였다. 입력 큐의 분석을 위해서는 입력 큐를 각 클래스 별로 두개의 가상 입력 큐로 모델링을 하여 각각을 독립적인

Geom/Geom/1 큐로 가정을 하였다. 그리고 가상 입력 큐에서의 평균 서비스 시간을 구하기 위하여서는 모든 가상 입력 큐의 HOL 셀 중 같은 출력 포트에 향하는 셀로 구성이 된 가상 HOL 큐를 모델링하여 분석을 하였다. 출력 큐의 분석을 위해서는 가상 HOL 큐의 상태에서 근사적으로 출력 큐로의 입력 프로세스를 구하여 분석에 이용하였다. 두 모델을 Markov chain으로 분석 비교하였으며 분석 결과와 시뮬레이션이 거의 일치하는 것을 알 수 있었으며 $K=1$ 인 경우는 기존에 분석된 Chen의 결과보다는 정확한 결과를 얻었다. 큐잉 지연 시간은 K 값이 커질수록 작아지는 것을 알 수가 있었는데 $K \geq 3$ 에서는 거의 변화가 없었다. 또한 최대 수율은 K 값이 증가함에 따라서 선매 방식 우선 순위의 특징인 λ_H 값의 변화에 대한 최대 수율의 변화 현상이 줄어들고 $K \geq 3$ 에서는 최대 수율이 0.97 이상이 되어 K 값이 증가해도 최대 수율의 증가는 거의 없었다. 이상의 결과를 종합할 때 본 논문에서 분석한 스위치는 경제성과 성능을 고려하면 $K=3$ 이 최적이라는 것을 알 수가 있다.

참 고 문 헌

- [1] H. Ahmadi and W.E. Denzel, "A Survey of Modern High-Performance Switching Techniques", *IEEE J. Select. Areas Commun.*, vol.7, no.7, pp.1091--1103, Sep. 1989.
- [2] F.A. Tobagi, "Fast Packet Switch Architecture For Broadband Integrated Services Digital Networks", *Proceedings of the IEEE*, vol.78, no.1, pp.133--167, Jan. 1990.
- [3] A.Pattavina, "Nonblocking Architectures for ATM Switching", *IEEE Commun. Mag.*, vol.31, no.2, pp.38-48, Feb. 1993.
- [4] M.J. Karol, M.G. Hluchyj, and S.P. Morgan, "Input Versus Output Queueing on a Space-Division Packet Switch", *IEEE Trans. Commun.*, vol.COM-35, no.12, pp.1347-1356, Dec. 1987.
- [5] T.T. Lee, "A Modular Architecture for Very Large Packet Switches", *IEEE Trans. Commun.*, vol.38, no.7, pp.1097-1106, July 1990.

- [6] H.Obara, S.Okamoto, and Y.Hamazumi, "Input and Output Queueing ATM Switch Architecture with Spatial and Temporal Slot Reservation Control," *Electron. Lett.*, vol.28, no.1, pp.22-24, Jan. 1991.
- [7] J.Y. Hui and E.Arthurs, "A Broadband Packet Switch for Integrated Transport", *IEEE J. Select. Areas Commun.*, vol. SAC-5, pp.1264-1273, Oct. 1987.
- [8] Y.Oie, M.Murata, K.Kubota, and H.Miyahara, "Performance Analysis of Nonblocking Packet Switch with Input and Output Buffers", *IEEE Trans. Commun.*, vol.40, no.8, pp.1294-1297, Aug. 1992.
- [9] I.Iliadis and W.E. Denzel, "Analysis of Packet Switches with Input and Output Queueing", *IEEE Trans. Commun.*, vol.41, no.5, pp.731-740, May 1993.
- [10] A.K. Gupta and N.D. Georganas, "Analysis of A Packet Switch with Input and Output Buffers and Speed Constraints", in *Proc. Infocom'91*, 1991, pp.694--700.
- [11] A.Pattavina and G.Bruzzi, "Analysis of Input and Output Queueing for Nonblocking ATM Switches", *IEEE Trans. Networking*, vol.1, no.3, pp.314-328, June 1993.
- [12] J.S.-C. Chen and R.Guérin, "Performance Study of an Input Queueing Packet Switch with Two Priority Classes", *IEEE Trans. Commun.*, vol.39, no.1, pp.117-126, Jan. 1991.
- [13] L.Li, C.Hu, and P.Liu, "Maximum Throughput of an Input Queueing Packet Switch with Priority Classes", *IEEE Trans. Commun.*, vol.42, no.12, pp.3095-3097, Dec. 1994.
- [14] J.S. Choi and C.K. Un, "Delay Performance of an Input Queueing Packet Switch with Two Priority Classes". submitted to *IEE Proceedings*.
- [15] H. Takagi, *Queueing Analysis : Volume 3*. Elsevier Science Publishers B. V. North Holland, 1991.

저 자 소 개



李長遠(正會員)

1994년 연세대학교 전자공학과 졸업(공학사). 1996년 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1997년~현재 (주)데이콤 종합연구소 망관리개발팀. 주관심분야는 ATM networks, Network management



崔振植(正會員)

1985년 서강대학교 전자공학과 졸업(공학사). 1987년 한국과학기술원 전기 및 전자공학과 졸업(공학석사). 1995년 한국과학기술원 전기 및 전자공학과 졸업(공학박사). 1987년 ~ 1991년 (주)L.G. 정보통신 종합연구소 주임연구원. 1992년 ~ 1994년 대전대학교 강사. 1995년 ~ 현재 (국립)공주대학교 조교수. 주관심 분야는 ATM networks, 실시간 통신, 유무선 결합 통신망