

論文98-35S-1-12

## 팩시밀리 및 디지털 복사기를 위한 고속 영상 처리기의 VLSI구현

## (A VLSI Implementation of Image Processor for Facsimile and Digital Copier)

朴昌大\*, 鄭暎勳\*, 金亨洙\*, 金鎮守\*, 權五俊\*\*\*\*,  
洪起祥\*\*\*, 張東九\*\*, 朴基熊\*\*, 金潤秀\*\*, 金在浩\*

(Chang Dae Park, Young Hoon Jeong, Hyoung Soo Kim, Jin Soo Kim, Oh Joon Kwon, Ki Sang Hong, Dong Goo Chang, Ki Wong Park, Yoon Soo Kim, and Jae Ho Kim)

## 요 약

팩시밀리 및 디지털 복사기에 사용할 수 있는 고속 영상처리기를 VLSI로 구현하였다. 영상처리기는 CCD와 CIS센서의 접속, 영상 전처리, 확대와 축소, 그리고 여러 이진화 알고리즘을 수행한다. 단순 이진화, 퍼지 기반 혼재 화상 처리<sup>[1]</sup>, 디더링, 경계 강조 오차확산법<sup>[2]</sup> 이진화 알고리즘이 사용된다. 시간 분할 메모리 사용을 하며 라인 단위의 파이프 라인 구조로 설계되었다. 직렬 또는 병렬로 데이터를 프린터로 전송한다. 수신 모드에서는 수신된 이진 영상을 기존의 G3팩시밀리와의 프린터 호환을 위하여 해상도 변환을 한다. 복사 모드일 경우, 400dpi로 A3 용지(4,667 화소/줄)를 2.5msec/line에 처리한다. 본 영상처리기의 prototype은 0.8 $\mu$ m공정으로 제작된 Laser Programmable Gate Array (LPGA) 기술을 사용하였다.

## Abstract

A new image processor is implemented for high-speed digital copiers and facsimiles. The image processor performs CCD and CIS interface, pre-processing, enlargement and reduction of gray level image, and various halftoning algorithms. Implemented halftoning algorithms are simple thresholding, fuzzy based mixed mode thresholding, dithering, and edge enhanced error diffusion. The result of binarization is transferred to a printer with serial or parallel output ports. Line by line pipelined data processing architecture is employed with time sharing access of the external memory. In receiving mode, it converts the resolution of received binary image for compatibility with conventional facsimile. In copy mode, a line of A3 paper with 400 dpi is processed with in 2.5 ms. The prototype of image processor was implemented using Laser Programmable Gate Array (LPGA) with 0.8 $\mu$ m technology.

\* 正會員, 釜山大學校 電子工學科  
(Image & Comm. Lab, Electronics Engineering  
Pusan National Univ.)

\*\* 正會員, 三星電子 멀티미디어 研究所  
(SamSung Electronics Co. Multimedia R&D  
Center)

\*\*\* 正會員, 浦項工科大学校 電氣電子工學科

(Electrical & Electronic Engineering Pohang  
Univ. Of Science & Technology)

\*\*\*\* 正會員, 三星電子 데이터 通信事業部  
(SamSung Electronics Co. Multimedia  
Development Group 2)

接受日字: 1996年10月22日, 수정완료일: 1997年12月31日

I. 서론

디지털 영상 처리 기술의 발달과 함께 문서 및 연속계조 영상을 이진화 하는 기술은 팩시밀리, 그리고 디지털 복사기 등에 적용되고 있다. 1970년대 이후부터 사용되어 치기 시작한 팩시밀리는 근래에 와서 다양한 기능과 함께 저가형의 개발로 현대 사무자동화의 필수 기기로서 주로 사용되고 있다. 팩시밀리의 성능은 화질과 처리속도로 판단할 수 있다. 현재 널리 사용되고 있는 팩시밀리는 공중 전화망(PSTN)인 일반 아날로그 전화선에 연결하여 데이터를 전송하거나 수신한다. 일반적으로 팩시밀리 등의 통신 기기는 통신 선로의 전송량에 맞춰 데이터의 처리 속도가 결정되기 때문에 그에 따라 현재 팩시밀리의 전송 속도는 1줄 당 10 msec 정도 (A4 용지 기준)의 속도로 처리된다. 또한 제한된 대역폭(bandwidth) 내에서 되도록이면 데이터를 빨리 보내기 위해서는 화질의 저하를 감수하고 있다. 그러나 현대의 정보화 사회에서는 정보량의 증가와 함께 양질의 정보를 빠른 시간에 주고 받기를 요구한다. 이러한 요구에 맞추어 대량의 정보를 고속으로 통신 할 수 있는 디지털 회선(ISDN)을 가설하고 있고 그에 맞는 고속의 하드웨어를 개발하고 있다.

본 논문에서는 고속, 고화질 처리용 G4 팩시밀리용 이면서 디지털 복사기용으로 사용 가능한 영상처리기를 설계하여 VLSI로 구현 하였다. 본 영상처리기의 주요 기능으로는 외부 Charge Coupled Device (CCD)나 CIS(Contact type Image Sensor)와 접속 가능하며 1줄 당 2.5 ms (A3 400 dpi기준) 처리 시간을 가진다. 또한 축소, 확대가 가능하며 단순 이진화, 퍼지 기반 혼재 화상 처리<sup>[1]</sup>, 디더링, 경계 강조 오차 확산법<sup>[2]</sup>을 수행한다. 호스트와는 DMA 접속 가능하며 이진 출력을 위해서는 프린터 엔진의 페이지 메모리(page memory)에 데이터를 전송할 수 있도록 되어 있다.

II. 영상처리기의 기능 및 구조

제작된 영상처리기는 그림 1과 같이 그 기능에 따라 입력 처리부, 확대/축소 처리부, 이진화 처리부의 3개의 처리부로 구분할 수 있다.

입력 처리부는 외부 스캐너를 구동하여 1줄 영상

데이터를 화소 단위로 받아 들어서 전처리 과정을 거친 다음 외부 메모리(external memory)에 기록한다. 확대/축소부는 전 처리된 데이터를 읽어 들어서 확대 또는 축소를 한 다음 역시 외부 메모리에 적어 넣는다. 마지막 단계인 이진화 처리부에서 외부 메모리에 있는 확대/축소부의 결과 데이터를 읽어서 이진화 처리하고, 복사 시에는 레이저 프린터의 엔진에 있는 페이지 메모리에 적는다. 송신 모드일 경우에는 호스트로 전송하여 모뎀으로 전달하게 한다. 매 줄 단위로 3개의 처리부가 파이프라인 방식으로 처리한다. 각 처리부는 호스트(host)의 제어 명령과 동작 시에 필요한 파라메타를 받기 위한 독립적인 레지스터를 가지고 있다. 영상처리기의 주요 사양은 표1과 같다.

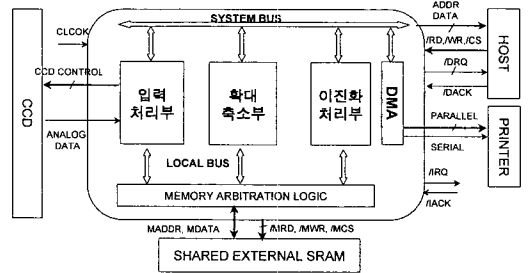


그림 1. 영상처리기의 블럭도  
Fig. 1. Block Diagram of Image Processor.

표 1. 영상처리기의 사양  
Table 1. Specification of Image Processor.

항 목	사 양
CLOCK 주파수	25 MHz 동작
화상 신호 처리 주파수	2 MHz
입력 화상신호 피크 전압	0.5 - 4.5V
SHADING 왜곡 보상 범위	PEAK 신호의 50%
LINE SCAN 시간	2.5msec (A3 용지)
계조 표현력	최대 256 계조
이진화 영상 처리	FUZZY 기반 혼재처리, 단순이진화, 디더링, 경계 강조 오차 확산법
DITHER 패턴	Bayer, wave: 8×8 DITHER MATRIX
화상 축소/확대 범위	가로 1/4-4, 세로 1/4-4배(1% 단위)
공급 전원	5V
PACKAGE	LPGA(Laser Programmable Gate Array)

시스템을 효율적으로 실현하기 위해 3개의 처리부가 독립적으로 1개의 외부 메모리를 공동 사용한다. 각 처리부가 메모리에 접근하는 방식은 시분할 방식을 이용한다. 메모리 접속 논리회로에서는 각 처리부가 사용 가능한 구간을 알려줌과 동시에 각 처리부의 메모리 버스 점유를 제한한다. 여기서 12시스템 클럭 동안에 1 화소를 처리하게 되므로 12개의 구간을 서로 나누어 사용한다. 각 처리부가 12 시스템 클럭에 처리하는 일의 순서를 최적화 하여 그림 2와 같은 시분할 방식으로 외부 메모리를 공유할 수 있게 설계하여 제어회로를 단순화하였다.

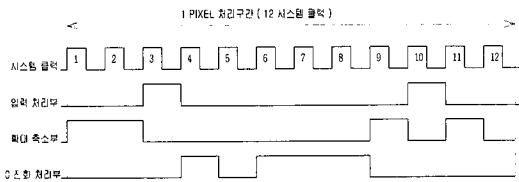


그림 2. 각 처리부의 메모리 사용 가능 구간  
Fig. 2. Memory access timing of each module.

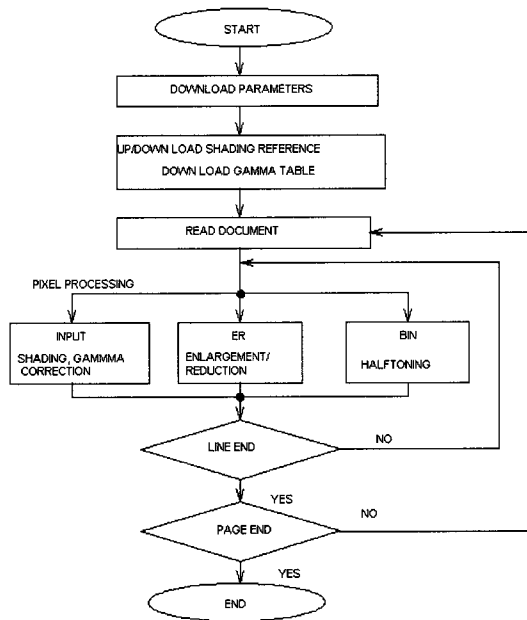


그림 3. 송신 모드 시의 흐름도  
Fig. 3. Flow chart of transmission mode.

또한 각 처리부 간의 파이프라인 처리를 위해서 각 처리부가 2~3줄의 메모리 영역을 가진다. 더블 버퍼링 방식으로 하나의 버퍼에 각 처리부의 결과가 준비

되면 다음 처리부로 넘겨주고 다른 버퍼에 새로운 결과를 준비하도록 하였다. 확대/축소부는 입력 처리부와 3줄에 해당하는 메모리 영역을 서로 공유하고 이진화 처리부와는 2줄을 공유한다. 영상처리기 전체 송신 동작 흐름도는 그림 3에서 보여지는 것과 같이 영상처리 모드에 필요한 파라메타들을 먼저 다운로드한 다음 shading 보정을 위해서 흰색 판넬을 읽어서 shading 데이터를 만든다. 그 다음 입력영상을 받아들여서 각 처리부에서 정해진 일을 수행한다.

1. 입력 처리부

입력 처리부는 원고를 읽어 들이는 CCD 또는 CIS를 제어하는 신호들을 생성한다. 그림 4에서 보여지는 것과 같이 센스 제어 신호에 의해 센서에서 출력되어진 아날로그 신호는 A/D 변환되어져서 입력 되어진다. 입력된 디지털 데이터 신호는 CCD의 광학계의 물리적 특성에 의한 입력 신호의 찌그러짐을 보상하기 위하여 셰이딩 보상<sup>[4]</sup>을 한다. 입력된 영상값에 미리 계산한 셰이딩 보정 계수를 곱하기 위하여 8비트 곱셈기를 사용하였다.

셰이딩 보상을 거친 데이터는 빛의 밝기와 영상 신호의 단계가 정확하게 비례하지 않아서 발생하는 차이를 보상해 주는 감마 보상을 한다. 감마 보상<sup>[4]</sup>을 위해서는 내부 256 바이트(byte)의 메모리를 가지고 있다. 셰이딩 처리를 거친 데이터가 내부 메모리의 어드레스로 되어 메모리로부터 출력되어지는 값이 감마 보정된 데이터이다. 감마 테이블은 사용자가 필요에 따라서 파라메타를 변경할 수 있도록 호스트 프로세서로부터 DMA를 통하여 외부 메모리로 다운로드 받은 다음 입력 처리부의 내부 메모리로 읽어들이는다.

형광 램프가 불안정한 광량을 발생시킬 때, 또한 전송하고자 하는 원고가 흰색이 아니고 배경 밝기가 어두운 원고 일 때 A/D 변환기의 최대 기준 전압을 고정 시키면 원고의 배경 밝기에 따라 원고 판독성이 떨어진다. 따라서 원고의 밝기에 따라 자동 이득 조정 (Automatic Gain Control)을 해 주면 판독성을 높일 수 있다. AGC<sup>[4]</sup>를 위하여 입력 데이터가 255가 되는 횟수를 셈하여 일정 횟수 이상이면 A/D 변환기의 최대 기준 전압을 조정할 수 있도록 8 비트 D/A 변환기를 두어 그 출력을 A/D 변환기의 기준 전압으로 연결 해 놓았다.

CCD 또는 CIS 센서의 화소 수가 문서 영역보다

넓을 경우 영상 처리에 필요 없는 화소의 전하를 빨리 추출해 내기 위해 고속의 CCD 드라이브 제어 신호를 만들어 낸다<sup>[5]</sup>. 이는 주어진 1줄 처리 시간에서 처리해야 할 화소에 보다 많은 시간을 할당하기 위해서다. 예를 들어 4,667개의 화소 수를 가진 CCD 센서에서는 1줄 처리 시간은 2.5ms로 화소 당 처리 시간은 0.536 $\mu$ s 이다. 만약 같은 길이의 센서를 사용하여 2,000개의 화소 넓이를 가진 문서를 일반적인 방법으로 처리하면 역시 2.5ms/line가 소요되고 화소 당 처리 시간은 1.25 $\mu$ s 밖에 되지 않는다. 따라서, 2.5ms 의 1 줄 처리 시간 중 영상 처리에 필요한 시간을 최대로 할애하기 위해서는 영상 처리에 필요 없는 부분의 화소의 CCD 전하를 되도록이면 빨리 출력해야 한다. 구현된 영상처리기는 CCD를 제어하는 신호를 2가지 이상의 속도를 가지도록 설계하여 데이터 전하인 경우 영상 처리 속도에 맞춰 클럭을 입력시키고 필요없는 전하인 경우에는 빠른 속도를 가지는 클럭을 입력해서 추출한다.<sup>[5]</sup> 이의 구현을 위하여 플립플롭을 사용하여 고속 신호를 발생시켰다. 그림 4는 입력 처리부의 내부 블럭도이다.

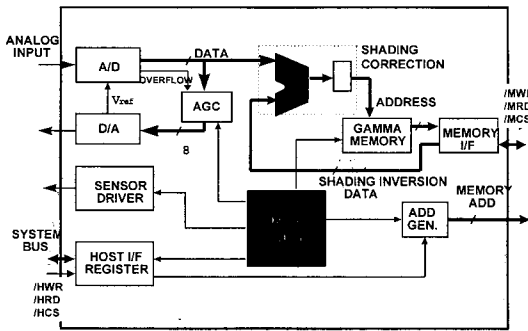


그림 4. 입력 처리부의 블럭도  
Fig. 4. Block Diagram of INPUT module.

2. 확대/축소 처리부

디지털 복사기의 중요한 기능인 확대, 축소를 담당하는 부분으로써 팩시밀리에서도 프린터 해상도를 맞추기 위해 필요하다. 확대/축소부에서는 입력 처리부에서 처리한 연속 계조 데이터를 1% 단위로 최대 4배 확대 및 1/4배 축소한다.

하드웨어는 크게 알고리즘을 구현하는 부분과 호스트, 외부 메모리와 접속하는 부분으로 나눌 수 있다. 알고리즘 논리회로는 제어 논리회로와 ALU등으로 이루어진다. 그림 5는 확대/축소부의 블럭도이다. 제어

논리회로는 호스트 프로세스로 부터 받은 명령과 상태를 조합하여 64개의 상태를 가진 FSM (Finite State Machine)을 구현하여 모든 제어 신호를 발생시킨다. 확대/축소부는 입력영상의 한 줄보다 화소 수가 많거나 적기 때문에 출력화소 수를 카운터하면서 SRAM의 어드레스를 만들게 된다.

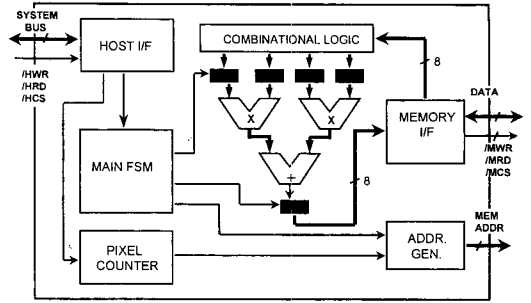


그림 5. 확대/축소부의 블럭도  
Fig. 5. Block Diagram of Enlargement/Reduction.

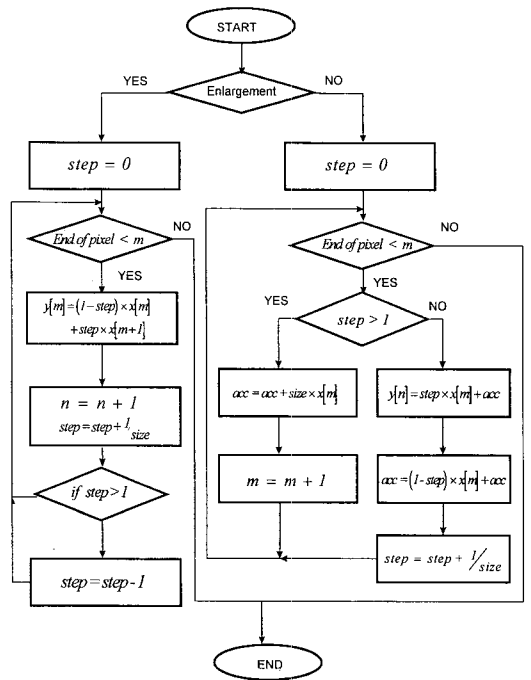


그림 6. 확대/축소부의 알고리즘 흐름도  
Fig. 6. Flow chart of Enlargement/Reduction Algorithm.

확대 축소부는 계산의 용이함과 실시간 처리를 위하여 선형적 보간법<sup>[6],[7]</sup>을 응용한 기법을 이용하였다. 확대/축소 알고리즘은 확대인 경우에는 두 줄,

축소인 경우에는 한 줄의 영상을 받아서 각각 수평 확대, 또는 축소를 한 후 영상을 임시 저장한다. 다시 이를 이용하여 수직 확대, 축소를 수행한 후 외부 메모리에 출력한다. 처리 속도를 높이기 위하여 2개의 곱셈기를 사용하여 확대나 축소되어질 화소 지점과 밝기 값을 계산한다.

축소의 경우에는 저대역 여파기(low pass filter)를 사용하여 중첩(aliasing)을 최소화 하였다. 축소 배율을 M이라고 한다면 하나의 축소된 화소를 만드는 데 주위의  $M \times M$ 개의 화소의 평균을 계산하여 화소 값을 결정한다. 그림 6에서는 위의 알고리즘을 흐름도로 표시 하였다. 확대 및 축소 알고리즘에는 *size*, *step* 두 변수가 사용된다. *size*는 확대 축소 배율 값이고 *step*은 *size*의 역수를 누적하여 확대된 화소 출력 값을 계산하는 데 사용된다.

확대 또는 축소를 할 때 두 화소 사이의 거리를 1.0으로 하여 실수 계산을 하는 경우에는 하드웨어 구현이 복잡해 지고 연산 시간이 많이 소요된다. 이를 해결하기 위하여 두 화소 사이의 거리를 128로 양자화하여 고정 소수점 연산, 정수 연산, 그리고 이진 연산만으로 표현하였다. 곱하기 연산을 위해서 곱셈기 2개와 덧셈기 1개를 사용하여 처리 속도를 높였다. 또한 메모리 어드레스의 발생을 위하여 어드레스 레지스터를 4개 두었다. 축소를 할 경우 데이터의 임시 저장을 위해서 1줄의 외부 메모리 영역을 사용한다.

### 3. 이진화 처리부

이진화 처리부는 확대 또는 축소되어진 데이터를 이진화 한다. 이진화 처리부는 송신, 수신, 복사의 3가지 동작 모드가 있다. 송신 모드에서는 이진화 한 데이터를 호스트로 전송하고, 복사 모드에서는 직렬 프린터나 병렬 프린터로 전송한다. 수신 모드에서는 호스트에서 전송받은 이진 데이터를 프린터로 데이터를 전송한다. 그림 7은 이진화 처리부의 블럭도이다.

주 FSM에서는 호스트 프로세스로 부터 받은 명령을 해석하여 알고리즘 제어로직과 1줄 처리 FSM으로 제어 신호를 보낸다. 1줄 처리 FSM은 첫 화소의 시작 시점에서 마지막 화소의 처리 시점 구간을 알려준다. 제어로직은 알고리즘을 선택하게 되고 화소 처리부는 입력값을 외부 메모리로 부터 읽어서 처리하게 된다.

이진화 처리부에서 사용되는 알고리즘으로 단순 이

진화, 경계 강조 오차 확산법, 디더링, 퍼지 기반 혼재 화상 처리 알고리즘<sup>[1]</sup>을 행한다. 단순 이진화는 정해진 임계 값에 비해 입력 값이 크면 흰점, 아니면 검은 점을 생성시키는 가장 간단한 방법이다. 이의 처리를 위해서 임계값 레지스터와 비교기를 두어서 확대/축소 부에서 처리가 끝난 데이터와 비교와 비교하여 0과 1의 이진 데이터 결과를 만들어 낸다. 임계값은 사용자가 변경 가능하도록 호스트로 부터 다운로드 받는다.

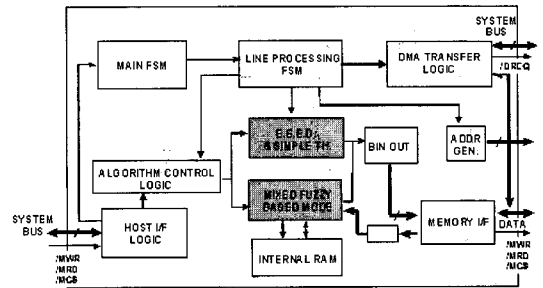


그림 7. 이진화 처리부의 블럭도  
Fig. 7. Block Diagram of Binary Module.

디더링 방법<sup>[1]</sup>은 규칙적으로 고정되어 있는 임계값 테이블과 현재 계산되어지는 위치의 화소 값을 비교하여 출력 값을 결정하는 알고리즘이다. 본 영상 처리기에서는 임계값 테이블을 저장하기 위하여 384바이트의 내부 메모리를 가지고 있다. 현재 처리하고자 하는 화소 위치를 어드레스로 발생시켜서 내부 메모리로부터 출력되는 값과 비교한다.

퍼지 기반 혼재 화상 처리 모드는 문서의 화상 부분은 고속 전송을 위해 부호화된 후의 정보를 줄여 줄 수 있는 웨이브 디더를 사용하고, 문자 영역은 국부적용 이진화 방법을 사용하여 선명하게 표현 할 수 있도록 한 이진화 처리이다. 화상과 문자가 혼재되어 있는 경우 화상의 이진화는 중간조를 처리하기 전의 화상을 비슷하게 반영하지만 문자 부분은 시각적으로 흐릿해 짐을 알 수 있다. 이를 위하여 문자 영역과 화상 영역을 구분해 주는 알고리즘을 퍼지<sup>[1]</sup>를 도입하여 사용하였다. 퍼지 테이블을 저장하기 위해서 이진화 처리부가 가지고 있는 내부 메모리의 일부를 사용한다.

오차 확산법은 연속 계조 입력 화소와 주변 화소의 이진화 오차를 합하여 특정 임계 값으로 이진화 함으로써 평균 밝기 값을 연속 계조 화상과 근사화 하는 방법이다. 특히 경계 강조 오차 확산법은 영상 이미지에 대해서 기존의 오차 확산법보다 경계를 강조하여

시각적 효과가 뛰어난 알고리즘이다<sup>[2]</sup>. 본 영상처리 기에서는 개선된 경계 강조 오차 확산법 알고리즘을 처음으로 하드웨어로 구현 하였다. 오차에 가해지는 가중치는 4개의 레지스터에 저장하여 현재 화소를 처리한 후 다음 화소의 처리를 위해서 왼쪽으로 자리가동을 하고 외부 오차 메모리로 부터 새로운 오차값을 읽어들이게 된다. 오차의 필터링 과정에서 곱셈은 면적이 큰 곱셈기 대신에 쉬프트와 덧셈기를 사용하여 구현하였다. 주어진 처리 시간은 그림 8에서와 같이 충분히 만족하도록 설계하였다.

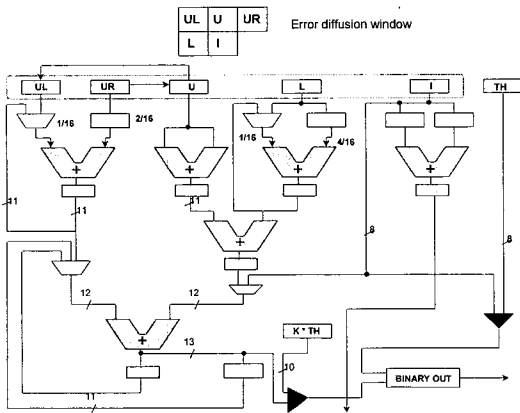


그림 8. 오차확산법의 필터링 블록 구조  
Fig. 8. Filtering structure of error diffusion method.

경계 강조를 위한 경계의 검출은 2개의 비교기를 사용하여 현재 처리하고자 하는 화소의 영역을 구분하였다. 오차 확산법 사용시 발생하는 오차를 저장하기 위하여 외부 메모리에 저장되고 다음 줄 처리시에 사용된다. 오차 확산법 과정에서 계산되어지는 오차값은 10비트인데 이를 8 비트로 양자화 하였다.<sup>[10]</sup> 또한, 이진화 처리부의 곱셈 연산은 쉬프트와 덧셈기를 사용하여 게이트 수를 줄였다.

각 알고리즘에서 처리되어 나온 결과는 출력 버퍼에 8비트가 채워질 때까지 좌측으로 쉬프트한 다음 호스트 프로세스로 DMA 요구 신호를 보내어 전송하게 된다.

팩시밀리를 위한 수신 동작에서는 이진 데이터의 반전기를 두어서 흑,백을 반전시켜 출력하는 기능, 입력과 출력장치의 접속 종류에 따라서 직렬과 병렬 프린터 접속한다. 직렬 프린터 접속을 위해서 클럭과 이진화 된 1비트 데이터를 연속적으로 출력시킨다. 병렬

프린터 접속을 위해서는 호스트 프로세스와 시스템 버스를 공유하기 위해 버스 점유 신호를 주고 받는다. 그리고 수신 데이터의 출력 프린터의 해상도 차이를 극복하기 위해서 단순 2배, 4배 확대 기능이 있다. 호스트와의 데이터 전송을 위해서는 DMA 전송 방식을 사용 한다. DMA전송을 위해서 하나의 채널을 가지고 있으며 바이트 단위로 전송을 한다.

III. 영상처리기 처리 결과

영상처리기를 탑재한 팩시밀리 원형을 제작하여 영상 결과를 출력하였다. 그림 9의 (a)와 (b)는 경계 강조 오차확산법에서 경계 강조 변수  $K$ 를 각각 1과 5로 한 결과이다. (a)는 일반적인 오차확산법과 같은 결과로써 경계가 전혀 강조되지 않은 결과이다. 그림 10은 퍼지 기반 혼재 모드의 결과이다.

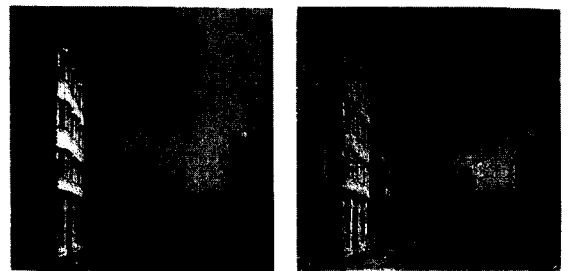


그림 9. 경계 강조 오차확산 모드의 출력 결과 (a)  $k = 1$  (b)  $k = 5$   
Fig. 9. Results of edge enhanced error diffusion (a)  $k = 1$  (b)  $k = 5$ .

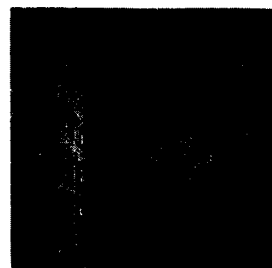


그림 10. 퍼지기반 혼재 모드의 출력 결과  
Fig. 10. Result of fuzzy based mixed methods.

IV. 영상처리기 구현 과정

구현된 영상처리기는 VHDL 언어로 설계하였다.

입력처리부, 확대/축소부, 이진화 처리부가 독립적인 처리를 하므로 개별적으로 설계를 하였다. 고속으로 각 처리부가 병렬로 처리하기 위해서 하나의 외부 메모리를 줄 단위로 나누어서 사용하였고 메모리 사용 시간을 최적화 하도록 설계 하였으며 이를 위하여 각 처리부는 주 FSM을 두어 제어를 하도록 하였다. 또한 곱셈 기능을 위해서 속도에 민감한 부분은 곱셈기를 사용하였고 나머지는 쉬프트와 덧셈기를 두어 게이트를 감소시켰다. 알고리즘 수행에 필요한 파라메타들은 대부분 사용자가 변경 가능하도록 레지스터를 두어서 저장하도록 하였다.

각 처리부는 VHDL언어의 장점인 상위 수준에서 설계한 다음에 각 처리부들을 제어하기 위한 논리회로를 역시 VHDL로 모델링하여 동작을 검증하였다. 처리부별로 동작 검증이 끝나면 모두를 통합한 후 전체적인 동작 검증을 하였다. 여기서는 각 처리부의 메모리 접근과 호스트와의 접속이 검증되어 졌다. 영상처리기와 접속할 호스트를 VHDL로 모델링하여 전체를 하나의 시스템 관점에서 모의 실험을 하였다. 호스트는 영상 처리 시스템을 제어하기 위하여 실제의 제어 동작 순서대로 프로그램 하였다.

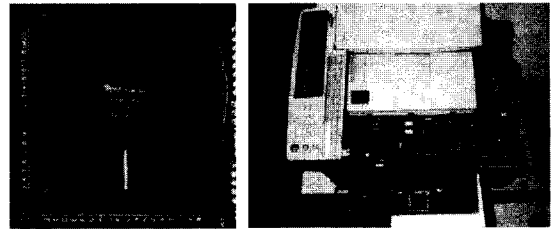
전체적인 동작의 검증이 끝난 후 타이밍 검증도 각 처리부별로 수행하였다. 각 처리부별로 합성하여 게이트 수준으로 만든 후 모의 실험을 행하여 타이밍을 검증하였다. 게이트 수준에서의 모의 실험은 시간이 많이 소요되는 작업이다. 따라서 전체를 통합 후에 합성하여 게이트 수준에서 하는 것 보다 각 처리부의 복잡한 논리회로 타이밍을 미리 검증하고 수정함으로써 전체적으로 소요되는 시간과 노력을 줄일 수 있었다. 각 처리부별로 동작 및 타이밍이 검증된 후 전체를 통합하여 호스트 접속 및 각 처리부의 메모리 접근 시에 발생할 수 있는 타이밍 등을 검증하였다. 이 때에도 처음에는 전체를 한꺼번에 합성하지 않고 3개의 처리부 중에서 하나만 합성하고 나머지는 합성하지 않은 채로 통합하여 전체적인 동작을 모의실험 하였다. 이런 방법을 각 처리부에 적용하여 동작 타이밍을 검증하고 수정하였다.

레이아웃을 하기 전에 시간 요소를 고려한 게이트 수준의 모의 실험 시에는 레이아웃 후의 시간 지연을 고려하여 ASIC업체에서 제공하는 라이브러리의 시간 요소를 수정하여 적용하였다. 즉 플립플롭의 셋업 시간을 본래 제공된 시간보다 1.5 ~ 2 배 정도로 늘려

서 모의 실험을 하였다. 이렇게 시간을 늘려서 실험함으로써 레이아웃 후에 발생할지도 모르는 오동작을 사전에 제거할 수 있었다. 이러한 검증 방식에 의해서 게이트 수준에서 소요되는 검증 시간과 노력을 많이 줄일 수 있었고 한번 만에 성공적으로 제작될 수 있었다.

## V. 결 론

본 논문에서는 G4 팩시밀리와 디지털 복사기에서 사용할 수 있는 영상처리기를 VLSI로 구현하였다. 영상처리기는 효율적인 설계를 위하여 입력 처리부, 확대/축소 처리기, 이진화 처리기의 3개 처리부로 구성하였으며 각 처리부가 독립적으로 호스트와 제어 명령을 주고 받는다. 또한 하나의 외부 메모리만을 사용하여 각 처리부가 파이프라인으로 데이터를 전달하며 처리한다. VHDL을 사용하며 설계 하였으며 제작은 거의 ASIC성능을 낼 수 있는 LPGA<sup>[12]</sup>로 구현하였다. [그림 9] 내부 540바이트의 메모리를 포함한 전체 게이트 수는 60,000개이다. 실제 원형 시스템을 꾸며서 각 알고리즘으로 수행하였다. [그림 11] 각 알고리즘 수행 결과로써 우수한 화질의 출력물을 얻었다.



(a) (b)

그림 11. (a) 영상처리기 (b) 영상처리기를 탑재한 팩시밀리 시스템 원형

Fig. 11. (a) Image processor (b) Prototype of facsimile with the image processor.

설계와 제작 과정에 있어서 VHDL언어의 장점을 최대한 이용하여 설계 및 검증하였다.

## 감사의 글

※ 본 논문은 삼성전자의 지원으로 부산대학교 컴퓨터 및 정보통신연구소를 통하여 수행된 과제입니다. 삼성전자 및 부산대학교 컴퓨터 및 정보통신연구소

관계자들에게 감사드립니다.

참 고 문 헌

[1] 강구수, 이수열, 김서규, 김재호, 조석팔, 문자와 영상이 혼재된 문서에서 개선된 이진화 방법, *한국통신학회 추계학술대회 논문집*, Vol. 19, No.3 1993

[2] J.H.Kim, T.I.Chung, J.S.Park, H.S.Kim, K.S.Son, New Edge-Enhanced Error Diffusion Based on the Error Sum Criteria, *IS&T Symposium on Elec. Imag. : Science & Technology*, pp.5-10, Feb, 1995

[3] CCITT Study Group VIII Contribution D134, Explanation of the Use of the DATM and ODA Recommendations for Facsimile Group 4, *PTT Nerherlands, Study group VIII meeting*, pp.5-14 October 1990, Geneva, Switzerland.

[4] 김재호, 강구수, 김서규, 이진우, 이방원, 김윤수, 조석팔, 하성환, 차세대 팩스 영상 처리를 위한 1-chip Application Specific DSP 개발, *대한 전자 공학회 논문지* 제 32권 B편, 제 4호, pp.30-39, 1994.

[5] 박 창대, 김 재호, 박 기웅, 이미지 스캐너의 독 취 회로 및 그 방법, 특허 출원 p95047105.

[6] A. V. Oppenheim, R. W. Schaffer, *Chapter 2-3 of Discrete-Time Signal Processing*, Prentice-Hall, 1989.

[7] K.M.Fant, A Nonaliasing, Real-Time Spatial Transform Technique, *IEEE Trans. On CG&A*, pp.71-80, Jan, 1986.

[8] R.W.Flyod and L.Steinberg, An Adaptive algorithm for spatial scale, *Proc. Soc. Inf. Disp.* 17, pp.75-77, 1976.

[9] R.Eschbach and Knox, Error diffusion alorithm with edge enhancement, *J.Opt. Soc. Am. A.*, Vol. 8, No.12, pp.1844-1850, 1991.

[10] 박 장식, 김 재호, 박 기웅 화상 처리 장치에 있어서 오차 확산 방법 특허 출원 p95067812

[11] B.E. Bayer, An optimum method for two level rendition if continuous time pictures, in *Proc. IEEE Int. Conf. On Communi-cation, Conf. Rec.*, pp.(26-11)- (26-15), 1973.

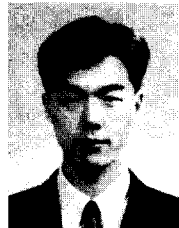
[12] Chip Express Co. <http://www.chipexpress.com/products/>, 1997.

저 자 소 개



朴 昌 大(正會員)  
 1966년 1월 21일 생. 1984년 3월 ~ 1991년 2월 부산대학교 전자공학과 학사. 1993년 3월 ~ 1995년 2월 부산대학교 전자공학과 석사. 1995년 3월 ~ 현재 부산대학교 전자공학과 박사과정. 관

심분야 : Image processing, Image compression, VLSI design



鄭 暎 勳(正會員)  
 1971년 10월 4일 생. 1990년 3월 ~ 1994년 2월 동의대학교 전자공학(학사). 1994년 3월 ~ 1996년 2월 부산대학교 전자공학과 석사. 1996년 3월 ~ 현재 부산대학교 전자공학(박사과정). 관심분

야 : Digital Halftoning, Image Processing, ASIC, System Design





金 鎮 守(正會員)

1972년 생. 1991년 3월 ~ 1995년 2월 부산대학교 전자공학(학사). 1995년 3월 ~ 1997년 2월 부산대학교 전자공학(석사). 1997년 1월 ~ 현재 삼성전자 멀티미디어 연구소 관심분야 : Image

Processing, ASIC design



金 亨 洙(正會員)

1970년 6월 20일 생. 1989년 3월 ~ 1995년 2월 부산대학교 전자공학(학사). 1995년 3월 ~ 1997년 2월 부산대학교 전자공학(석사). 1997년 3월 ~ 현재 부산대학교 전자공학(박사과정). 관심분야 : Digital Halftoning, Image Processing, ASIC,

System Design



張 東 九(正會員)

1967년 2월 생. 1985년 3월 ~ 1991년 2월 성균관대학교 전자공학(학사). 1990년 12월 ~ 현재 삼성전자 멀티미디어 연구소 관심분야 : Internet Telephony



權 五 俊(正會員)

1971년 생. 1989년 3월 ~ 1993년 2월 서울시립대학교 제어계측공학(학사). 1993년 3월 ~ 1995년 2월 포항공과대학 전자전기공학(석사). 1995년 3월 ~ 현재 삼성전자 정보통신 본부 OA사업부. 관심분야 : Image Processing, ASIC design



朴 基 熊(正會員)

1959년 6월 20일 생. 1979년 3월 ~ 1983년 2월 원광대학교 전자공학(학사). 1983년 3월 ~ 1985년 2월 경희대학교 전자공학(석사). 1985년 ~ 1987년 삼성반도체 한글문자인식 연구 수행. 1988년 ~

1989년 G3 High End Fax에 OMCR 적용. 1996년 6월 ~ 1997년 5월 Internet TV H/W개발. ~ 현재 현재 Software QA 삼성전자 기술총괄 소프트웨어 센터 근무. 관심분야 : Image Processing, ASIC design, mobile communication

洪 起 祥(正會員)

1977년 3월 서울대학교 전자공학(학사). 1979년 3월 한국과학기술원 전기전자공학(석사). 1984년 3월 한국과학기술원 전기전자공학(박사과정). 1984년 ~ 1986년 한국에너지 연구소. 1988년 ~ 1989년 Carnegie Mellon 대학 방문 교수. 1986년 ~ 현재 포항공과대학 부교수. 관심분야 : Image Processing, Computer Vision & Robotics, 3-D Object Recognition

金 潤 秀(正會員) 第 31 卷 B編 第 4 號 參照

金 在 浩(正會員) 第 32 卷 B編 第 2 號 參照