

論文98-35S-5-1

# 위성망에서 가변블록 인터리빙 기법을 이용한 ATM 셀 전송 성능향상에 관한 연구

## (A Study of the Enhanced ATM Cell Transmission in Satellite Communication System Using Variable-Size Block Interleaving)

金恩璟\*, 金洛明\*\*

(Eun-Kyung Kim and Nak-Myeong Kim)

### 요 약

위성통신은 서비스 지역의 광역성, 액세스의 용이성 및 회선설정의 신속성 등 지상통신방식에 없는 고유의 특징을 가지고 있어서, 미래에는 지상망과 연동하여 차세대 정보통신망의 근간을 이룰 것이다. 따라서, 지상망의 근간이 되는 ATM 전송기술을 위성망에 적용시키기 위한 연구는 필연적이라고 할 수 있으므로 본 논문에서는 위성망에서 ATM 셀 전송에 따른 문제점 및 전송 성능 저하를 평가하고, 신뢰성 있는 ATM 셀 전송방안을 제시한다. 즉, 높은 신뢰도가 요구되는 ATM 프로토콜을 위성망에 적용하기 위해서는 오류정정을 위한 채널코딩과 위성통신으로 인한 전송지연에 대한 고려가 필요한데, 이 때 채널코딩의 적용은 연집에러를 유발시켜, ATM 셀 전송에 심각한 성능 저하를 야기하므로 본 논문에서는 위성링크의 연집에러를 랜덤단일에러로 분산시킬 수 있는 블록 인터리빙 기법을 채택함과 동시에 멀티미디어 트래픽별 최대 허용 지연 시간을 변수로 하여 인터리빙 구조를 최적화하는 가변 블록 인터리빙 구조를 제안한다. 시뮬레이션에 의하면, 특히 지연 민감 트래픽의 경우 가변 블록 인터리빙 기법을 적용함으로써 전송지연의 한계에 따른 셀 폐기율을 크게 줄임으로써 전체 성능이 향상됨을 알 수 있었다.

### Abstract

Satellite communication is getting more important in the coming 21st century because of its wide area service capability, ease of access, and fast channel establishment. As such, satellite communication networks will be the basis of the global communication system in cooperation with the ground ATM networks. In this paper, we consider an efficient transmission methodology of ATM cells over the satellite communication channel. We first analyze possible bottlenecks and performance deterioration factors in the case, and then propose an enhanced cell transmission mechanism. In order to use satellite channel for ATM cell transmission, the application of complicated channel coding is inevitable. However, the forward error control such as convolutional encoding brings forth burst errors, which calls for the application of some kind of interleaving mechanism to randomize the burst errors at the receiver. Another aspect which should be considered in satellite communication system is the inherent transmission delay, which can be very critical to the delay-sensitive ATM traffic. Therefore, we propose that the processing delay at the block interleaving stage should be controlled so that the total delay for such traffic is maintained within its allowable limit. In this paper, we propose a variable-size block interleaving mechanism which utilizes the predicted transmission delay for each traffic in the queues of the transmitter. According to the computer simulation, the proposed mechanism could improve the overall performance by drastically reducing the ATM cell drop rate owing to the excessive transmission delay.

\* 正會員, 現代情報技術(株)  
(Hyundai Information Technologies, Ltd.)

(Dept. of EE, Ewha Womans University)

接受日字: 1998年3月13日, 수정완료일: 1998年5月8日

\*\* 正會員, 梨花女子大學校 電子工學科

## I. 서 론

비동기 전송모드(ATM: Asynchronous Transfer Mode) 기술을 기반으로 한 광대역 종합정보통신망(B-ISDN)의 구축이 현실화되고 있는 가운데 최근의 정보통신기술의 방향은 초고속화, 이동화 및 유·무선의 통합화 개념으로 진전되고 있으며, 서비스의 특성이 기존의 제한된 장소 위주의 통신에서 위치에 관계 없이 정보교환이 가능한 이동화 형태로 전환되고 있다. 특히, 이동통신기술은 언제, 어디서나, 누구에게라도, 어떠한 통신도 가능한 개인화 및 멀티미디어화로 이루어지고 있으며 위성통신망을 이용하여 소형경량의 휴대단말기로 어디에서나 통신을 가능케 하는 범세계 개인휴대통신(GMPCS: Global Mobile Personal Communication Service by Satellite)의 실용화가 조만간 실현될 전망이다.

이러한 통신망 서비스를 바탕으로 하여 향후에는 뉴스, 오락 및 교육 등의 서비스를 제공하기 위한 온라인 멀티미디어 정보 데이터베이스 등의 광대역 서비스를 위해, 휴대형의 광대역 무선 액세스가 Asynchronous Transfer Mode(ATM) 기반의 통신망을 통하여 가능해야 하며, 이를 위해 무선링크에 ATM기술이 적용된 유무선 광대역 ISDN(B-ISDN)망의 구축 필요성이 점차 증대되고 있다. 더 나아가, 차세대 정보통신망은 서비스 영역의 확대에 따라 유무선 지상망 단독에 의한 정보통신망 구축보다는 장거리 전송 및 폭넓은 서비스 영역 측면에서 매우 우수한 장점을 지닌 위성망을 포함한 지상/위성 혼합망이 필연적으로 요구된다.

혼합망에서 위성망은 지상망에 대해 경쟁적인 역할보다는 지상망의 보완적인 역할을 수행하게 된다. 그러므로 효율적인 혼합망 구축을 위해서는 지상망 프로토콜을 위성망에 직접적으로 적용하기 위한 방안이 요구된다. 특히, 지상 초고속 통신망의 표준 전송방식인 ATM전송방식을 위성망에서 직접적으로 수용하기 위한 성능평가, 문제점 분석 및 개선방안에 대한 연구는 혼합망 구축에 있어 매우 중요한 기술요소이다.

한편, 지금까지 일반적으로 ATM기술은 광섬유와 같이 매우 넓은 대역폭과 저잡음 특성을 갖는 즉, 비트오류율(BER: Bit Error Rate)이  $10^{-9} \sim 10^{-12}$  정도를 갖는 광섬유 링크를 기반으로 구현된다. 다시 말하여 지상 ATM전송기술은 광파이버와 같이 매우 신뢰

성 높은 전송채널을 기준으로 개발되었다. 그러나, 상대적으로 열악한 채널환경을 가진 위성망에서의 ATM 전송기술 분석은 장거리 전송경로에 의한 지연 및 무선 채널 환경에 따른 BER측면으로 분류하여 해석할 수 있다. 위성망 지연 측면에서의 분석은 서비스 유형을 제한하는 방식(지연에 민감하지 않은 서비스를 위성이 전달), 효율적인 재전송 메카니즘의 개발 등의 연구가 현재 진행되고 있으며<sup>[4]</sup>, BER측면에서의 분석은 위성채널 BER 성능향상을 위한 다양한 채널부호화 알고리즘에 관한 연구가 진행 중에 있다. 본 논문에서는 이 두가지 접근 방식을 동시에 고려하여 위성망에서의 지연 민감 트래픽을 수용하면서도, BER측면에서의 ATM 셀 전송 성능을 향상시킬 수 있는 방안에 관하여 논한다.

위성채널에서의 ATM전송을 위해서는 위성채널 BER성능을 향상시키기 위하여 다양한 기법의 개발이 필연적으로 요구된다. 이러한 채널 성능개선을 위한 일환으로 위성통신에서는 저전력에서도 신뢰성 있는 전송을 하기 위하여 순방향 채널 부호화(FEC: Forward Error Correction)코딩을 이용한다. 이 때, FEC코딩의 하나로 채택되는 길쌈부호화 방식은 오류 정정 성능이 매우 우수한 반면, 수정이 불가능한 오류의 경우 연집오류 특성을 유발시키는 단점을 가진다. 이러한 연집오류는 ATM셀 전송품질을 저하시키는 주원인이 되며, 특히 셀 헤더는 유효부하(payload)보다도 연집성 오류에 의해 더욱 심한 영향을 받게 된다. 따라서 본 논문에서는 위성채널에서 부가적인 코딩 없이도 ATM Quality of Service(QoS) 성능을 향상시키며, 동시에 지연 측면에서의 서비스 품질도 향상시킬 수 있는 블록 인터리빙의 방법을 응용한다. 즉, 인터리빙 되는 블록의 크기가 커질 경우 오류정정 성능은 좋아지지만, 인터리빙에서의 지연이 증가함으로써 각 트래픽(특히 지연 민감 트래픽)이 지연 허용 한계를 초과하여 셀이 폐기될 수 있다는 사실을 고려하여, 인터리빙에서의 지연을 트래픽의 특성에 따라 가변적으로 조절할 수 있는 가변 블록 인터리빙 구조를 제안한다.

서론에 이어 제2장에서는 위성 시스템의 기본구조 및 채널 특성을 모델링하고, 3장에서는 에러특성에 따른 ATM QoS를 수학적으로 분석하였다. 다음으로 4장에서 위성망에서의 ATM 전송 성능 향상을 위한 가변 블록 인터리빙 알고리즘을 기술하고, 제 5장에서

는 제안된 알고리즘에 대한 컴퓨터 시뮬레이션 수행 결과를 기존의 고정블록 인터리빙의 경우와 비교 분석하였다.

## II. 위성 ATM시스템의 기본 구조 및 특성

그림 1은 FEC와 ATM-IF 사이에 인터리버를 사용한 위성 ATM 시스템의 채널 구조도이다. 지상망 ATM-IF에서는 프레임단위로 전송되는 지상 전송형태(SDH의 STM-N, SONET의 STS-N 등)로부터 ATM 시작점을 찾아 ATM 셀만을 추출한다. ATM-IF에 의해 추출된 셀은 인터리버 구조에 의해 인터리빙된 후 채널부호화를 거쳐 송신이 이루어진다. 이 신호는 위성채널을 통과한 후 목적 지상망에 수신되며 역인터리버를 통하여 본래의 ATM 셀을 복구하게 된다.

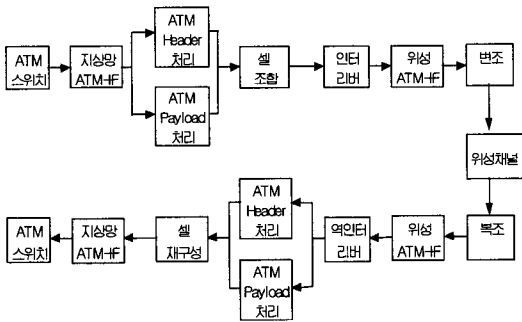


그림 1. 인터리버를 사용한 위성 ATM시스템의 채널 구조

Fig. 1. Channel structure of satellite ATM system using Interleaver.

한편, 위성망에서의 ATM 셀 전송에 있어서 FEC로는 오류정정 성능이 우수한 길쌈부호화 기술과 블록부호화 기술 중에서 특성이 우수한 Reed Solomon (RS) 부호화 기술을 연동하는 구조로 설계함이 일반적이다. 그런데 이 경우, 길쌈부호화 모듈은 단일 bit의 오류가 여러 bit의 오류로 이어지는 연집오류를 야기함으로써 경우에 따라 성능 저하의 주요인이 된다. 연집오류에 대해 CCITT에서는 “두 개 이상의 연속적인 에러 비트가 주어진 올바른 비트의 수(X)이상으로 분리되지 않은 비트들의 그룹”으로 정의하고 있다. 즉, 연집오류라 함은 FEC단계에서 걸러내지 못하는 연속된 bit오류를 의미한다고 볼 수 있다. 따라서, 위성 ATM망의 경우에는 RS 복호화 단계에서 걸러내지

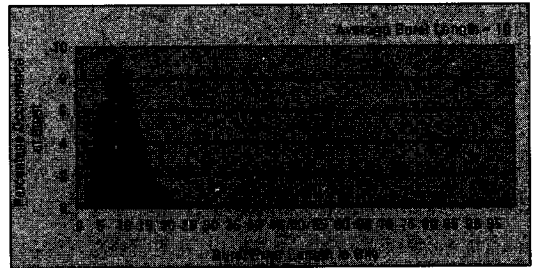
못하는 최대 오류정정수 보다 1 큰 수로 정의할 수 있다.

연집에러를 발생시키는 모델 중 연집오류의 길이를 생성하는 과정에 있어서는 Rayleigh distribution을 사용할 하는데, 식 (1)과 같은 Rayleigh distribution의 CDF에서 Rayleigh distribution의 평균값을  $r_{mean}$  이라 한다면  $r_{mean}$  은 다음과 같이 구할 수 있다.

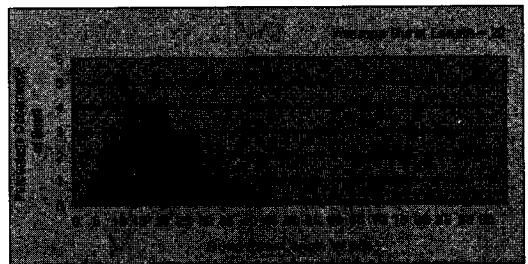
$$P(R) = Pr(r \leq R) = \int_0^R p(x) dx = 1 - e^{-\frac{R^2}{2\sigma^2}} \quad (1)$$

$$r_{mean} = E[r] = \int_0^\infty xp(x) dx = \sigma \sqrt{\frac{\pi}{2}} = 1.2533 \sigma \quad (2)$$

위의 수식에서 파라메타  $\sigma$ 에 따라  $r_{mean}$ 의 값이 달라지므로 결국  $\sigma$ 값을 조정함으로써 연집오류의 평균 길이를 다르게 줄 수 있다. 그림 2는 연집오류의 평균 길이를 각각 10비트와 20비트로 주었을 경우 연집오류 길이의 분포를 시뮬레이션을 통하여 구한 결과이다.



(a) 평균연집에러 길이가 10인 경우



(b) 평균연집에러 길이가 20인 경우

그림 2. 연집에러 길이의 분포도

Fig. 2. Distribution of the lengths of burst errors.

한편, ATM망은 음성, 화상, 그리고 데이터 등을 포함하는 다양한 범주의 트래픽들을 수용한다. 이들 트래픽들은 동일한 전송로로 전송이 되지만, 트래픽

특성과 요구하는 서비스 품질(QoS: Quality of Service) 파라메타들은 트래픽 종류에 따라 다양하다. QoS의 파라메타들은 일반적으로 셀손실률, 종단간 지연 등으로 정의될 수 있으며, 서비스에 따라 여러 가지 값들을 가질 수 있다. 그러나 이러한 트래픽들을 크게 두 가지로 분류하여 보면, 지연에 민감한 트래픽과 손실에 민감한 트래픽으로 나눌 수 있다. 음성이나 화상같은 트래픽은 허용 한계 이내의 셀손실은 허용하지만 지연에는 민감하고, 화일전송과 같은 데이터 트래픽은 실시간 전송보다 셀 손실에 민감한 트래픽이다. 이러한 트래픽의 종류에 따라 다양한 QoS 파라미터들이 있을 수 있는데, 본 논문에서는 셀 폐기율(CLR)과 셀 오삽입율(CIR)을 성능 지표로 설정하여 위성 ATM 전송에 관한 성능 평가를 수행하고자 한다.

### III. 에러 특성에 따른 ATM QoS의 분석

표준에서 정한 바와 같이 ATM 셀은 53바이트 즉, 48바이트의 유료부하(payload)와 5바이트의 오버헤드(overhead)로 구성된다. 유료부하는 ATM Adaptation Layer(AAL)에 해당하고 오버헤드는 ATM 셀 헤더를 정의하는데, ATM 셀 헤더는 가입자망 및 중계망에 따라 다소 차이가 있지만 일반적으로 4바이트의 헤더정보영역과 이러한 헤더정보를 보호하기 위한 error detection/correction mechanism을 포함하는 1바이트의 Header Error Control(HEC)로 구성된다.

ATM 셀 헤더 정보를 보호하기 위한 HEC의 성능은 단일 비트 오류 정정(single bit error correction) 및 다수 비트 오류 검출(multiple bit error detection)이 가능하며 ATM QoS에 직접적인 영향을 미치게 된다. 본 논문에서의 HEC의 운용은, 연접 오류의 영향을 줄이기 위한, 정정모드 및 검출모드를 가지는 HEC의 이중모드 알고리즘을 가정하였으며, 그 과정은 그림 3에 도시한 바와 같다<sup>[1]</sup>.

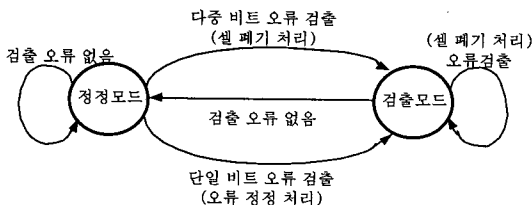


그림 3. HEC 알고리즘의 이중모드 운용  
Fig. 3. Dual-mode operation of the HEC algorithm.

그림 3에서 오류가 없는 정상적인 운용 상태에서 수신측은 단일 비트 오류 정정모드이다. 만약 단일 비트 오류가 발견될 경우는 이 에러를 정정하고, 수신기의 모드는 검출모드로 전환한다. 다수의 오류가 검출된 경우 이 셀은 폐기되며, 수신기는 역시 검출모드에 놓이게 된다. 검출모드의 상황에서 에러가 검출되는 모든 셀은 폐기되며 이 경우 단일 비트의 에러가 검출될 때도 마찬가지로 폐기된다. 에러가 없는 헤더가 나타날 경우에만 수신기의 모드는 정정모드로 돌아가게 된다. 그러므로, 연속되는 셀이 헤더에 단일 비트의 에러를 가지고 있을 경우 두 번째 셀은 그 에러가 정정될 수 있다 하더라도, 폐기되게 되는 것이다. 이러한 알고리즘에서 결국 셀이 폐기되는 경우는, 수신기가 정정모드에 있고 두 비트 이상의 에러가 있을 경우, 또는 수신기가 검출모드에 있고 적어도 한 비트 이상의 에러가 있는 경우가 된다.

단일비트 오류 특성을 가지는 채널에서 일정 블록 길이 안에서 다수의 오류가 동시에 발생할 확률은 binomial distribution을 이용하여 다음과 같이 정의할 수 있다.

$$P_S(n) = \binom{L}{n} \cdot p^n (1 - p)^{L-n} \quad (3)$$

여기서,  $p$ 는 BER,  $L$ 은 설정된 블록의 수 ( $L = L_H + L_P$ ,  $L_H$ : 셀 헤더의 길이(40비트),  $L_P$ : 셀 유료부하의 길이(384비트)),  $n$ 은 비트오류의 수, 그리고 아래 첨자  $S$ 는 랜덤 단일 비트를 의미한다. 식 (3)을 이용하여 HEC의 이중모드 오류검출/정정 알고리즘을 적용한 경우의  $CLR_S$ 를 정의하면 다음과 같다.

$$\begin{aligned} CLR_S &= P(\text{정정모드}) \cdot P(\text{헤더에러비트} > 1) \\ &+ P(\text{검출모드}) \cdot P(\text{헤더에러비트} \geq 1) \\ &= P_c [1 - P_S(0) - P_S(1)] + P_d [1 - P_S(0)] \end{aligned} \quad (4)$$

여기서,  $P_c$ 는 수신기가 정정모드에 있을 확률,  $P_d$ 는 검출모드에 있을 확률을 의미 한다. Two state Markov Chain을 이용하여  $P_c$ ,  $P_d$ 를 풀면 다음과 같다.

$$P_c = P_S(0), \quad P_d = 1 - P_S(0) \quad (5)$$

$L_H p \ll 1$ 임을 가정했을 때 근사화 공식의 적용이

가능하므로  $CLR_S$ 는 식 (6)과 같이 정의할 수 있으며, 이를 식 (4)에 대입하면 식 (7)을 얻는다.

$$(1 - p)^{L_n} \cong 1 - pL_H + p^2 \frac{L_H(L_H - 1)}{2} \quad (6)$$

$$CLR_S = P_S(0)[1 - P_S(0) - P_S(1)] + [1 - P_S(0)]^2 = 1 - P_S(0) - P_S(0) \cdot P_S(1) \quad (7)$$

$CIR_S$ 의 수학적 정의를 얻기 위해 발생 가능한 헤더 에러를 정성적으로 분석하면 다음과 같다. 앞에서 ATM 셀 헤더 구조를 살펴본 것처럼 ATM 셀 헤더는 32비트의 정보 비트와 8비트의 HEC 비트로 전체 40비트로 구성되어 있다. 따라서 랜덤한 비트 패턴에 의해서 발생하는 경우의 수는  $2^{40}$ 이 된다. 그러나, HEC의 8비트는 앞의 32개의 정보 비트에 의해 결정되는 값이므로 이중에서 단지  $2^{32}$ 개의 유효 정보 코드워드를 지니게 된다. 따라서 헤더에 랜덤한 비트 패턴에 의해 발생하는 셀 헤더 중에서 유효 헤더로 간주할 수 있는 셀은  $2^{32} / 2^{40}$ 정도의 확률을 가지게 된다. 랜덤 비트 패턴에서는 1비트 에러인 40개의 코드워드 패턴과 에러가 없는 경우를 제외해야 하므로 위 확률에 41을 곱한 값이 랜덤한 비트 패턴 상황에서 유효 셀로 간주할 확률이 된다. 즉, 랜덤한 비트 패턴에 의해서 발생하는 셀들 중에서 단지 5/6 정도만이 HEC에 의해서 검출이 되며 약 1/6정도의 셀은 검출이 불가능하게 된다.

그런데,  $CIR$ 은 ATM 주소에서 에러가 발생되더라도 이를 검출하지 못해 다른 VPI/VCI로 연결이 된 경우로 정의하였으므로,  $CIR_S$ 는 식 (8)과 같이 나타낼 수 있다.

$$CIR_S \cong \frac{(1 - P_S(0) - P_S(1))}{6} \times \frac{K}{40} \quad (8)$$

$K$ : 주소 비트 갯수

한편, 위성망에서는 power efficiency를 향상시키기 위해서 FEC를 사용하게 되는데, 일반적으로 Convolutional encoder와 Viterbi decoder를 사용한다. 이 때 이러한 FEC의 사용은 연접 에러를 유발시킨다. 채널 부호와 출력 비트 오류 특성이 연접오류이고, 연접에러 안에서의 에러분포가 Poisson distribution을 이루고 있다고 가정하면 Neyman-A contagious mode을 사용할 수 있다. 평균 연접에러

의 길이를  $b$ 로 정의할 때, L비트 내에서  $n$ 개의 에러가 발생할 확률은 다음과 같이 정의된다<sup>[5]</sup>.

$$P_B(n) = \frac{b^n}{n!} e^{-\frac{L_H p}{b}} \sum_{j=0}^{\infty} \left(\frac{L_H p}{b} e^{-b}\right)^j \frac{j^n}{j!} \quad (9)$$

여기서,  $p$ 는 디코더 출력 BER을 그리고 아래첨자  $B$ 는 연접성 오류를 의미한다. 앞 절에서 이중모드 알고리즘을 가정하여 구한 식(7)을 이용하여 셀 손실률은 연접오류에서 정의하면 다음과 같다.

$$CLR_B = 1 - P_B(0) - P_B(0) \cdot P_B(1) \quad (10)$$

$L_H p / b \ll 1$ 로 가정하면,  $P_B(0)$ 와  $P_B(1)$ 은 식 (11) 및 (12)와 같이 근사화되며, 셀손실률은 식 (13)과 같이 간략화된다.

$$P_B(0) = e^{-L_H \frac{p}{b}} \sum_{j=0}^{\infty} \left(\frac{L_H p}{b} e^{-b}\right)^j \frac{1}{j!} \cong e^{-\frac{L_H p}{b}} \quad (11)$$

$$P_B(1) = b e^{-\frac{L_H p}{b}} \sum_{j=0}^{\infty} \left(\frac{L_H p}{b} e^{-b}\right)^j \frac{1}{j!} \cong L_H p e^{-\frac{L_H p}{b} - b} \quad (12)$$

$$CLR_B \cong 1 - e^{-\frac{L_H p}{b}} - L_H p e^{-\frac{2L_H p}{b} - b} \cong \frac{L_H p}{b} \quad (13)$$

지금까지 연접오류에 의한  $CLR_B$ 를 구하였고, 특히 지연 민감 트래픽의 경우 위성 ATM 망에서의 전송 지연 때문에 수신측에서 폐기하게 되는 셀 손실률을 추가하여 고려하면 식 (13)은 다음과 같이 다시 정의될 수 있다.

$$CLR_{BD} \cong \frac{L_H p}{b} + CLR_D \quad (14)$$

$CLR_D$ 는 위성망에서의 지연으로 인한 셀 손실률로서 손실 민감 트래픽의 경우 그 값은 0이며, 지연 민감 트래픽의 경우 0보다 큰 값을 갖는다. 한편,  $CIR_B$ 는 단일비트해석에서  $P_S(\cdot)$ 를  $P_B(\cdot)$ 로 대체하여 다음과 같이 정의할 수 있다.

$$CIR_B \cong \frac{(1 - P_B(0) - P_B(1))}{6} \times \frac{K}{40} \quad (15)$$

$K$ : 주소 비트 갯수

$$\cong \frac{L_H p}{6 \times b} \times \frac{K}{40}$$

IV. 가변 블록 인터리빙 알고리즘

위성 채널 부호화로 인한 연접오류 특성은 ATM과 같은 패킷단위로 전송을 해야 할 경우 성능 저하의 주 원인(에러 정정 능력의 한계성)으로 작용하게 된다. 특히 ATM에서는 각 셀마다 주소 번지가 주어져 있어 이 부분에 에러가 발생할 경우 매우 심각한 성능 저하가 야기된다. 이러한 단점을 개선시킬 수 있는 방법으로서, 일반적으로 인터리빙 알고리즘을 적용하게 된다.

인터리빙을 ATM 셀에 적용하는 방법으로 셀 헤더간을 인터리빙하는 블록단위 인터리빙 방법과 한 개의 셀 전체에 대해 인터리빙하는 셀단위 방법을 고려할 수 있다. 전자는 일정 전송율이 지속적으로 유지될 때 셀 헤더간에 인터리빙을 수행한다. 후자는 셀 발생률이 일정하지 않을 때 한 개의 ATM 셀 전체에 대해서 인터리빙을 행하는 방법으로 인터리버에 의한 셀 전송 지연을 최소화할 수 있다. 따라서 전자인 경우에는 셀 전송량이 많은 중계망(NNI:Node Network Interface)에 적절하고, 후자인 경우에는 셀 전송율이 불균일한 가입자망(UNI:User Network Interface)에 적절한 방식이 된다. 본 논문에서는 중계망을 기준으로 그에 적절한 인터리버 구조인 블록단위 인터리빙 방법을 사용하며, 이 때 큰 단점으로 지적되는 셀 전송 지연을 보상할 수 있는 방안을 제시하고자 한다.

인터리버 구조 설계시 두 가지의 기본 조건을 만족시켜야 한다. 첫째로, 3장에서 보인 HEC 이중모드 알고리즘의 이중모드 동작(검출모드에서의 1비트 에러는 셀손실)을 고려해야 한다. 둘째로, 헤더의 인접비트간의 거리를 충분히 확보할 수 있도록 해야 한다. HEC의 이중모드 알고리즘을 고려하여  $2^n = N$ 개의 ATM 셀이 하나의 인터리버 안에 채워질 때 이를 인터리버-N 구조로 정의하며, 이 때 인접 비트간의 거리는 N 비트가 된다. 인접 셀간의 거리에 있어서는 그 거리를 4셀로 할 경우, 즉 4열이 되며 이것을 인터리버 내 하나의 sub block으로 정의한다.

인터리버-N 구조에서 송신측에서의 전송 순서는 다음과 같은 수식 차례로 한다. 일단 N을 결정하고 나면 인터리버는 전송될 트래픽의 특성에 상관없이 항상 고정된 N 크기의 블록으로 인터리빙을 수행하므로 이를 고정 블록 인터리버라 한다.

$$I [4*i+j, k] \quad i = 1, 2, \dots, N \quad (16)$$

$$j = 1, 2, \dots, 2^n/N$$

$$k = 1, 2, \dots, 40$$

알고리즘:

- ①  $i = 1, j = 1, k = 1$  로 초기 셋팅
- ②  $i = 1 \sim N$ 으로 증가시킴
- ③  $i = N$ 이 되면  $i = 1$ 로 셋팅하고  $j$ 를 1만큼 증가시킴
- ④  $j = 1 \sim 4$ 가 될 때까지 ① ~ ③과정 반복 (4는 sub block 내 셀의 갯수)
- ⑤  $j = 4$ 가 되면  $j = 1$ 로 셋팅하고  $k$ 를 1만큼 증가시킴
- ⑥  $k = 1 \sim 40$ 이 될 때까지 ① ~ ⑤ 과정 반복

식 (16)에서  $I [m, n]$ 은 인터리버에서 m번째 행, n번째 열을 의미하고 N은 전체 인터리버 구조 내의 셀의 갯수를 의미한다. 이러한 방식으로 출력된 인터리버 출력 비트는 바로 인접비트와는 N만큼 떨어져 있게 되고 셀간의 거리는 4가 되어 두 가지 인터리버 구성조건을 만족시킬 수 있게 된다.

그런데, 고정 블록 인터리빙의 경우, 블록의 크기를 크게 할수록 연접오류의 분산정도가 커져서 랜덤 단일 에러 특성에 가까워 질 것으로 예측할 수 있는데, 그러나 이 때 N의 수를 크게 하면 할수록 인터리버 내에서의 지연 역시 증가하여 결국 ATM 셀의 전체 전송 지연에 큰 영향을 주게 되며 특히, 지연 민감 트래픽의 경우 많은 양의 셀 손실을 가져 오게 한다. 그러므로, 본 논문에서는 전송 대기열의 트래픽 형태에 따라 N을 몇 단계로 분류하여 조건에 따라 인터리빙의 블록 수를 조절할 수 있도록 설계된 가변 블록 인터리버 구조를 제안한다.

가변 블록 인터리버의 구성은 다음과 같다. 만약 대기열에 일반적인 화일 전송과 같은 손실 민감 트래픽만 있는 경우는 지연이 문제되지 않으므로 최적의 N으로 인터리빙을 수행한다. 음성이나 화상과 같은 지연 민감 트래픽만 있거나 혹은 이러한 트래픽이 손실 민감 트래픽과 혼합되어 있는 경우는 대기열의 셀이 위성망을 통해 전송된 후 지상망에서 수신되기까지의 전체 지연을 미리 예측하여 그 예측치에 따라 전송의 시급성을 판단하여 인터리버의 N값, 즉 블록의 크기를 32, 64, 128, 256 등으로 가변함으로써, 인터리버 블록에서의 처리지연 시간을 조절할 수 있도록 한다. 이러한 알고리즘으로 운용되는 가변 블록 인터리버는 결국 그 인터리빙되는 블록의 크기가 대기열 ATM 셀

의 트래픽 특성과 그것의 예측 전송 지연 시간에 따라 유동적으로 조정이 되므로 수신측에서의 지연에 의한 셀 폐기를 최소화 줄일 수 있다. 따라서, 전송 지연이 위험 수위까지 왔다고 판단될 경우 인터리버의 블록의 크기를 줄여 줌으로써, 전송 지연의 한계 초과로 인해 셀 폐기를 최소화할 수 있는 방법이다. 즉, 작은 블록 크기로 인터리빙을 수행함으로써 추가 발생할 수 있는 비트 오류는 지연 한계 초과로 인한 폐기 셀의 수를 감소시킴으로써 충분히 보상할 수 있으리라고 예상하며, 그 결과는 시뮬레이션을 통하여 분석해 보고자 한다. 그림 4는 가변 블록 인터리버 구조를 설명하고 있다.

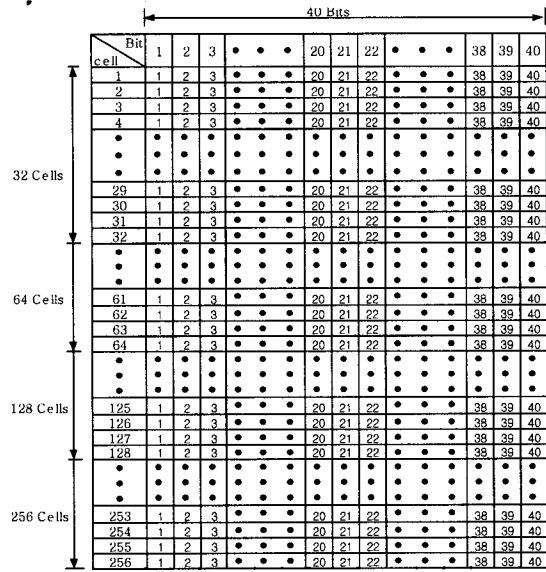


그림 4. 가변 블록 인터리버 구조 (인터리버-V 구조)  
Fig. 4. Variable-size interleaver structure (Interleaver-V).

### V. 시뮬레이션 및 결과 분석

본 논문의 시뮬레이션은 2장에서서의 그림 1과 같은 채널 구조를 기본으로, C 언어로 프로그래밍하여 SUN Workstation 환경에서 수행하였다. 이러한 구조 안에서 ATM 셀의 payload 부분은, Poisson distribution과 exponential distribution을 사용하여 발생시키고 이렇게 발생된 셀에 대하여 HEC 부분은  $x^8 + x^2 + x + 1$ 의 다항식을 사용한 CRC를 계산하여 생성하였다. 전송될 트래픽은 음성, 화상, 그리고 데이터의 형태가 혼합되어 있는 최대 2Mbps급의 멀티미디어 트래픽으로 구성되어 발생시켰다. 인터리버

구조는 우선 지연을 고려하지 않은 상황에서 최적의 블록 크기 즉, N의 수를 찾기 위하여 고정 블록 인터리빙 기법을 적용하였고, 다음으로 지연 한계에 의한 셀 손실을 고려하여 고정 블록 인터리빙과 가변 블록 인터리빙의 기법을 적용, ATM 셀 전송 성능을 평가하였다. 인터리빙을 적용한 후 연결 에러를 주는 과정에서는 2.3절에서 설명한 채널 에러 생성모델을 기준으로 Rayleigh distribution을 사용하였고 연결에러의 평균길이는 3비트로 하였다. 수신기에서 역인터리빙 과정을 거친 후 error check를 하는 부분에서는 HEC 이중모드 알고리즘을 사용하고, 위성 지연 시간은 모든 경우 250ms로 평가하였다.

먼저, 그림 5는 인터리빙 기법을 사용할 경우와 사용하지 않을 경우, 시뮬레이션을 통하여 구한 CLR과 CIR값에 대한 비교 그래프이다. 이 경우 인터리빙 블록의 크기는 128셀을 사용하였다. 역시 인터리빙 기법을 적용하고 있는 쪽의 성능이 더 우수함을 보여 주고 있다.

그림 6은 평균 연결 에러의 길이가 3인 경우 ATM 셀 헤더를 이용한 블록 인터리버-N 구조에 대한 최적의 N을 찾기 위한 시뮬레이션의 결과로써, 인터리버-64, 인터리버-128, 인터리버-256, 인터리버-512 구조에 대한 각각의 CLR과 CIR의 결과 그래프이다. 채널부호화 후, 인터리빙을 사용함으로써 각 인터리버의 구조 특성에 따라 성능이 향상되고 있음을 볼 수 있다. 인터리버-64 구조를 통하여 얻어 낸 결과는 인터리버를 사용하지 않을 때 보다는 성능이 크게 향상되었지만 다른 구조에 비해서 CLR 측면에서 볼 때 다소 성능이 떨어짐을 볼 수 있다. 이는 인접비트간의 충분한 거리를 유지하지 못함으로 연결성 에러의 영향을 완전히 벗어나지 못했기 때문이다. 인터리버-256 구조를 사용한 결과는 인터리버-512 구조를 사용하여 얻은 결과와 비슷함으로써, 랜덤한 에러에 가까워졌다는 사실을 알 수 있다.

지금까지 본 고찰은 인터리버에 의한 지연을 고려하지 않은 상황에서, 본 시뮬레이션에서와 같은 조건의 경우 가장 적절한 인터리버 구조는 인터리버-256 구조라는 것을 보았다. 그러나 인터리버-256 구조에 해당하는 인터리버 지연은 다른 인터리버에 비해 상대적으로 큰 수로써, 전송되는 데이터가 지연에 민감한 트래픽의 경우 많은 수의 셀이 지연 허용 한계를 초과하여 폐기될 수 있을 것으로 예상할 수 있다. 다시 말하

여 지연 민감 트래픽과 같은 경우는 인터리버에 의한 지연이 가장 큰 성능 평가의 지수로서 작용하게 된다.

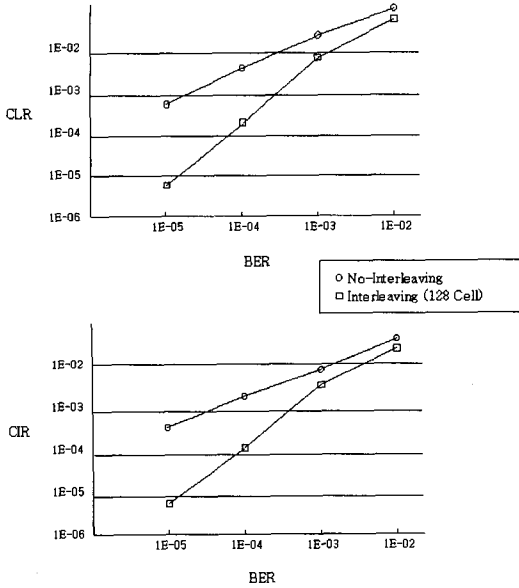


그림 5. Interleaving과 No-Interleaving의 경우 CLR 및 CIR  
Fig. 5. CLR and CIR for the cases of interleaving and non-interleaving.

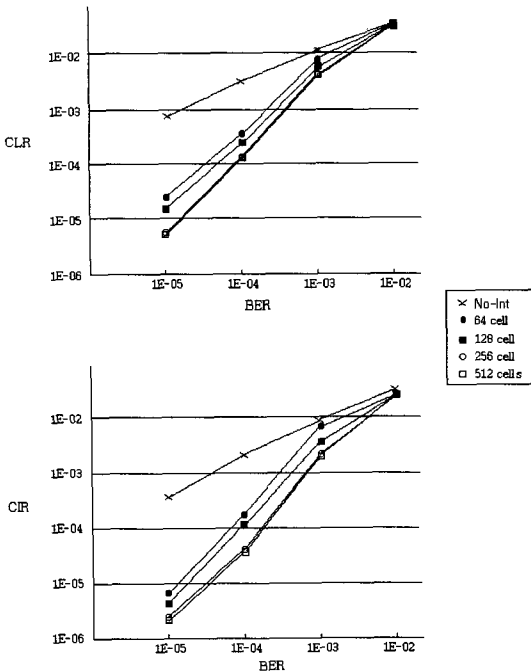
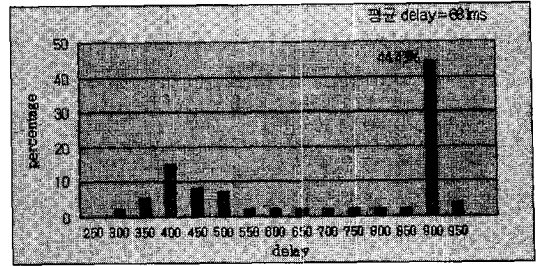
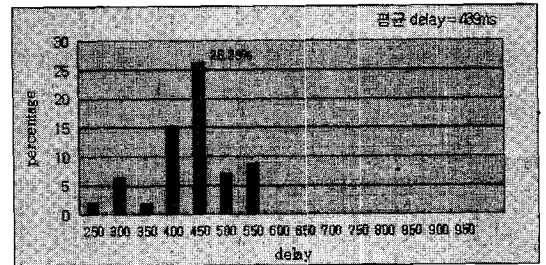


그림 6. 인터리빙 블록 크기에 따른 CLR 및 CIR  
Fig. 6. CLR and CIR of interleaving for different block sizes.



(a) 고정 블록 인터리버 사용의 경우(N=256)



(b) 가변 블록 인터리버 사용의 경우  
(N=32, 64, 128, 256)

그림 7. 셀 전송 지연 시간의 분포도  
Fig. 7. Distribution of cell transmission delay.

그림 7-(a)는 2Mbps급의 멀티미디어 트래픽을 가정한 상황에서 인터리버-256 구조의 고정 블록 인터리버를 사용한 경우 ATM 셀들이 위성채널을 거쳐 전송되고 다시 지상망에서 수신되기까지의 전체 지연 분포도이다. 이 그림에서는 지연이 900~950ms의 범위가 전체 전송 셀 중의 44.43%로서 가장 큰 비중을 차지하고 있고 900ms를 넘는 셀의 양은 48.23%로서 거의 절반에 가깝다. 이는 지연민감 트래픽의 지연 한계가 900ms라고만 하더라도 적지 않은 수의 셀들이 지연 한계로 인하여 폐기된다는 것을 의미한다. 이 때 평균 지연 시간을 계산 해 본다면 681ms인데, 이는 인터리버-256 구조가 랜덤한 단일 비트 에러 특성에 가깝기는 하나 인터리빙 블록의 크기가 큰 만큼 인터리버의 지연이 커짐으로써 야기되는 현상이다.

이에 반하여 인터리버의 지연을 줄이고 지연 한계로 인해 폐기되는 셀의 수를 줄이기 위한 방안으로 대기열의 트래픽의 형태와 그에 대한 수신측에서의 예측 지연 시간을 기준으로 한 가변 블록 인터리버 구조(인터리버-32, 64, 128, 256)를 사용한 모델에서의 전체 지연 분포를 그림 7-(b)에 나타내었다. 여기에서는 450~500ms의 범위가 26.29%로 가장 높은 비중을



차지하고 있음을 알 수 있으며, 이 때 평균 지연 시간은 439ms가 된다. 이러한 결과로서 우리는 멀티미디어 트래픽에 있어서 같은 지연 한계를 가지고 있을 경우, 가변 블록 인터리버 구조를 사용한 쪽이 지연 한계로 인해 폐기되는 셀의 수를 훨씬 줄일 수 있다는 것을 알 수 있다.

가변 블록 인터리버를 사용한다는 것은, 조건에 따라 고정 블록 인터리버에 비해 더 작은 블록의 크기로 인터리빙을 수행할 수 있다는 것을 의미하는데, 이러한 경우 작은 블록의 크기는 연접성 오류의 영향을 완전히 벗어나지 못함으로써, 상대적으로 더 많은 셀 손실이 발생할 수 있다는 것은 이미 그림 6의 결과에서 알아 본 바와 같다. 그렇다면 이 경우, 가변 블록 인터리버를 사용함으로써 지연 한계로 인해 폐기되는 셀의 수를 줄이는 것이 과연 연접 오류의 영향으로 폐기되는 셀의 수를 보상할 수 있는지 알아보기 위해 두 구조에 대한 전체 CLR과 CIR을 구해 보았다.

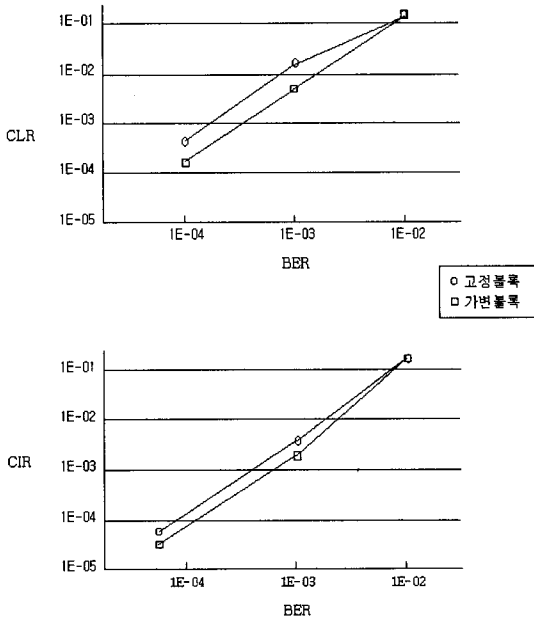


그림 8. 고정 블록과 가변 블록 인터리버 사용할 때 CLR 및 CIR

Fig. 8. CLR and CIR for the cases of fixed-sized block interleaving, and variable-sized block interleaving.

그림 8은, 멀티미디어 트래픽에 있어서 고정 블록과 가변 블록 인터리버 구조를 사용한 CLR과 CIR의 비교 그래프이다. 그림에서 가변 블록 인터리버 구조가

고정 블록 인터리버 구조에 비하여 연접 오류에 의한 약간의 CLR 성능 열화가 있었을지라도, 대신 지연에 의해 폐기되는 셀의 수를 줄여줌으로써 결국에는, 지연 한계까지 고려하는 조건에서의 전체 CLR과 CIR 성능이 향상되었음을 볼 수 있다. 다시 말하여, 지연 민감 트래픽이 포함된 멀티미디어 트래픽의 경우, 본 논문에서 제안한 가변 블록 인터리버 기법을 사용함으로써 지연 한계로 인한 셀 폐기율을 최소화하도록 하는 것이 고정 블록 인터리버를 사용하지 않음으로써 추가 발생할 수 있는, 연접 오류의 의한 셀 손실을 충분히 보상할 수 있다는 결론을 얻을 수 있다.

## VI. 결 론

ATM 기술을 기반으로 한 광대역 종합정보통신망의 구현에 대한 연구가 전세계적으로 수행되고 있으며, 또한 차세대 정보통신망으로서 유·무선망의 통합망을 위한 연구가 이루어지고 있다. 따라서 본 논문에서는 모든 전송에 기초가 되는 가장 기본 단계인 물리 계층 면에서 광섬유를 기반으로 하는 ATM 기술을 위성 시스템에 응용하기 위한 기술에 대해서 검토하였다. 위성시스템의 낮은  $E_b/N_0$  환경에서 높은 BER을 유지하기 위한 채널 부호화 및 복호화로 인해 발생하는 연접성 에러 환경 하에서, 광섬유에서의 같은 성능을 유지하기 위한 방안으로 본 논문에서는 고정 블록 인터리버 구조를 검토하였고 결과로서, 멀티미디어 트래픽의 지연 한계를 감안하여 인터리버 지연을 줄일 수 있는 방안으로써 가변 블록 인터리버 구조를 제시하였다.

지연 한계를 고려하지 않을 경우에는, 위성망에서의 FEC 적용으로 인한 연접 오류를 랜덤 단일 오류에 가깝게 분산시킬 수 있는 최적의 블록 크기를 구하고 이 때 구한 블록의 크기로서 항상 고정적인 인터리빙을 수행하는 것이 ATM 셀의 전송 성능을 가장 높일 수 있는 방법임을 보았고, 지연 한계를 고려할 경우는 최적의 블록 크기로 수행되는 인터리버에서의 지연이 상대적으로 큰 점을 감안하여 블록의 크기를 몇 단계로 조절함으로써 멀티미디어 트래픽의 지연 민감 셀들이 지연 한계에 의해 손실되는 비율을 저하시켜 작은 블록 크기를 선택했을 경우, 상대적으로 늘어날 수 있는 연접 오류에 의한 셀 손실을 감안하더라도, 전체 CLR 및 CIR의 성능이 향상되고 있음을 보았다. 따라서 위성통신 채널에서 피할 수 없이 발생하는 전

송 지연을 감안하여 지연 민감 트래픽에 대한 QoS 만족을 위해서는 가변 블록 인터리빙 구조의 채택이 바람직함을 알 수 있다.

참 고 문 헌

[1] S. Ramseier, T. Kaltenschnee, "ATM over Satellite : Analysis of ATM QoS Parameters," Proc. of ICC'95, Vol. 3, pp. 1562-1566, 1995.

[2] D. J. Kennedy, M. B. Nakhla, "Burst Error Characterizations of FEC Coded Digital Channels," ICDSC-10, pp.243-250, 1995.

[3] J. A. Heller, I. M. Jacobs, "Viterbi Decoding for Satellite and Space Communication," IEEE Trans. Commun. Technol., Vol. COM-19, No. 5, pp. 835-848, October 1971.

[4] D. M. Chitre, D. S. Gokhale, T. Henderson, J. L. Lunsford, and N. Mathews, "Asynchronous Transfer Mode(ATM) Operation via Satellite:Issues, Challenges and Resolutions," Int. Journal of Satellite Comm., Vol. 12, pp. 211-222, May-June 1994.

[5] S. Ramseier, T. Kaltenschnee, "Impact of Burst Errors on ATM Over Satellite-Analysis and Experimental Results," Proc. of ICDSC, Vol. 10, pp. 236-243, 1995.

[6] 김은경, 김낙명, "위성망에서 가변블록 인터리빙 기법을 이용한 ATM 셀 전송 성능향상에 관한 연구," 한국통신학회 추계종합학술대회 논문지, pp. 535-538, 1997 11.

[7] G. D. Forney, "The Viterbi Algorithm," IEEE Proceedings, Vol. 61, No. 3, pp. 268-278, March 1973.

[8] D. M. Chitre, D. S. Gokhale, T. Henderson, J. L. Lunsford, and N. Mathews, "Asynchronous Transfer Mode(ATM) Operation via Satellite:Issues, Challenges and Resolutions," Int. Journal of Satellite Comm., Vol. 12, pp. 211-222, May-June 1994.

[9] 김신재, 김동규, 최형진, "위성망에서 ATM 셀 전송에 관한 연구," 한국통신학회 논문지, Vol. 211, No. 10, pp. 2687-2702, 1996, 10.

저 자 소 개



金 恩 璟(正會員)

1992년 서강대학교 전산학과(학사).  
 1997년 이화여대 정보과학 대학원(석사). 1992년 ~ 1993년 Software Engineer, Phoenix System Inc., Seoul and Japan.  
 1995년 ~ 현재 현대정보기술(주) 연구원. 주관심분야는 이동 데이터통신, 인터넷, 초고속 통신망 등임



金 洛 明(正會員)

1980년 서울대학교 전자공학과(학사). 1982년 KAIST 전기 및 전자공학과(석사). 1990년 미국 Cornell University 전기공학과(공학박사). 1990년 ~ 1996년 LG정보통신(주) 책임연구원. 1996년 ~ 현재 이화여자대학교 공과대학 전자공학과 조교수. 주관심분야는 디지털 이동통신, 위성통신, 통신망 해석 등임