

RESURF LDMOS의 항복전압에 관한 이론적인 고찰

(A Theoretical Study on the Breakdown Voltage of the RESURF LDMOS)

韓承燁*, 鄭相九**

(Seung-Youp Han and Sang-Koo Chung)

요 약

RESURF(REDuced SURface Field) LD(Lateral Double-diffused)MOS의 표면 전계 분포를 해석적 모델을 이용하여 n^- 에피층 영역의 농도 및 두께, p 기판농도, 그리고 에피층의 길이의 함수로 나타냈고, 이를 이용하여 표면 전계에 의한 항복 전압을 에피층의 길이의 함수로 결정하였으며, 소자의 최대 항복 전압은 n^+n^- 접합의 수직방향 전계에 의한 것임을 나타냈다. 항복전압과 에피층 길이에 대한 해석적인 결과는 MEDICI 시뮬레이션 결과와 잘 일치하였다.

Abstract

An analytical model for the surface field distribution of the RESURF (REDuced SURface Field) LD(Lateral Double-diffused)MOS is presented in terms of the doping concentration, the thickness of the n^- epi layer, the p substrate concentration, and the epi layer length. The results are used to determine the breakdown voltage due to the surface field as a function of the epi layer length. The maximum breakdown voltage of the device is found to be that of the vertical n^+n^- junction. Analytical results of the breakdown voltage vs. the epi layer length agree well with the numerical simulation results using MEDICI.

I. 서 론

RESURF(REDuced SURface Field) LD(Lateral Double-diffused)MOS의 특징은 얇은 에피층을 사용하여 고전압 소자를 구현할 수 있다는 데 있다. 이의 장점은 전력 IC 용에 적합하고, 공정기술이 비교적 단

단할 뿐만 아니라, 논리 IC와 양립할 수 있다는 점이다^[1,2,3]. 그림 1은 RESURF LDMOS의 단면도이다. LDMOS의 주요 특성 중 대표적인 것으로서 항복전압과 ON 저항을 들 수 있는 데, 이것은 주로 n^- 에피층의 농도 및 두께에 의하여 결정된다. 일반적으로 에피층의 농도가 낮고 두께가 두꺼우면 항복전압은 증가하지만, ON 저항도 증가하기 때문에 항복전압이 유지되는 한 에피층의 농도를 높게 설계한다.

RESURF^[4]는 얇은 에피층을 사용하여 에피층이 모두 공핍이 되면 표면의 전계도 최고의 전계가 접합 한쪽에서 일어나지 않고 접합 양쪽에서 일어나게 되어 표면에서의 항복현상을 피하고 벌크내에서 항복이 일어나도록 유도하는 원리를 말한다.

에피층이 두꺼운 일반적인 LDMOS인 경우 수평방향

* 正會員, 亞洲大學校 情報電子技術研究所
(Research Institute of Computer and Electrical Eng., Ajou Univ.)

** 正會員, 亞洲大學校 電子工學部
(Dept. of Electronics Eng., Ajou Univ.)

※ 이 연구는 1995년도 한국과학재단 연구비 지원에 의한 결과임 (과제번호 : 95-0100-05-01-3)

接受日字:1997年9月2日, 수정완료일:1998年7月27日

의 표면전계가 수직방향의 전계보다 높기 때문에 표면에서 항복현상이 발생하게 된다. 얇은 에피층을 사용할 경우 수평방향의 표면전계 침투치가 임계 전계값 (E_{cr})에 도달하기 전에 에피층의 완전 공핍이 이루어진다. 따라서 $n^+n^-p^+$ 접합의 수평방향의 표면전계가 $n^+n^-p^-$ 접합의 수직방향 전계보다 작아지기 때문에 항복전압이 높게 된다. 따라서 RESURF 소자의 최대 항복전압은 수평방향의 전계에 의해서가 아니라, $n^+n^-p^-$ 접합의 수직방향 전계에 의하여 정해진다^[5].

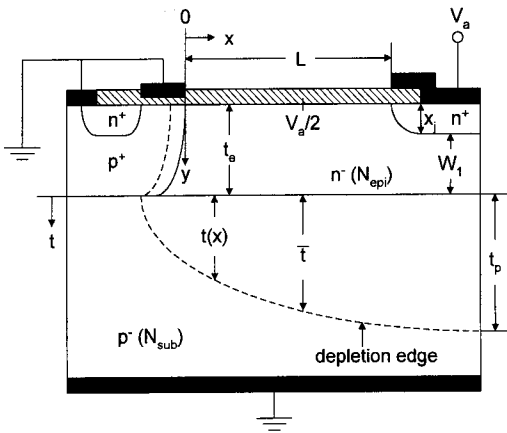


그림 1. RESURF LDMOS의 단면도
Fig. 1. Cross-section of the RESURF LDMOS.

J. A. Appels 등은 그림 1에서 에피층의 길이, L 이 충분히 길다는 가정 하에 RESURF 소자의 에피층 농도, N_{epi} , 두께, t_e 의 관계 및 간단한 항복전압 식을 제시한 바 있다^[4]. 그러나, L 은 항복전압의 저하를 가져오지 않는 한 작으면 작을수록 ON 저항이 감소하고, 소자의 크기가 작아져서 경제적이다. SOI pn 다이오드의 항복전압과 최적 에피층 길이에 대한 연구 결과는 이미 발표된 바 있으나^[5], 접합격리(Junction Isolation, JI) 구조의 RESURF LDMOS의 항복전압에 대한 해석적인 연구는 지금까지 거의 발표된 바 없다. Z. Parpia 등이 conformal mapping을 사용하여 RESURF LDMOS를 최적화 하였으나 에피층 수평 길이를 고려하지 않았다^[6]. SOI 소자인 경우 수직방향의 $n^+n^-SiO_2$ (매물산화막)구조의 전계가 항복전압을 결정하는 반면에, JI RESURF 소자에서는 $n^+n^-p^-$ punch-through 양방향 접합(two-sided junction)의 최대 전계가 항복전압에 주요 영향을 미친다.

본 논문에서는 $n^+n^-p^-$ 접합의 수직방향 전계로부터

RESURF LDMOS의 최대 항복전압을 결정하고, Si 표면 전계 분포에 대한 간단한 해석적 모델^[7]을 이용하여 수평방향 전계에 의한 항복전압을 해석적으로 계산하였으며, 이 해석적 결과를 MEDICI를 이용한 시뮬레이션 결과 및 발표된 실험결과^[8]와 비교하였다.

II. 항복전압의 해석적인 모형

1. 수직 전계에 의한 항복전압

J. A. Appels에 의하면 수평방향의 표면전계가 항복 임계치(E_{cr})에 도달하기 전 에피층이 완전히 공핍되기 위한 농도, N_{epi} 와 두께, t_e 의 관계는 다음과 같다^[4].

$$N_{epi} \cdot t_e \approx 10^{12} \text{ cm}^{-2} \quad (1)$$

이 조건이 만족되고, n^+n^- 접합에서 n^-p^+ 접합까지의 에피층 수평거리, L 가 충분히 길다고 가정하면 항복현상은 수직방향의 $n^+n^-p^-$ 접합에서 발생한다.

그림 2에 RESURF LDMOS의 수직방향 접합을 나타냈다. 이 때, 수직전계의 형태는 n^-p^- 의 양방향 계단형 접합(two-sided step junction)으로 근사시킬 수 있으며, Poisson 방정식으로부터 전계에 대한 표현식은 n^-p^- 접합으로부터의 거리, t 의 함수로 다음과

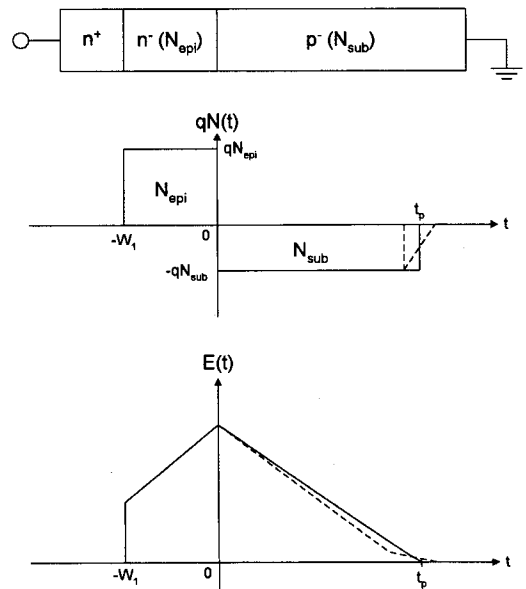


그림 2. $n^+n^-p^-$ 수직접합의 전하와 전계분포
Fig. 2. Charge and electric field distribution of the vertical $n^+n^-p^-$ junction.

같이 표현된다.

$$E(t) = \begin{cases} \frac{qN_{sub}}{\epsilon_o \epsilon_{si}} (t_p + \gamma t), & \text{for } -W_1 \leq t \leq 0 \\ \frac{qN_{sub}}{\epsilon_o \epsilon_{si}} (t_p - t), & \text{for } 0 \leq t \leq t_p \end{cases} \quad (2)$$

여기서 ϵ_o 는 자유공간의 유전상수, ϵ_{si} 는 실리콘의 유전상수, N_{sub} 는 기판의 농도, t_p 는 p 기판의 최대 공핍층 폭, W_1 은 n^+n^- 접합에서 n^-p^- 접합 까지의 거리를 나타낸다. $\gamma = N_{epi}/N_{sub}$ 이며, N_{epi} 는 에피층의 농도이다. 식 (2)의 전계를 적분함으로써, 드레인 단자의 인가 전압(V_a)은 다음과 같이 표현된다.

$$V_a = \frac{1}{2} \left[\frac{qN_{sub}}{\epsilon_o \epsilon_{si}} \right] (t_p^2 + 2t_p W_1 - \gamma W_1^2) \quad (3)$$

한편 W. Fulop^[9]에 의하면 avalanche 항복을 위한 전계는 다음 이온화 적분식을 만족해야한다.

$$\alpha_o \int_{-W_1}^{t_p} |E|^{\gamma} dt = 1 \quad (4)$$

여기서 α_o 는 1.8×10^{-35} 이다. 식 (2)를 식 (4)에 대입하면 다음의 관계식을 얻을 수 있다.

$$\frac{\alpha_o}{8} \left(\frac{qN_{sub}}{\epsilon_o \epsilon_{si}} \right)^{\gamma} \left(1 + \frac{1}{\gamma} \right) t_p^8 \left[1 - \frac{(1 - \gamma W_1/t_p)^8}{1 + \gamma} \right] = 1 \quad (5)$$

그림 3은 에피층 농도, $N_{epi} = 5 \times 10^{15} \text{ cm}^{-3}$, $W_1 = 1.5 \mu\text{m}$ 및 $N_{epi} = 1 \times 10^{15} \text{ cm}^{-3}$, $W_1 = 8 \mu\text{m}$ 일 때 기판농도 N_{sub} 의 변화에 따른 $\gamma W_1/t_p$ 를 나타냈다. 이 그림에서 보듯이 대부분의 기판농도로 사용되는 $10^{13} \sim 10^{17} \text{ cm}^{-3}$ 의 범위에서 $\gamma W_1/t_p$ 가 1 보다 작기 때문에 $(1 - \gamma W_1/t_p)^8 \approx 0$ 으로 가정할 수 있다.

한편 공핍층의 꼬리, 즉 $t \approx t_p$ 부근은 Debye length, $L_D = \sqrt{(\epsilon_{si} v_T) / (qN_{sub})}$ 로 특징지어지며, 여기서 $v_T = kT/q = 0.026 \text{ V}$ 의 열전압이다. Si의 경우 주어진 N_{sub} 값에서 L_D 값과 공핍층 폭의 비는 약 1/8에 해당하며^[10] 이를 그림 2에 점선으로 나타냈다. 이 점선 부분의 삼각형의 넓이를 균일한 농도 N_{sub} 를 갖는 실선, 즉 사각형의 연장으로 계산하면 등가 사각형의 길이는 꼬리부분을 포함한 공핍층 폭의 약 95%에 해당한다. 따라서 t_p 는 다음식으로 근사시킬 수 있다.

$$t_p \approx 0.95 \cdot \left[\frac{\alpha_o}{8} \left(\frac{qN_{sub}}{\epsilon_{si} \epsilon_o} \right)^{\gamma} \left(1 + \frac{1}{\gamma} \right) \right]^{-\frac{1}{8}} \quad (6)$$

수직 전계에 의한 항복전압은 식 (6)을 식 (3)에 대입하여 얻을 수 있다.

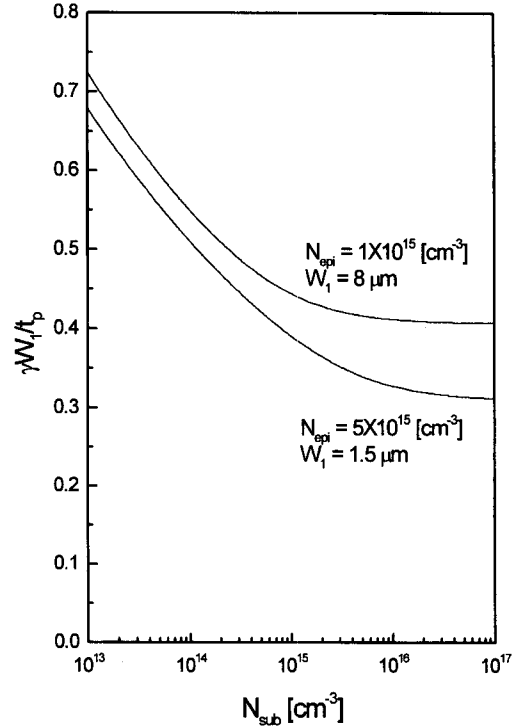


그림 3. 기판 농도에 따른 $\gamma W_1/t_p$ 의 변화

Fig. 3. Variation of $\gamma W_1/t_p$ as a function of substrate concentration.

2. 표면 전계에 의한 항복전압

에피층 영역에서 포텐셜 $\Phi(x, y)$ 는 다음의 Poisson 방정식을 만족해야 한다.

$$\frac{d^2 \Phi(x, y)}{dx^2} + \frac{d^2 \Phi(x, y)}{dy^2} = -\frac{qN_{epi}}{\epsilon_o \epsilon_{si}} \quad (7)$$

이때 RESURF 소자는 에피층이 완벽하게 공핍이 되기 때문에 $\Phi(x, y)$ 는 다음과 같은 2차 함수로 근사시킬 수 있다^{[11] [12]}.

$$\Phi(x, y) = \phi_0(x) + \phi_1(x)y + \phi_2(x)y^2 \quad (8)$$

식 (8)에서 에피층의 표면에서의 전계는 x 성분이 지배한다고 가정하면 $y = 0$ 에서의 경계조건

$$\left. \frac{d\Phi(x, y)}{dy} \right|_{y=0} = \phi_1(x) \approx 0 \text{으로 근사시킬 수 있다}^{[7]}.$$

한편 $y = t_e$ 에서의 경계조건은 다음과 같이 된다.

$$\left. \frac{d\Phi(x, y)}{dy} \right|_{y=t_e} = 2t_e \phi_2(x) = -\frac{2}{t(x)} \Phi(x, t_e) \quad (9)$$

여기서 $\phi(x, t_e)$ 는 에피층과 기판의 경계면의 포텐셜을, 그리고 $t(x)$ 는 에피층과 기판의 경계로부터 기판쪽으로 이루어진 공핍층 폭으로, 소자의 드레인 끝 부분에서 최대값(t_p)이 된다. 따라서 식 (9)로부터 $\phi_2(x)$ 는 다음과 같이 구할 수 있다.

$$\phi_2(x) = -\frac{1}{t_e[t(x) + t_e]} \phi_f(x) \quad (10)$$

이 식 (10)을 식 (8)에 대입하면 $\phi(x, y)$ 는 다음과 같다.

$$\phi(x, y) = \phi_f(x) \left[1 - \frac{y^2}{t_e[t(x) + t_e]} \right] \quad (11)$$

이를 식 (7)에 대입하면 완전 공핍된 RESURF LDMOS의 표면, 즉 $y=0$ 면에 따라 생기는 전위분포, $\phi_f(x)$ 는 다음의 비선형 미분방정식으로 나타낼 수 있다.

$$\frac{d^2 \phi_f}{dx^2} - \frac{2}{t_e[t(x) + t_e]} \phi_f = -\frac{qN_{epi}}{\epsilon_o \epsilon_{si}} \quad (12)$$

식 (12)의 해석적인 해를 구하기 위하여 $t(x)$ 의 평균 값인 \bar{t} 를 사용하면 식 (12)는 선형 미분 방정식이 되고, 그림 1에서 $\phi_f(0) = 0$ 및 $\phi_f(L) = V_a$ 의 경계 조건을 사용하면 다음의 근사해를 얻을 수 있다.

$$\phi_f(x) = \sigma + \frac{(V_a - \sigma) \sinh(ax) - \sigma \sinh[a(L-x)]}{\sinh(aL)} \quad (13)$$

여기서

$$a = \sqrt{\frac{2}{t_e(\bar{t} + t_e)}} \quad (14)$$

$$\sigma = \frac{qN_{epi}}{\epsilon_o \epsilon_{si}} t_e \left(\frac{\bar{t} + t_e}{2} \right) = \frac{qN_{epi}}{\epsilon_o \epsilon_{si}} \frac{1}{a^2} \quad (15)$$

이다. 한편 표면전계의 x 성분은 $E_x(x) = -d\phi_f(x)/dx$ 로 표현되므로 다음과 같다.

$$E_x(x) = -a \frac{(V_a - \sigma) \cosh(ax) + \sigma \cosh[a(L-x)]}{\sinh(aL)} \quad (16)$$

한편 \bar{t} 는 그림 1에서 표면 포텐셜이 $\phi_f(x) = V_a/2$ 가 되는 x 점에서의 기판 공핍층 폭으로 택하여 식 (3)에서 W_1 을 t_e 로 치환시키면 \bar{t} 는 다음 식으로 주어진다.

$$\bar{t} = \sqrt{(1 + \gamma) t_e^2 + V_a \frac{\epsilon_o \epsilon_{si}}{qN_{sub}}} - t_e \quad (17)$$

식 (17)의 타당성을 보여주기 위하여 그림 4에 $N_{epi} = 3 \times 10^{15} \text{cm}^{-3}$, $N_{sub} = 2 \times 10^{15} \text{cm}^{-3}$, $t_e = 4 \mu\text{m}$, $W_1 = 2 \mu\text{m}$ 일 때 LDMOS의 실리콘 표면에 따라 발생하는 표면전위와 전계분포를 식 (17)로부터 구한 \bar{t} 를 사용하여 식 (13)과 (16)로부터 계산한 해석적인 결과를 실선으로 나타냈고, MEDICI를 이용한 시뮬레이션 결과를 점선으로 함께 나타냈다. 이 때의 항복전압은 182 V이며 $L = 20 \mu\text{m}$ 로서 표면전위와 전계가 $10 \mu\text{m}$ 의 p+n 접합 부근과 $30 \mu\text{m}$ 의 n+n 접합 부근을 제외하고는 대체로 잘 맞는 것을 알 수가 있다.

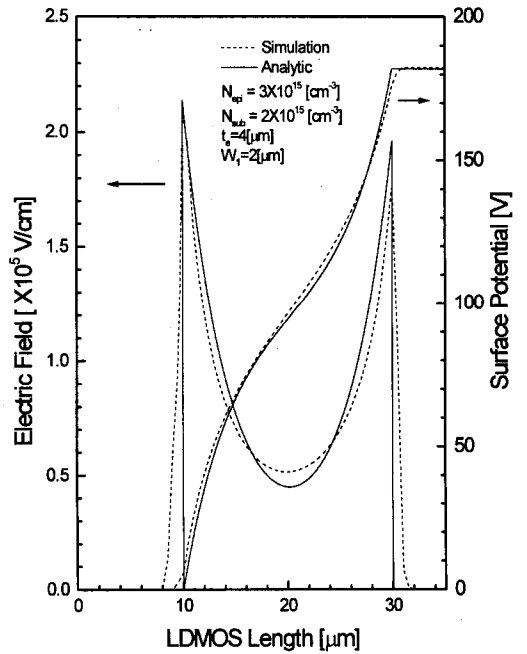


그림 4. 표면 전위 및 전계분포의 해석적인 결과와 시뮬레이션 결과

Fig. 4. Analytic results and simulation of surface potential and electric field.

한편 표면전계의 y 성분, $E_y(x)$ 는 시뮬레이션 결과 $0 < x < L$ 영역에서는 $E_y(x) \approx 0$ 이 만족되고 불연속점인 0과 L 에서 각각 $E_y(0) = -0.76 \times 10^5 \text{V/cm}$ 및 $E_y(L) = 0.24 \times 10^5 \text{V/cm}$ 의 첨두치를 갖는 것을 알 수 있으며, 이 값들은 $E_x(0) = 2.1 \times 10^5 \text{V/cm}$ 와 $E_x(L) = 1.76 \times 10^5 \text{V/cm}$ 에 비하여 상당히 작은 값이며, 그 결과 표면전계의 전체 크기는 각각 $E(0) = 2.23 \times 10^5 \text{V/cm}$ 와 $E(L) = 1.77 \times 10^5 \text{V/cm}$ 이 되므로 이들을 $E_x(0)$ 및 $E_x(L)$ 값으로 대치하여도 큰 오차는 없음을 알 수

있다.

$x=0$ 및 L 의 불연속점에서의 전계는 그림 4에서 볼 수 있는 것처럼 $10\mu\text{m}$ 에 있는 p^+n^- 접합에서는 p^+ 쪽으로, 또 $30\mu\text{m}$ 에 있는 n^-n^+ 접합에서는 n^+ 쪽으로 공핍층이 침투했기 때문에 일어난다. 따라서 공핍층의 침투는 p^+ 및 n^+ 층의 불순물 분포가 계단형 일때보다 Gaussian인 경우가 더 크다.

표면전계에 의한 항복전압, V_{BL} 은 $x=0$ 및 L 의 불연속 점에서의 E_y 성분을 무시할 때 식 (16)의 $E_x(x)$ 를 이산화 적분식 (4)에 대입하여 $x=0$ 에서 $x=L$ 까지 수치 해석적으로 적분한 값이 1이 되는 조건으로부터 수평 항복전압 V_{BL} 과 에피층 길이, L 의 관계를 얻을 수 있다. 따라서 표면전계에 의한 항복전압, V_{BL} 이 $n^+n^-p^-$ 수직방향 접합에서의 수직전계에 의한 항복전압, V_{BV} 와 같아지는 에피층의 길이, L 이 최적 에피층 길이가 된다. 한편 표면전계의 E_y 성분을 고려하면 실제 V_{BL} 값은 E_x 성분만을 고려한 현재의 모델 경우보다 조금 작은 값이 될 것으로 예상된다.

III. 시뮬레이션 결과 및 고찰

에피층 길이, L 에 따른 RESURF LDMOS의 항복전압의 변화에 대한 해석적인 결과를 확인하기 위하여 MEDICI를 이용하여 시뮬레이션을 수행하였다. 이때 N_{epi} 와 t_e 값은 식 (1)의 RESURF 조건을 만족하도록 설정하였다. 그밖에 p^+ , n^+ 층의 표면농도는 모두 10^{18} cm^{-3} 이고 Gaussian 분포를 갖는다고 놓고 시뮬레이션을 하였다.

그림 5는 각각 $N_{epi} = 3 \times 10^{15} \text{ cm}^{-3}$, $N_{sub} = 2 \times 10^{15} \text{ cm}^{-3}$, $t_e = 4 \mu\text{m}$, $W_1 = 2 \mu\text{m}$ 와 $N_{epi} = 2 \times 10^{15} \text{ cm}^{-3}$, $N_{sub} = 1 \times 10^{15} \text{ cm}^{-3}$, $t_e = 5 \mu\text{m}$, $W_1 = 3 \mu\text{m}$ 일 때 L 에 따른 항복전압, V_{BL} 에 대한 시뮬레이션 결과와 이에 대한 해석적인 결과를 같이 나타낸 것이다. 각 경우에 있어서 모두 L 이 증가하면 항복전압도 증가하다가, 수직전계에 의한 항복전압, V_{BV} 에 도달하면 더 이상 증가하지 않고 V_{BV} 값으로 포화된다. 먼저 $N_{epi} = 3 \times 10^{15} \text{ cm}^{-3}$, $N_{sub} = 2 \times 10^{15} \text{ cm}^{-3}$ 인 경우, 식 (6) 및 (7)에서 얻은 해석적인 결과는 $t_p = 9.5 \mu\text{m}$, $V_{BV} = 189 \text{ V}$ 이고, 최적의 에피층 길이, L_{opt} 는 약 $8 \mu\text{m}$ 였으며, 시뮬레이션 결과는 항복전압이 182 V , L_{opt} 는 약 $7 \mu\text{m}$ 였다. 또한 $N_{epi} = 2 \times 10^{15} \text{ cm}^{-3}$, $N_{sub} = 1 \times 10^{15} \text{ cm}^{-3}$ 인 경우는 $t_p = 18 \mu\text{m}$, $V_{BV} = 310 \text{ V}$ 이고 L_{opt} 는 $14 \mu\text{m}$ 이며, 시

뮬레이션에 의한 항복전압은 302 V , L_{opt} 는 $16 \mu\text{m}$ 를 보이고 있다. 마지막으로 $N_{epi} = 1.5 \times 10^{15} \text{ cm}^{-3}$, $N_{sub} = 4 \times 10^{14} \text{ cm}^{-3}$, $t_e = 8.2 \mu\text{m}$, $W_1 = 7.2 \mu\text{m}$ 인 경우에 에피층 길이, L 에 따른 수평 항복전압과 이에 대한 실험결과^[8]를 비교하였다. V_{BL} 과 L 의 관계가 이론치와 대체로 일치하고 있음을 보여준다.

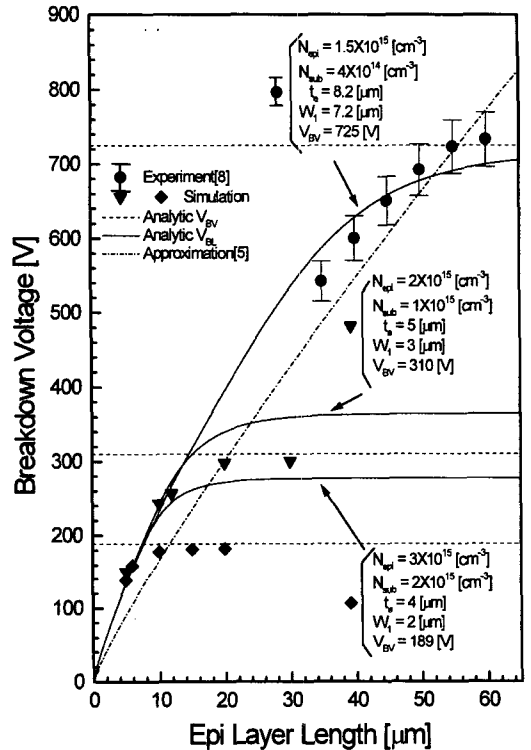


그림 5. 에피층 길이에 따른 항복전압
Fig. 5. Breakdown voltage as a function of epi layer length.

한편 표면전계의 표현식을 식 (16) 대신에 간단한 근사식, 즉 $0 \leq x \leq L/2$ 에서 $E_x(x) = (2V_{BL}/L)(1 - 2x/L)$ 및 $L/2 \leq x \leq L$ 에서 $E_x(x) = (2V_{BL}/L)(1 - 2x/L)$ 을 사용하였을 때의 표면 항복전압, $V_{BL} = 6.187 \times L^{0.887}$ ^[5]도 그림 5에 함께 나타냈는데 표면전계에 대한 표현식 (16)의 결과가 시뮬레이션 결과와 더 잘 일치함을 알 수 있다.

그러나 해석적인 결과가 시뮬레이션 결과와 약간의 차이를 보이는 것은 비선형 미분방정식 (12)의 해를 $t(x)$ 대신 평균치 \bar{t} 를 사용하여 얻은 전계분포가 그림 4에서 나타난 바와 같이 근사값이기 때문이며, 또한 p^+ 및 n^+ 가장자리에서 공핍층의 침투에 의한 표면

전계의 수직성분을 무시한 결과에 의한 것이다.

IV. 결 론

RESURF LDMOS에서 표면 전계에 의한 항복전압을 에피층 길이의 함수로 해석적으로 유도하였으며, 해석적인 결과를 MEDICI 시뮬레이션 결과와 비교 검토해본 결과 비교적 잘 일치하였다.

본 논문에서 유도한 에피층 길이에 대한 표면 항복 전압의 변화는 접합 격리 RESURF LDMOS의 최적 설계에 유용하게 응용될 수 있으리라 기대된다.

참 고 문 헌

- [1] O.-K. Kwon, *et al.*, "Optimized 60 V lateral DMOS devices for VLSI power applications," *Proc. VLSI Tech Symp.*, pp. 115-116, 1991.
- [2] T. Efland, *et al.*, "An optimized RESURF LDMOS power device module compatible with advanced logic processes," *Proc. IEDM*, pp. 237-240, 1992.
- [3] D.-G. Lin, *et al.*, "A novel LDMOS structure with a step gate oxide," *Proc. IEDM*, pp. 963-966, 1995.
- [4] J. A. Appels, *et al.*, "Thin layer high-voltage device(RESURF Device)" *Philips J. Res.*, vol. 35, no. 1, pp. 1-13, 1980.
- [5] S. K. Chung, *et al.*, "An analytical model for minimum drift region length of SOI RESURF diodes," *IEEE Electron Device Letters*, vol. 17, no. 1, pp. 22-24, 1996.
- [6] Z. Parpia and C.A.T. Salama, "Optimization of RESURF LDMOS transistors: an analytical approach," *IEEE Trans. Electron Devices*, vol. ED-37, pp. 789-796, 1990.
- [7] 한승엽 외, "SOI RESURF LDMOS의 표면 전계에 대한 해석적인 표현," *전기공학회 논문지*, 제 42권, 12호, pp. 1735-1737, 1996
- [8] E.J. Wildi, *et al.*, "Modeling and process implementation of implanted RESURF type devices," *Proc. IEDM*, pp. 268-271, 1982.
- [9] W. Fulop, "Calculation of avalanche breakdown of silicon pn junction," *Solid-State Electronics*, vol. 10, pp. 39-43, 1967.
- [10] S. M. Sze, *Physics of semiconductor devices*, p. 77, John Wiley & Sons, 1981.
- [11] K.K. Young, "Short-channel effect in fully depleted SOI MOSFET's," *IEEE Trans. Electron Devices*, vol. 36, pp. 399-402, 1989.
- [12] S. K. Chung and S. Y. Han, "Analytical model for the surface field distribution of SOI RESURF devices," *IEEE Trans. Electron Devices*, vol. 45, no. 6, pp. 1374-1376, 1998.

저 자 소 개



韓承燁(正會員)

1963년 6월 5일생. 1990년 2월 아주대 공대 전자공학과 졸업. 1992년 2월 아주대 대학원 전자공학과 석사. 1998년 8월 아주대 대학원 전자공학과 박사. 1996년 1월 ~ 현재 아주대 정보전자기술연구소 연구원. 주관심

분야는 전력반도체 소자 등임

鄭相九(正會員) 第 32卷 A編 第 1號 參照

현재 아주대 공대 전자공학부 교수