

論文98-35D-8-2

공정개선을 통한 고전류이득 저포화전압 전력 트랜지스터의 성능향상

(Performance improvement of high β and low saturation voltage power transistor through new process)

金準植*, 李在坤**, 崔時永*

(June-Sik Kim, Jae-Gon Lee, and Sie-Young Choi)

요 약

램프 솔레노이드 드라이브단으로 응용되는 고전류이득 저포화전압 전력 트랜지스터의 성능향상을 위하여 새로운 공정을 개발하였다. 펀치-쓰루 현상을 방지하기 위하여, 회로의 동작전압에서 베이스의 농도와 폭의 적절한 조합이 필요하다. 베이스의 적절한 도핑농도는 도즈량 $Q_D=1.5 \times 10^{14}$ atoms/cm², 면저항 $R_S=350 \Omega/\square$ 이며 폭 W_B 는 2.5 μm 이다. 이로 인하여 애벌런치 항복전압 BV_{CBO} 는 200 V를 유지하면서 트랜지스터의 β 를 1500까지 조절 가능하다. 웨이퍼 내의 소자들의 β 산포를 줄여주기 위해 에미터 선확산공정을 개선하였다. 그 결과 웨이퍼내의 소자들의 β 산포가 1/6로 감소하였다. 댐퍼 다이오드의 콜렉터와 에미터간의 순방향 전압강하인 V_{ECF} 를 개선하기 위하여 실리콘 에칭공정을 추가하여 그 결과 V_{ECF} 가 2.8 V에서 1.8 V로 향상되었다. 제안된 방법을 통해 소자의 성능 및 수율의 향상을 이루었다.

Abstract

A new process is developed to improve the electrical characteristics of high β and low saturation voltage power transistor for lamp solenoid driver application. To prevent punch-through breakdown, appropriate combination of base doping and base width is necessary in the range of operating voltage of the circuit. The optimum values of base doping and sheet resistance are $Q_D=1.5 \times 10^{14}$ atoms/cm² and $R_S=350 \Omega/\square$, base width $W_B=2.5 \mu\text{m}$ respectively. Under this condition it is possible to control β of the transistor to 1500, maintaining $BV_{CBO}=200$ V. To reduce scattered distribution of β of the devices on the wafer, it is necessary to improve emitter predeposition process. As a result, scattered distribution of β of the devices on the wafer was reduced to 1/6 by using the new process. To improve collector to emitter forward voltage drop, V_{ECF} , of damper diode, an additional silicon etching process is used, which resulted in improving the value of V_{ECF} from 2.8 V to 1.8 V. With the suggested process, superior device performances and higher yield are achieved.

I. 서 론

* 正會員, 慶北大學校 電子·電氣工學部

(School of Electronic & Electrical Engineering, Kyungpook National University)

** 正會員, 現代電子(株) 시스템IC研究所 素子開發1室

(Device Development LAB. 1, System IC R & D LAB.)

接受日字:1997年8月29日, 수정완료일:1998年7月27日

일반기기의 전원회로에서 원가절감하는 방법은 주로 다전원에서 단전원으로 향하는 추세이다. 단전원에서 고전류이득 다이링톤 트랜지스터(high β darlington transistor)¹⁾를 사용할 때 통상 포화전압이 0.9 V이상 되기때문에 드라이브단에서 열의 발생으로 구동상의 문제가 발생된다. 따라서 이러한 문제점을 보완하기

위하여 낮은 포화 전압 및 높은 전류이득의 특성을 갖는 전력용 트랜지스터가 요구된다. 램프 솔레노이드 구동용으로 사용되는 고전류이득 저포화전압 전력 트랜지스터는 이러한 요구와 더불어 스위칭용으로 사용되기 때문에 설계 측면에서, 에미터가 MBIT(multi-base island transistor)구조로 설계 되어져 왔다.^{2,3)} 또한 바이폴라 트랜지스터의 높은 전류이득을 얻기 위해서 에미터 농도 및 재료에 대한 많은 연구가 이루어져 왔다.^{4,5)} 그러나 고전류이득 저포화전압 트랜지스터 소자제작에 적용된 보고는 없었다. 본 소자는 국내에서 지난 1990년에 개발되었는데, 펀치-쓰루 및 웨이퍼 내의 트랜지스터의 β 산포 그리고 댄퍼 다이오드의 저항등, 몇가지 문제점으로 인한 수율의 저하로 양산이 되지 않았다.

본 논문에서는 이러한 문제점의 원인을 분석하고 수율향상을 위해 다음과 같은 방법들을 제시하였다. 첫째, 기존의 트랜지스터에서는 높은 β 에서 펀치-쓰루 발생으로 인하여 높은 항복전압이 형성되지 않았다. 이와 같은 문제점을 해결하기 위하여 시뮬레이션을 통한 베이스 농도를 두 가지로 설정한 실험이 실시되었고, β 와 항복전압간의 변화를 조사하였다. 둘째, 디스크리트(discrete) 소자의 생산수율에 크게 영향을 미치는 것이 웨이퍼내의 제조된 소자들의 β 산포이다. 이러한 산포문제의 근본적인 대책을 위해서 이론적인 분석을 통하여 β 산포에 영향을 가장 많이 미치는 에미터 공정을 변화시켰다. 특히 에미터 선확산(predeposition)공정에서 세 가지 조건으로 실험하여 각각에 대한 에미터 농도를 나타내는 면저항 분포를 통계적 방법으로 검정하여, 가장 좋은 산포를 가지는 새로운 에미터 선확산공정을 설정하였다. 셋째, 베이스 확산시 형성되는 댄퍼 다이오드(damper diode)는 에미터-콜렉터간에 내장되었으며, 부하에 의한 에미터에서의 역기전력 발생으로부터 트랜지스터가 파괴되는 것을 방지한다.

콜렉터와 에미터간의 순방향 전압강하, V_{ECF} 특성이 높은 저항성분으로 인하여 큰 값을 가졌는데, 웨이퍼 뒷면에 실리콘 에칭 공정을 이용하여 V_{ECF} 값을 낮추었다.

이 논문은 궁극적으로 제품의 경쟁력을 강화할 수 있게 하는 새로운 공정을 제시한 것이며, 결국 이러한 것들이 집합체가 되어서 더욱 성능이 우수한 소자의 제조를 가능하게 하였다.

II. 실험

1. 소자의 패턴설계

본 실험에서 적용된 소자의 설계에 있어 각 공정별 마스크 패턴 중에서 가장 중요한 에미터 공정의 설계만을 다루었다. 그것과 관련된 베이스와 칩 면적간의 서로 관련된 데이터를 구하였다. 표 1에서는 80V/3A 급 및 80V/5A급 소자의 에미터 설계 데이터를 나타내었다. 표 1에서 특히 L_E/A_E 경우는 실효 에미터 주입효율 (effective emitter injection efficiency)을 결정하는 요소로서 MBIT 구조를 갖는 소자의 경우, 그 값이 $5.0 \times 10^{-3} \mu\text{m}^{-1}$ 이상의 값을 유지해야 하며, A_E/A_B , A_E/A_C 또한 0.5 이상의 값을 갖도록 설계하는 것이 중요하다.⁶⁻⁷⁾

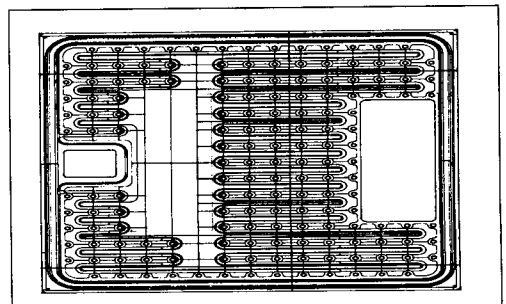
표 1. 80V/3A급 및 80V/5A급 소자의 설계 데이터

Table 1. Design data of the device rated at 80V/3A and 80V/5A.

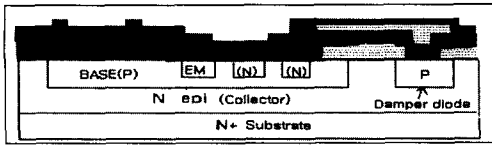
Design factor	Symbol	Design data		Unit
		80V/3A	80V/5A	
Emitter area	A_E	2420836	6069508	μm^2
Emitter periphery	L_E	24311	45328	μm
Ratio of emitter periphery to emitter area	L_E/A_E	10×10^{-3}	7.4×10^{-3}	μm^{-1}
Ratio of emitter area to base area	A_E/A_B	0.738	0.742	-
Ratio of emitter area to chip area	A_E/A_C	0.538	0.593	-

2. 소자의 공정 설계

그림 1은 본 실험에서 사용된 전력 트랜지스터의 평면도 및 단면도이다. 사용된 시편은 $2 \times 10^{18} \text{ cm}^{-3}$ 의 농도로 안티몬(Sb)이 도핑된 (111)면의 n^+ 실리콘 기판위에 두께가 16 μm 이며, 22 $\Omega \cdot \text{cm}$ 의 저항율로 인(P)이 도핑된 n형 에피택셜 웨이퍼이다.



(a) 평면도



(b) 단면도

그림 1. 실험에서 사용된 트랜지스터의 평면도와 단면도

Fig. 1. Top view(a) and cross section(b) of power transistor which was used in experiment.

Step	Device cross section
1. Initial oxide Base open	
2. Base implant Base diffusion	
3. Emitter open N+ deposition Emitter oxide Emitter diffusion	
4. Contact open Al deposition Al delineation	
5. CVD oxide	

그림 2. High β low saturation voltage 트랜지스터 제조의 흐름도

Fig. 2. Fabrication flow chart of high β and low saturation voltage transistor.

그림 2에는 실험에서 사용된 소자제작 공정의 흐름도를 나타내었다. 초기세척 공정으로는 RCA방법을 사용하였고, 초기 실리콘 산화막은 1000 °C에서 습식방법으로 8000 Å 두께로 성장시켰다. 그후 베이스 영역을 형성하기 위해 먼저 사진식각공정을 거쳐서 베이스 영역의 실리콘 산화막을 제거하였다. 베이스 영역은 이온주입을 한 다음 확산은 1200 °C에서 1시간 실시하였고, 단계 2에서 부하가 걸려 역기전력 발생시 트랜지스터의 파괴를 방지하기 위한 댐퍼 다이오드가 형성되며, 온도를 낮춘후 습식으로 산화막을 10000 Å

두께로 형성하였다. 그후 에미터 영역을 형성하기 위해 먼저 사진식각공정을 거쳐서 에미터 영역의 실리콘 산화막을 제거하였다. 에미터 n⁺층은 POCl₃ 증착으로 형성하였다.

단계 4에서, 베이스와 에미터 전극형성용 접촉영역은 산화막을 사진식각 공정을 거쳐서 제거시킨후, 표면전극용 금속으로 Al을 4.5 μm의 두께로 진공증착하였다. 실리콘과 알루미늄의 완전한 소성을 위하여 500 °C에서 10분동안 수소분위기에서 열처리를 하였다. 웨이퍼이면 전극금속은 V/Ni/Au 3층구조로 진공증착한 것이다.

표 2. 변경된 주요 공정 조건

Table 2. Comparison between conventional and new process.

Step	Conventional process	New process
base	implant boron Q _D =7.0×10 ¹⁴ E=40Kev 1200°C 70 min. drive in Xj=4.7 - 5.25um Rs=140±20Ω/□	(1) implant boron Q _D =1.5×10 ¹⁴ E=40Kev 1200°C 60 min. drive in Xj=4.0 - 5.0um Rs=250±20Ω/□
		(2) implant boron Q _D =1.5×10 ¹⁴ E=40Kev 1200°C 60 min. drive in Xj=4.0 - 5.0um Rs=340±30Ω/□
emitter deposition	1050°C 15 min. no slump Rs=3.0±0.3Ω/□ wafer loading width 4.7mm	(1) 960°C 25 min. no slump Rs=7.5±0.5Ω/□ wafer loading width 4.7mm
		(2) 960°C 25 min. slump Rs=6.5±0.5Ω/□ wafer loading width 4.7mm
		(3) 960°C 25분 slump Rs=6.5±0.5Ω/□ wafer loading width 9.4mm
silicon etching process	no use	dipping in silicon etching solution for one min. (HF:HNO ₃ :CH ₃ COOH=1:10:1)

표 2는 고전류이득 저포화전압 전력 트랜지스터 주요공정의 기존의 공정 조건과 변경된 공정조건을 보여주고 있다. 높은 β에서 펀치-쓰루 방지를 위해 베이스 도즈량 Q_D를 각각 3.0×10¹⁴ cm⁻², 1.5×10¹⁴ cm⁻²으로 변경시켜 베이스 표면농도를 조절하여 소자들의 전기적 특성을 조사하였다. 기존의 조건과 새로운 두 조건을 가지고 시뮬레이션 소프트웨어인 ATHENA를 이용하여 베이스 형성시의 농도 프로파일을 조사하였다. 웨이퍼내의 제조된 소자들의 β산포를 줄여주기 위해 에미터 선풍산공정의 변화를 다음과 같이 하였다. POCl₃을 이용한 인이 실리콘 표면에 증착되고 난 후

N₂/O₂분위기에서 증착된 불순물이 실리콘 속으로 확산되는 시간이 슬럼프 시간(slump time)이다. 이 시간의 유무에 따라서 웨이퍼내에 제조된 소자의 분포된 면저항(sheet resistance)의 산포를 4핀 탐침 매핑 시스템(four-point probe mapping system)을 이용해 비교 분석하고, 소자에 적용결과 전기적 특성분포를 조사하였다.⁸⁻¹⁰⁾ 또한 웨이퍼 로딩/loading)간격을 4.8 mm에서 2배인 9.6 mm로 확대하여 똑같은 방법으로 조사하였다. 단 온도 및 시간은 960 °C, 25분으로 같은 조건에서 행하였다.

끝으로 댄퍼 다이오드의 고전류에서의 콜렉터 에미터간의 순방향 전압강하 특성인 V_{ECF}를 개선하기 위하여 표 2와 같이 실리콘 에칭공정을 추가하였다. 그리고 웨이퍼이면(wafer backside) 상태를 분석하기 위해 SEM을 이용하였고, 소자에 적용하여 전기적 특성의 변화를 관찰하였다. 사용된 실리콘 에칭액은 불산:질산:초산의 비율이 각각 1:10:1이다. 조성액 속에서 1분간 에칭되는데 약 2 μm의 실리콘이 식각된다. ATHENA에 의한 시뮬레이션결과로 기존조건으로 작업한 후 베이스 확산을 수행했을 때 농도 프로파일 결과는 접합깊이 X_j는 4.9 μm이고 면저항 R_s는 140 Ω/□이다. 베이스 이온주입 Q_D를 3.0×10¹⁴ cm⁻²으로 변경한 후 베이스 확산 과정을 거쳤을때의 농도 프로파일 결과는 접합깊이 X_j는 4.5 μm이고 면저항 R_s는 250 Ω/□이다. 베이스 이온주입 Q_D를 1.5×10¹⁴ cm⁻²으로 변경한 후 베이스 확산 과정을 거쳤을때의 농도 프로파일 결과는 접합깊이 X_j는 4.3 μm이고 면저항 R_s는 340 Ω/□이다.

소자의 조립은 TO-220(AB) 패키지로 행해졌으며, 리이드 프레임과 칩의 부착에는 SnSb foil을 사용하였고, 와이어 본딩(wire bonding)에는 직경이 200 μm인 Al wire를 사용하였다. 소자의 기본적인 DC 전기적 특성 측정은 텍트로닉스사의 370 커브트레이서를 이용하였다.

III. 결과 및 고찰

1. 제작된 소자의 h_{FE} - BV_{CBO} 상관성

그림 3과 4에는 80V/3A, 80V/5A급 전력용 트랜지스터의 각 정격별로 측정된 β와 BV_{CBO}의 상관성 비교 그래프를 나타내었다. 표 2의 베이스 공정 비교 데이터에서 기존의 공정으로 제작된 소자의 경우는

Q_D=7.0×10¹⁴ cm⁻², R_S=140±20 Ω/□인데 비해서 새로 제작된 조건 (1)의 경우는 Q_D=3.0×10¹⁴ cm⁻², R_S=250±20 Ω/□이고 조건(2)의 경우는 Q_D=1.5×10¹⁴ cm⁻², R_S=340±30 Ω/□이었다. 따라서 그림 3과 4에서와 같이 낮은 β를 갖는 영역에서는 기존의 소자와 동일한 항복전압 BV_{CBO}가 나타난다. β가 800 이하의 낮은 상태에서는 아직 펀치-쓰루 상태가 일어나지 않았다. 즉 베이스 폭이 에미터-베이스 접합깊이가 깊지않은 상태에서는 애벌런치 항복전압에 충분하도록 설계되어 있기 때문이다. β가 900 이상이 되면 베이스 폭이 줄어들고 각 조건별로 항복전압이 감소하는 현상이 나타난다. 따라서 기존의 베이스 공정설계 데이터에 의하면 β를 1000 이상까지 실현하기가 힘들었다. 높은 β를 실현하려면 펀치-쓰루가 발생하여 BV_{CBO}가 급격하게 감소하게 된다. 결국 정격불량이 발생한다.

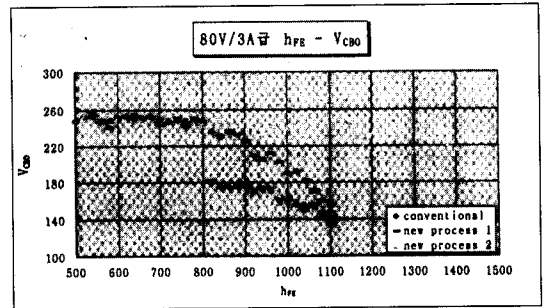


그림 3. 80V/3A급 소자의 h_{FE} - BV_{CBO}
Fig. 3. h_{FE} versus BV_{CBO} of device rated at 80V/3A.

본 소자의 특징은 높은 β와 높은 항복전압을 요구하기 때문에, 기존의 조건으로는 소자의 제조가 불가능하다. 조건 (1)의 경우에는 기존의 조건보다는 다소 유리한 β를 1100까지 조절 가능하다, β를 1500까지 높은 트랜지스터를 제조하는데는 항복전압 BV_{CBO}의 감소로 인하여 실현 불가능하다. 조건 (2) 경우는 원래의 목적인 BV_{CBO}를 일정수준 이상으로 만족시키면서 높은 β를 실현 가능하게 해준다. β가 1500까지 도달하여도 BV_{CBO}가 180V이상을 나타낸다. 이 결과는 기존과 동일한 에미터 농도에서 적절한 베이스 농도 조절로 베이스 폭의 최적화를 이루어 높은 β를 이루어 낸 것이며, 기존보다 더 높은 β임에도 불구하고 베이스 폭의 축소를 막고 펀치-쓰루 현상을 방지하였기 때문이다. 결국 조건(2)의 베이스 공정설계(Q_D=1.5×10¹⁴ cm⁻², R_S=350±20 Ω/□)가 펀치-쓰루로 인하

여 1000이상의 높은 β 에서 항복전압의 감소현상을 막고, 일정한 수준을 유지하는 최적의 조건이다. 이러한 조건이 전력용 트랜지스터 소자에 적용될 때 수율향상을 이룰 수 있다.

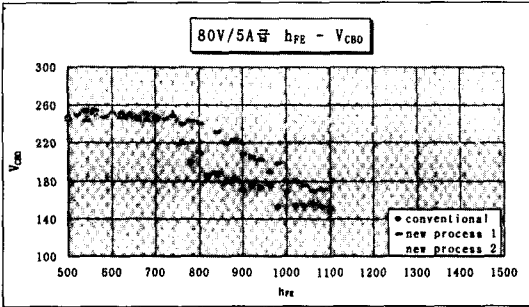


그림 4. 80V/5A급 소자의 $h_{FE} - BV_{CBO}$
Fig. 4. h_{FE} versus BV_{CBO} of device rated at 80V/5A.

2. 웨이퍼 내의 제조된 소자들에 대한 전류이득의 산포

표 3은 새로운 공정에 의한 산포결과와 기존의 공정에 의한 결과를 나타낸 것이다. 실험결과는 웨이퍼 당 50개의 데이터를 표준편차를 평균으로 나눈값의 백분율로서 산포를 계산한 값이다. 새로운 공정의 각 조건별 산포의 차의 검정을 통계학적으로 Hartley의 검정에 의해 비교하였고, 표 4와 같다. 표 4의 통계적 검정결과에서 보면, 표 3의 실험결과는 각 조건별로 웨이퍼 내의 면저항 R_s 가 차이가 있음을 나타낸다. 위험율 1%에서 기각역(reject region)에 해당되는 대립가설(alternative hypothesis)을 채택하므로 조건 (3)의 면저항 R_s 산포가 가장 우수하였다.

표 4. 에미터 predeposition 단위공정에 따른 R_s 의 산포

Table 4. R_s scattered distribution of emitter predeposition unit process.

Process	Process conditions	R_s scattered distribution
Conventional	1050°C 25min. no slump $R_s=6.5 \pm 0.5 \Omega/\square$ wafer loading width 4.8mm	1.8%
New process condition (1)	960°C 25min. no slump $R_s=7.5 \pm 0.5 \Omega/\square$ wafer loading width 4.8mm	1.3%
New process condition (2)	960°C 25min. slump $R_s=6.5 \pm 0.5 \Omega/\square$ wafer loading width 4.8mm	0.9%
New process condition (3)	960°C 25min. slump $R_s=6.5 \pm 0.5 \Omega/\square$ wafer loading width 9.6mm	0.4%

표 5. 각 조건별 R_s 산포결과에 대한 Hartley의 검정

Table 5. Hartley test for scattered distribution result of R_s according to various conditions.

Null hypothesis	Alternative hypothesis	Test statistics	Reject region
$H_0: \sigma_1^2 = \sigma_2^2 = \sigma_3^2$	$H_1: \sigma_1^2, \sigma_2^2, \sigma_3^2$	$H_0: \sigma_{MAX}^2 / \sigma_{MIN}^2$	$H_0 \geq F_{max}(k, \varphi, \alpha)$
Result of test			
$\sigma_1^2: 0.12, \sigma_2^2: 0.026, \sigma_3^2: 0.052, n1:50, n2:50, \alpha:1\%$			
$H_0: \sigma_{MAX}^2 / \sigma_{MIN}^2: 21.3, F_{max}(3,49,0.01): 7.25$			
Result of test accepts alternative hypothesis(H_1)			

* σ_1^2 : 조건(1)의 분산, σ_2^2 : 조건(2)의 분산, σ_3^2 : 조건(3)의 분산, k: 군의 수, φ : 샘플링된 시료의 자유도 α : 위험율

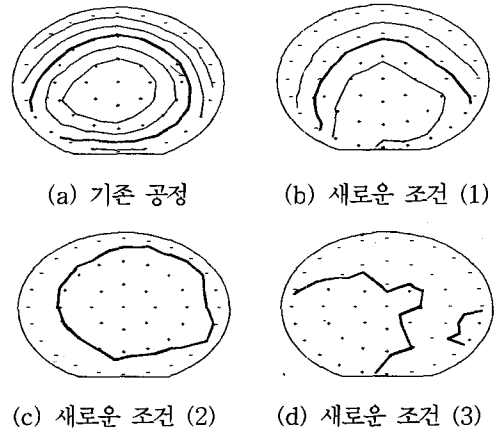


그림 5. (a) 기존, (b) 새로운 조건 (1), (c) 조건 (2) 및 (d) 조건(3)의 에미터 predeposition 공정 하에서 형성된 웨이퍼 내의 면저항 R_s 분포

Fig. 5. Four-point probe contour map of the sheet resistance R_s of a wafer that was processed under (a) conventional type, (b) new process condition (1), (c) process condition (2) and (d) process condition (3).

그림 5는 기존조건과 신공정 조건의 실험결과를 4핀 탐침 매핑 장비로 면저항 R_s 의 이차원적인 분포형태를 나타낸 것이다. 실험조건 (2)는 면저항, R_s 의 산포가 (1)보다 1.3%에서 0.9%로 향상되었다. 그 이유는 다음과 같다. $POCl_3$ 에 의한 인(P)이 주입되어 웨이퍼 표면에 증착되고 난 후 확산로 안에서 주입되는 N_2/O_2 시간을 적절하게 조절하면 에미터 농도 프로파일 변화가 일어난다. 즉 에미터 선확산공정에서 웨이퍼 전체에 걸쳐 인(P)이 골고루 확산할 수 있는 안정한 시간을 주었기 때문이다. 이것을 슬럼프 시간

(slump time)을 준다고 말한다. 결과적으로 그림 6, 7에서 볼 수 있듯이 후확산공정시 원하는 에미터 접합 깊이를 이루는데 더 짧은 시간이 소요되기 때문에 β 산포를 줄일수 있었다. 실험조건 (3)이 (2)보다 표면저항 R_s 의 산포가 0.9%에서 0.4%로 향상된 것은 운반 보트 홈의 간격(carrier boat slot size)을 4.8mm에서 9.6mm로 확대하여 $POCl_3$ 유량의 흐름에 압력의 변화를 가져와 웨이퍼 표면에 증착되는 인의 양을 균일하게 하였기 때문이다.

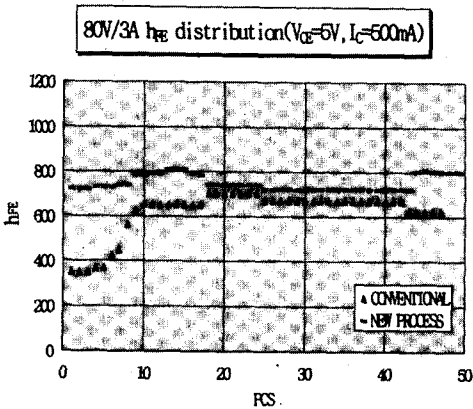


그림 6. 80V/3A급 웨이퍼 내의 제조된 소자의 전류이득 h_{FE} 분포

Fig. 6. h_{FE} distribution of fabricated device on wafer rated at 80V/3A.

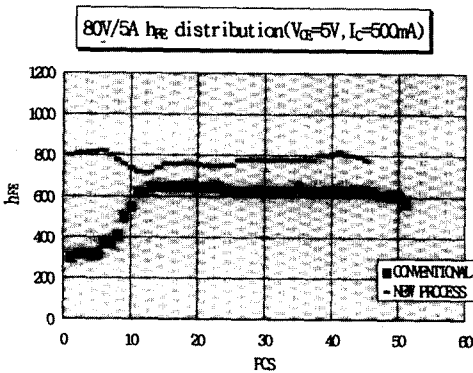


그림 7. 80V/5A급 웨이퍼 내의 제조된 소자의 전류이득 h_{FE} 분포

Fig. 7. h_{FE} distribution of fabricated device on wafer rated at 80V/5A.

단위조건 세가지 실험의 검정결과 조건 (3)이 웨이퍼 내의 면저항 R_s 산포를 가장 우수하게 나타나게 되어, 결국 전력 트랜지스터 소자제조에 적용되었다. 그 결과를 그림 6 및 7에 나타내었다. 그림 6은

80V/3A급의 웨이퍼내의 제조된 소자들의 β 산포를 나타낸 것이고 그림 7은 80V/5A급의 웨이퍼내의 제조된 소자들의 β 산포를 나타낸 것이다. 그림 6과 7에 나타내어진 데이터는 웨이퍼 내의 트랜지스터 칩을 무작위로 샘플링하여 측정한 값이고, 그 결과 웨이퍼 내의 제조된 소자들의 β 산포변화는 19 %에서 3.5 %로 줄어들었다.

3. 댄퍼 다이오드의 특성

댄퍼 다이오드는 고전류에서의 순방향 특성이 중요하다. 턴온 이후 고전류에서의 저항성분을 줄여주기 위해 실험에서 사용된 웨이퍼이면에 실리콘 에칭 공정을 사용한 경우와 그렇지 않은 경우를 각각 비교하였다. 실리콘 에칭공정이 없는 경우의 댄퍼 다이오드 콜렉터 에미터간의 순방향 전압강하인 V_{ECF} 는 2.82 V를 나타내며 불량으로 분류되었지만, 실리콘 에칭공정이 있는 경우는 V_{ECF} 가 1.84 V로 나타났다. 댄퍼 다이오드의 순방향 전압이 차이가 나는 것은 고전류에서의 실리콘과 이면금속간의 저항성분을 줄여준 결과에 기인한 것으로, 실리콘 에칭시 실리콘 식각을 통하여 불안정한 파쇄층을 제거하고, 실리콘속에 박혀있는 연마제등을 제거한 것에서 비롯된다.

IV. 결 론

고전류이득 저포화전압 전력 트랜지스터의 성능향상을 위해 새로운 공정설계를 하였다. 새로운 공정으로 제작된 고전류이득 저포화전압 전력 트랜지스터의 각종 실험 데이터 및 기존의 공정설계로 제작된 소자들의 전기적 특성을 비교 분석하였다. 첫째, 펀치-쓰루를 방지하고 1500까지의 높은 전류증폭율을 얻기 위해서는 베이스의 최적 공정조건이 면저항 R_s 가 350 Ω/\square , 도즈량 Q_D 가 $1.5 \times 10^{14} \text{ cm}^{-2}$, 이고 1200 $^\circ\text{C}$ 에서 60분 동안 확산하고 베이스의 접합깊이는 4.3 μm 였다. 둘째, 웨이퍼내의 β 산포를 줄이기 위한 에미터 선확산공정의 최적조건은 $POCl_3$ 에 의한 인을 주입하고 난 후 동일 확산로에서 N_2/O_2 분위기에서의 확산 시간인 슬럼프 시간을 30분간 유지하고, 웨이퍼로딩 간격을 4.8 mm에서 9.6 mm로 확장하는 것이 가장 좋았다. 이러한 최적의 단위공정조건을 소자에 적용한 결과 웨이퍼내의 β 산포가 19%에서 3.5%로 감소하였다. 셋째, 웨이퍼 이면에 실리콘 에칭 공정을 추가하여 댄퍼

다이오드 콜렉터 에미터간의 순방향 전압강하인 V_{ECF} 를 개선하였다. 그 결과 V_{ECF} 가 2.8V에서 1.8V로 개선되었다. 실리콘 에칭공정을 사용하지 않았을 경우의 댄퍼 다이오드의 큰 전압강하의 원인은 웨이퍼이면 거칠기의 불안정과 실리콘속에 박혀있는 연마제등이 실리콘과 이면금속간의 저항성분을 증가시켰다고 생각된다. 상기의 신공정 설계를 통하여 전력용 소자의 성능을 개선시켰고, 또한 수율을 향상시켰다. 따라서 원가 절감에 기여하는 전력용 소자생산에 새로운 기틀을 마련하였다.

참 고 문 헌

- [1] David J. Roulston, "Bipolar semiconductor devices," McGraw-Hill Publishing Co., Singapore, pp. 302-303, 1990.
- [2] S. R. Hofstain, "Optimum length of stripe in 'Comb' structure transistors," RCA Review, pp. 84-85, 1964.
- [3] V.A. Potapchuk, "Designing the semiconductor structures of power transistors," Electrotechnique, vol. 53, pp. 6-9, 1982.
- [4] Ramon U. Martinelli, "The effect of impurity concentration on the high-current gain of silicon n-p-n power transistor," RCA Review, vol. 38, pp. 65-75, 1977.
- [5] O. Bonnaud, "Modelling of a new high current gain bipolar transistor with n-doped hydrogenated silicon emitter", IEEE Proceedings, vol. 132, no. 1, pp. 17-22, 1985.
- [6] B. Jayant Baliga, "Power semiconductor devices", PWS Publishing Co., Boston, pp. 252-254. 1996.
- [7] P. L. Hower, "Optimum design of power transistor switches," IEEE Trans. Electron Devices, vol. ED-20, pp. 426-435, 1973.
- [8] "Standard Method for Measuring Resistivity of Silicon Slice with a Colinear Four-Probe Array", 1984 Annual Book of ASTM Standards, F-84-84a; vol. 10.05, pp. 191, 1984.
- [9] J. C. Irvin, "Resistivity of Bulk Silicon and of Diffused Layers in Silicon", Bell Syst. Tech. J., vol. 41, p. 387, 1962.
- [10] R. B. Fair, "Analysis of Phosphorous-Diffused Layers in Silicon", J. Electrochem. Soc., vol. 125, p. 322, 1978.

저 자 소 개



金準植(正會員)

1965년 11월 20일생. 1991년 부산대학교 무기재료공학과 졸업(공학사). 1997년 경북대학교 산업대학원 반도체공학과 졸업(공학석사). 1998년 ~ 현재 경북대학교 대학원 전자공학과 박사과정 재학중. 1990년 ~ 현재 한

국전자(주) 근무. 주관심분야는 전력소자(power transistor), variable capacitance diode

李在坤(正會員) 第33卷 A編 第12號 參照

崔時永(正會員) 第33卷 A編 第12號 參照