

금속 유도 측면 결정화에 의해 유리기판 위에 제작된 저온(450℃) 다결정 박막 트랜지스터에 관한 연구

(A Study on the Low Temperature(450℃) Poly-Si TFT Fabricated on the Glass Substrate by Metal-Induced Lateral Crystallization(MILC))

金兌炘 * , 印泰炯 ** , 李炳一 * , 朱承基 *

(Tae-Kyung Kim, Tae-Hyung Ihn, Byung-Il Lee, and Seung-Ki Joo)

요 약

금속 유도 측면 결정화법에 의해 다결정 실리콘 박막 트랜지스터(Thin Film Transistor)를 450℃ 에서 유리 기판 위에 제조하였다. 니켈 박막이 증착된 소스, 드레인 영역이 먼저 결정화된 뒤 채널 영역은 측면으로 진행된 결정화에 의해서 결정화하였다. 이온 질량 주입법에 의해 인을 주입한 후 450℃에서의 열처리를 통해 소스, 드레인의 전기적 활성화를 이루었다. N형의 박막 트랜지스터는 76cm²/V.sec 의 전계효과 이동도를 보였으며, On/Off 전류비는 7E6 이상이었다.

Abstract

Poly-Si TFT's could be fabricated on glass substrates by Metal Induced Lateral Crystallization (MILC) method at 450℃. Channel area of the poly-Si TFT's was laterally crystallized from source and drain areas, where a thin nickel film was deposited. Dopants activation for the formation of source and drain region could be achieved by thermal annealing at 450℃ after the ion mass doping of phosphorus. The field effect mobility of thus formed N-channel poly-Si TFT's was 76cm²/Vs, and the on/off current ratio was higher than 7E6.

I. 서 론

다결정 실리콘 박막 트랜지스터 (Thin Film Transistor; TFT) 는 전자이동도 등의 전기적 특성이 우수하여 액정 표시 소자 (Liquid Crystal Display; LCD) 의 화소 소자 및 구동회로의 동시집적을 가능

하게 하며, SRAM 등에도 적용하고자 연구가 활발히 진행중이다^{[1] [2]}. 특히 대면적 유리 기판 위에 제작되어야 하는 LCD 에 적용하기 위해서는 다결정 실리콘의 형성온도가 유리의 Softening 온도보다 낮아져야 하기 때문에. 비정질 실리콘의 결정화 온도를 낮추기 위한 연구가 진행중이다. 비정질실리콘의 결정화를 위해 고상 결정화, 엑시머 레이저 어닐링 등의 방법이 개발되었지만 각각 실용화를 위해서는 아직도 많은 연구가 필요한 실정이다^{[3] [4]}. 최근에 개발된 금속 유도 측면 결정화(Metal-Induced Lateral Crystallization; MILC)법에 의해 비정질 실리콘의 결정화 온도를 500℃이하로 낮출 수 있었다^[5]. 금속 유도 측면 결정화란 비정질 실리콘 위에 선택적으로 증착된

* 正會員, 서울大學校 材料工學部
(Division of MS&E., College of Engineering, Seoul National Univ.)

** 正會員, 現代電子 株式會社
(Hyundai Electronics Industries Co., Ltd)
接受日字:1997年9月12日, 수정완료일:1998年4月23日

얇은 금속박막을 이용하여 금속막이 증착되지 않은 측면 영역의 비정질 실리콘을 결정화하는 방법으로서 노 열처리만으로 큰 결정립을 갖는 다결정 실리콘 박막을 얻을 수 있다. 고상 결정화법의 경우 600°C 이상의 높은 공정온도를 필요로 하므로 유리기판을 사용할 수 없으나, MILC 법은 400°C ~ 500°C의 온도에서 유리기판을 이용한 소자제작을 가능하게 하며 누설전류, 전자이동도, 경제성 등에서 우수한 다결정 TFT를 형성하는데 성공하였다^[6]. 능동 소자 액정 표시 장치 (Active Matrix Liquid Crystal Display: AMLCD)에 TFT를 적용하기 위해서는 TFT의 누설전류가 $1\text{pA}/\mu\text{m}$ 정도의 낮은 값으로 유지되어야 한다^[7]. 한편, 다결정 실리콘 TFT는 비정질 실리콘 TFT와 비교해서 여러 장점을 갖고 있으나 역 게이트 전압에서 누설전류가 크다는 단점을 지니고 있다. 따라서 다결정 TFT의 누설 전류의 전도 기구 및 그의 감소에 대한 연구 또한 활발히 진행되어 왔다^[8]. 본 연구에서는 MILC법을 이용하여 450°C에서 다결정 실리콘 TFT를 유리기판 위에 제작하였고, 특성을 평가하였다. 또한, 기판으로 사용된 코닝 1737유리와 능동영역 사이의 계면 상태에 따른 누설전류의 특성을 조사하여 누설 전류를 감소시킬 수 있는 법을 제시하였다.

II. 실험방법

코닝 1737 유리를 기판으로 사용하였으며 저압 화학 기상증착법(LPCVD)에 의하여 1000Å의 비정질 실리콘을 증착하였다. 소스 가스로는 다이사이테인(Si_2H_6)을 이용하여 480°C에서 증착하였다. 기판과의 계면 변화관찰을 위해서는 비정질 실리콘을 증착하기 전에 전자 자기 공명 플라즈마 화학 기상 증착법(ECR-PECVD)법에 의해서 실리콘 산화막을 형성한 시편을 제작하였다. 게이트 절연막은 ECR-PECVD를 사용하여 형성하였고, 이때 두께는 1000Å의 실리콘 산화막을 두단계로 나누어 형성하였는데, 첫 번째는 산소를 이용하여 ECR에 의해 플라즈마를 형성하고 비정질 실리콘을 산화시킴으로써 300Å을 형성하였고 in-situ로 O_2 와 SiH_4 가스를 이용하여 700Å의 산화막을 증착하였다^[9]. 게이트 전극을 형성하기 위해 LPCVD를 이용하여 비정질 실리콘을 증착하였다. 니켈(Ni) 박막은 스퍼터링법에 의해서 20Å을 증착하였다. 게이트 및 소오스/드레인 전극을 형성하기 위해

이온 질량 주입법(Ion Mass Doping; IMD)에 의해 포스핀(PH_3)이온을 주입하였다. 플라즈마는 RF=200W에서 형성하였고 가속전압은 18kV이었다. 결정화를 위한 열처리는 450°C의 순수한 수소분위기에서 행하였으며, 열처리시간은 소자의 크기에 따라 결정화 속도를 고려하여 결정하였다. 전기적 특성의 측정을 위해서는 알루미늄 전극을 형성하였고 피코 암페어 미터(pico-Ampere meter) HP4140B를 이용하여 측정하였다.

열처리시간에 따른 결정화 속도를 비교하기 위해서는 500°C까지 온도를 바꾸어가며 열처리시간에 따른 결정화 거리를 광학 현미경으로 관찰하였다. 이온 주입된 도판트의 활성화를 관찰하기 위해서는 활성층 비정질 실리콘과 같은 조건으로 박막을 형성한 뒤 인(P)이온을 주입하였다. 이온 주입전 니켈 박막을 전면에 증착한 시편도 함께 제작한 뒤 할로겐 램프에 의한 급속 열처리를 하였으며 비활성 가스 분위기에서 각 온도별 유지시간은 5분으로 하였다. 열처리온도에 따른 면저항의 변화는 4-탐침법에 의해 측정하였다.

III. 결과 및 고찰

비정질 실리콘 박막 위에 그림 1과 같이 수십Å의 니켈 박막을 선택적으로 증착하고 500°C 이하에서 열처리를 하면 니켈 박막이 증착된 곳에서 먼저 금속 유도 결정화(Metal Induced Crystallization; MIC)에 의해 비정질 실리콘의 결정화가 시작되고 니켈이 증착되지 않은 측면 부분의 비정질 실리콘으로 결정화가 진행되어 간다. 이때 니켈이 증착되지 않은 부분의 결정립은 니켈이 증착된 부분의 결정립에 비해서 크기가 크며 투과 전자 현미경 분석결과 (110)면으로 배향된 다결정 실리콘임이 확인되었다^[3]. 이와 같은 금속 유도에 의한 측면 결정화법을 저온 다결정 TFT제작에 적용시키기 위하여 변형온도가 600°C정도인 상용 유리(코닝 1737)기판에 상부게이트의 자기정렬 구조의 소자를 형성하고 그림 2 (a)와 같이 니켈 박막을 형성한 뒤 Ni-MILC를 적용시킨 결과 500°C에서의 열처리를 통해서 채널 영역의 비정질 실리콘을 결정화시킬 수 있었다.

열처리온도를 변화시켜서 각 온도에서의 열처리시간을 증가시키면서 관찰한 채널영역의 결정화 거리를 그림 3에 나타내었다.

Ni 이 입혀진 비정질 실리콘은 500°C에서 열처리되면 초기에 바로 MIC에 의해 결정화되고 측면으로의 결정화가 진행되어 시간당 약 1.5 μm 의 속도로 성장하게 된다. 열처리 온도를 450°C로 낮추면 20시간이 지난 뒤에 니켈이 증착된 부분의 결정화가 완료되고 이때부터 약 0.2 $\mu\text{m}/\text{hour}$ 의 속도로 측면 결정화가 진행된다. 따라서 실제 소자의 제작의 경우에는 소자의 채널길이에 따라서 열처리시간을 결정할 수 있다.

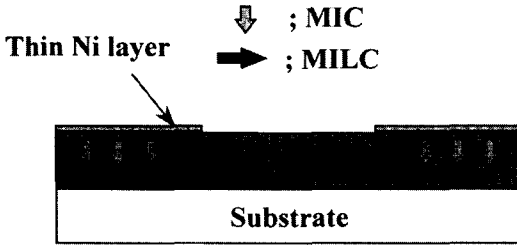


그림 1. 금속 유도 결정화(MIC)와 금속 유도 측면 결정화(MILC)의 개략도
Fig. 1. Schematic diagram of MIC and MILC.

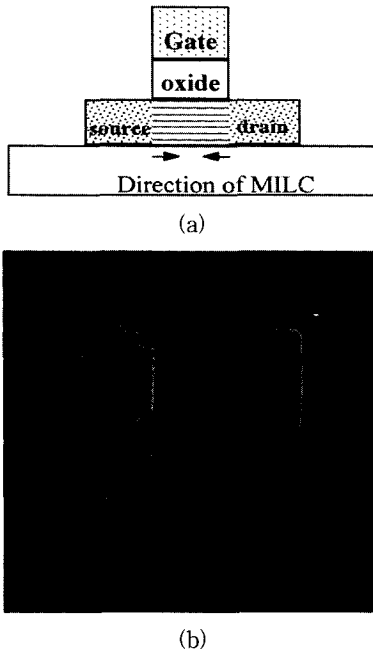


그림 2. (a) 자동 정렬 방식 상부 게이트 TFT의 단면 그림 (b) 금속 유도 측면 결정화의 광학 현미경 관찰 사진
Fig. 2. (a) Cross section diagram of top-gated self-aligned TFT (b) Optical micrograph of MILC.

니켈 박막에 의한 결정화법은 비정질실리콘의 결정화 온도를 낮추는 동시에 도판트 가스의 활성화에도

기여할 수 있음이 밝혀졌는데^[10], 이온 질량 주입 장치에 의해서 N형 TFT를 제작하기 위한 PH₃ 가스를 비정질 실리콘에 주입한 뒤 열처리 온도에 따른 층저항을 측정함으로써 니켈 박막에 의한 도판트의 활성화 정도를 관찰하였다.

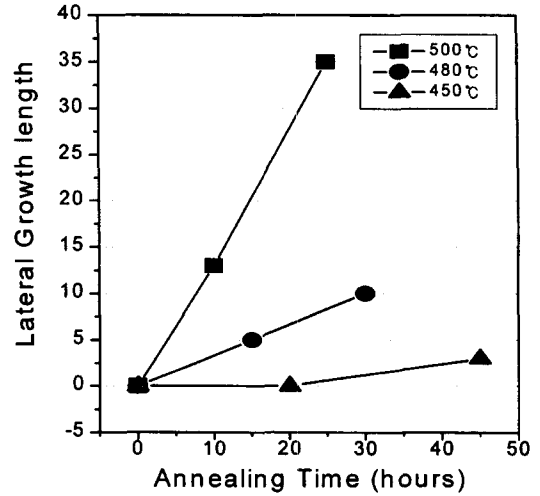


그림 3. 열처리 온도에 따른 금속 유도 측면 결정화 속도의 변화
Fig. 3. Variation of MILC rate with annealing temperature.

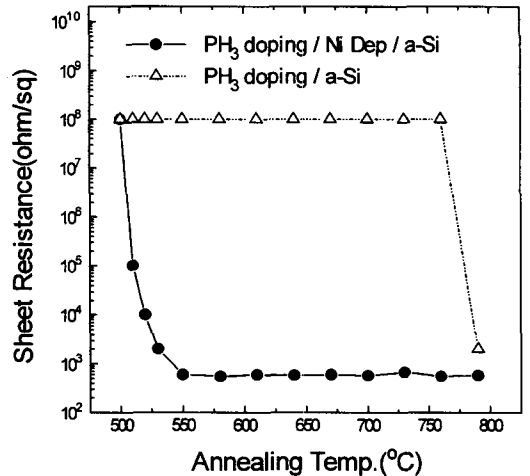


그림 4. 열처리 온도에 따른 층저항의 변화 비정질 실리콘 위에 20Å의 니켈 층을 형성한 뒤 PH₃를 주입하고 금속 열처리를 행하였다. * 각각의 온도에서 열처리는 5분간 실시하였다.
Fig. 4. Variation of sheet resistance with annealing temperature. A 20Å-thick nickel layer was deposited on top of a-Si films and then P doping was performed before rapid thermal annealing

그림 4는 PH₃ 가스를 이용하여 이온 질량 도핑법에 의해 200W의 RF에서 플라즈마를 발생시킨 뒤에 18kV의 DC 전압을 인가한 후 1분간 불순물을 주입하고 급속 열처리를 하면서 온도에 따른 저항 변화를 관찰한 것이다. 비정질 실리콘에 바로 PH₃ 를 주입한 후 열처리를 하면 750°C 정도까지 약 1E8 ohm/sq의 높은 저항을 나타내지만 비정질 실리콘에 20Å의 Ni를 증착한 후 불순물을 주입 한 경우는 550°C에서도 약 700 ohm/sq의 낮은 증저항 값을 나타내는 것으로 나타났다. 이는 비정질 실리콘에 증착된 초박막의 니켈이 비정질 실리콘의 결정화 온도를 낮추어서 도판트의 활성화 온도가 낮아지기 때문이다. 따라서 Ni-MIC에 의한 소스/드레인과 게이트의 결정화는 이온 질량 주입장치에 의해서 주입된 인(P)이온의 활성화 온도를 낮추는데 크게 기여함을 알 수 있다.

온의 활성화온도를 낮춤과 동시에 채널영역의 비정질 실리콘의 결정화온도를 낮추어서 유리기판의 사용을 가능하게 할 수 있다. 이와 같은 저온 결정화 및 저온 활성화법에 의해서 노 열처리만으로 제작된 다결정 실리콘 TFT 중 가장 낮은 온도인 450°C 에서 Ni-MILC 의한 TFT를 제작하고 특성을 평가하여 그림 5에 나타내었다. 소자의 채널길이가 8 μm인 경우에 채널영역의 결정화 시간을 고려해서 20시간동안 노 열처리를 진행하였다. MOS 트랜지스터의 선형영역 (V_{DS}=0.1V) 에서 측정된 전계 효과 전자 이동도는 76 cm²/Vsec, 문턱전압은 1.1V (@V_{DS}=1V), subthreshold slope는 0.77 V/dec, On/Off 전류 비는 7E6으로서 매우 우수한 특성을 나타내었다. 하지만 다결정 TFT의 전형적인 특성인 역 게이트 전압에서의 큰 누설전류 또한 관찰되며 이는 AMLCD의 능동 소자로서 TFT를 이용하기 위해서는 개선되어야 할 문제이다. 그림에서와 같은 게이트전압이 0V이하에서의 누설 전류를 감소시키기 위해서 누설전류의 여러 가지 발생 기구 중에서 유리기판을 사용함으로써 생기는 기판과 채널 사이에 "Back channel"에 의한 누설 전류를 감소하기 위한 연구를 하였다.

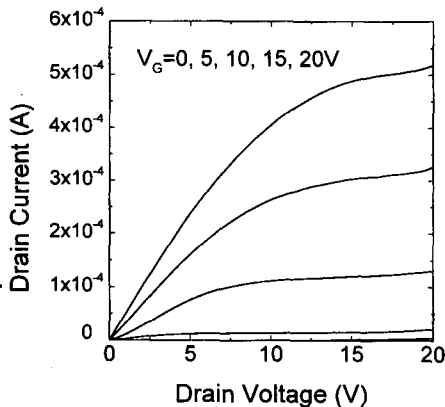
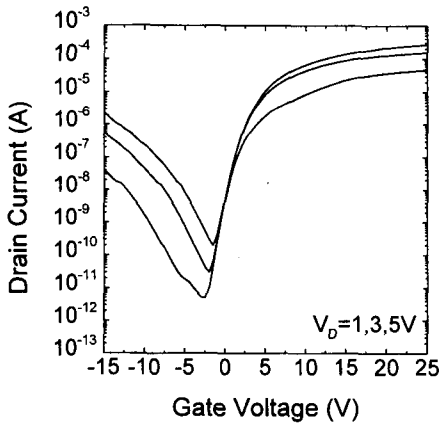


그림 5. 450°C에서 제작된 TFT의 전류-전압 특성
Fig. 5. Device characteristics of TFT fabricated at 450°C.

유리기판 위에 그림 2와 같은 상부 게이트 방식의 TFT를 제작할 경우 채널실리콘과 기판의 계면상태는 TFT의 전기적 특성에 많은 영향을 줄 수 있다. 즉, 유리기판의 표면은 유리 제조 공정상의 첨가물과 불순물인 각종 금속이 함유되어 있어서 전도층으로 작용할 수 있다^[11]. 따라서 이와 같은 영향을 배제시킴으로써 누설전류를 감소시키기 위한 방법으로 기판 위에 실리콘 산화막을 형성하는 방법이 제안되었다. 활성층 비정질 실리콘을 유리기판 위에 증착하기전 ECR-PECVD에 의해 Buffer Oxide(SiO₂, 1000Å) 막을 형성한 뒤 500°C 결정화 공정에 의해서 TFT를 제작하였다. 그림 6은 TFT의 누설전류가 Buffer Oxide 없이 제작된 TFT에 비해 10~100배 가량 감소함을 보여준다. 또한, 전계 효과 전자 이동도는 50 cm²/Vsec에서 104 cm²/Vsec로 증가하였다. 이는 Buffer Oxide 층이 유리기판의 금속성 불순물에 의한 전도층과 활성층 실리콘을 분리시켜서 채널의 밀부분으로 전류가 흐르는 것을 억제하여 누설전류가 감소한 것으로 여겨진다. 또한 이 산화막은 제작공정중의 열처리온도에서 기판의 금속성 불순물 이온이 채널 실리콘 내로 확산되는 것을 막아주어서 결합상태가 적은

즉, 니켈 박막에 의한 실리콘의 결정화는 도판트 이

우수한 특성의 다결정 실리콘이 형성되어 전자 이동도가 증가한 것으로 생각할 수 있다.

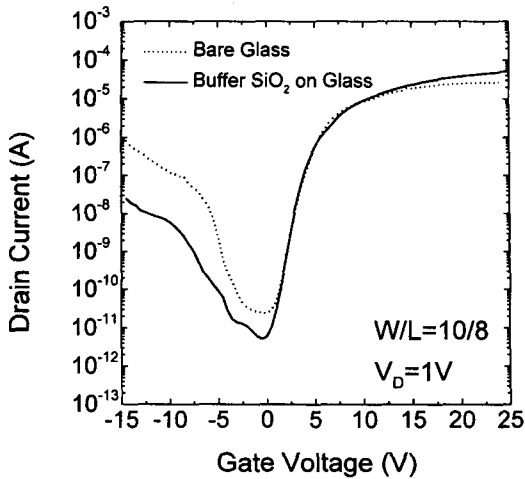


그림 6. 실리콘 산화막을 이용한 완충층이 형성된 유리기판 위에 제작된 TFT의 전류-전압 특성

Fig. 6. I_{DS} - V_{GS} characteristics of TFT on buffer layered glass substrate.

IV. 결론

새로운 저온 결정화법인 금속유도 측면 결정화 (MILC)법에 의해서 우수한 성능의 다결정 박막 트랜지스터를 제작할 수 있었다. 450°C에서 한 번의 노 열처리를 통하여 결정화 및 도판트의 활성화에 성공하였으며, 따라서 상용 유리기판을 이용한 AMLCD TFT의 제작을 가능하게 하였다. 소스/드레인 및 게이트 영역은 Ni-MILC에 의해서 활성화되어 약 700 ohm/sq의 낮은 면저항을 나타내었으며 채널 영역은 Ni-MILC에 의해서 결정화되었다. 이때의 측면 결정화 속도는 약 0.2um/hour 이었다.

450°C에서 MILC에 의해 제작된 N-형 TFT의 경우 전자 이동도는 $76 \text{ cm}^2/\text{Vsec}$ 의 높은 값을 나타내었다.

활성층 실리콘을 증착하기전 ECR-PECVD에 의해 유리기판 위에 형성한 Buffer Oxide Layer는 유리기판과 활성층 실리콘 사이에 생길 수 있는 전도층의 효과를 없애주고, 금속성 이온불순물들의 확산을 감소시켜서 off-state에서의 큰 누설전류를 10~100배정도 감소시키고 전자 이동도를 증가시킬 수 있었다.

감사의 글

※ 본 연구는 디스플레이 연구조합과 서울대학교 신소재 박막공공 및 결정성장 연구센터의 연구비 지원으로 수행되었습니다. 이에 감사 드립니다.

참고 문헌

- [1] T. J. King and K. C. Saraswat, "Low-Temperature ($\leq 550^\circ\text{C}$) Fabrication of Poly-Si Thin-Film Transistors", IEEE Electron Device Lett., 13(6), p.309, (1992).
- [2] S. W. Lee and S. K. Joo, "Low temperature poly-Si thin film transistor fabrication by metal-induced lateral crystallization", IEEE Electron Device Lett., 17(4), p.160, (1996).
- [3] K. Nakazawa, "Recrystallization of amorphous silicon films deposited by low-pressure chemical vapor deposition from Si_2H_6 gas," J. Appl. Phys., vol. 69, no. 3, pp. 1703-1706, 1991.
- [4] H. Kuriyama, S. Kiyama, S. Noguchi, T. Kuwahara, S. Ishida, T. Nohda, K. Sano, H. Iwata, S. Tsuda, and S. Nakano, "High mobility poly-Si TFT by a new laser annealing method for large area electronics", IEDM 1991 Tech. Dig., pp. 563-566, 1991.
- [5] 이석운, 공학박사학위 논문, 서울대학교(1996)
- [6] T. K. Kim, K. H. Kim, J. W. Shin, P. S. Ahn, W. C. Jeong, B. I. Lee and S. K. Joo, "Fabrication of Poly-Si TFT on the Glass Substrate by Metal-Induced Lateral Crystallization", 4th Asian Symposium on Information Display Proc., Feb., 1997.
- [7] T. H. Ihn, B. I. Lee, T. K. Kim, K. H. Kim, J. W. Shin, P. S. Ahn, W. C. Jeong and S. K. Joo, "Fabrication of metal gate poly-Si TFT's by metal induced lateral crystallization", SID Symposium Digest, 28, p.188, (1997).
- [8] J. G. Fossum, Adelmo O. C., H. Shichijo, and S. K. Banerjee, "Anomalous leakage current in LPCVD polysilicon MOS-FET's", IEEE Trans. Electron Devices,

vol. ED-32, no. 9, pp. 1878-1884, 1985.

[9] T. H. Ihn and S. K. Joo, "ECR plasma oxidation of poly-Si thin films for the gate dielectrics in poly-Si TFTs", 2nd Pacific Rim Inter. Conf. on Advanced Materials and Processing, pp. 1333-1336, 1995.

[10] S. W. Lee, T. H. Ihn and S. K. Joo,

"Low-temperature dopant activation and its application to polycrystalline silicon thin film transistor", Appl. Phys. Lett., 69 (3), p.380 (1996).

[11] J. G. Couillard, D. G. Ast, C. B. Moore and F. P. Fehlner, "Effect of Glass Substrate Preparation on TFT Performance", SID Symposium Digest, 28, p556, (1997).

저 자 소 개



金兌兪(正會員)

1971년 3월 31일생. 1995년 서울대학교 금속공학과 졸업(공학사). 1997년 서울대학교 금속공학과(전자재료) 공학석사 학위 취득. 1997년 3월~현재 서울대학교 재료공학부(전자재료) 박사과정 재학중. 주관심 분야는

poly-Si TFT, 반도체 제조 공정등임

李炳一(正會員) 第 33卷 A編 第 9號 參照

印泰炯(正會員)

第 33卷 A編 第 9號 參照

1998년 2월 서울대학교 금속공학과 공학박사 학위 취득. 현재 현대전자 디스플레이 사업부 선임 연구원. 주관심 분야는 TFT-LCD, 반도체 제조 공정등임

朱承基(正會員) 第 31卷 A編 第 11號 參照