

論文98-35D-5-5

RF Magnetron Reactive Sputtering 법으로 제작한 BST 박막의 전기적 및 계면 특성에 관한 연구

(Electrical and Interface Characteristics of BST Thin Films Grown by RF Magnetron Reactive Sputtering)

姜 聲 俊 * , 張 東 勳 * , 尹 英 燮 *

(Seong-Jun Kang, Dong-Hoon Jang, and Yung-Sup Yoon)

요 약

RF magnetron reactive sputtering 법으로 BST ($Ba_{1-x}Sr_xTiO_3$)(50/50) 박막을 제작하여, 박막의 결정화 특성 및 표면상태와 함께 박막의 두께에 따른 전기적 특성을 조사하였다. XRD 와 AFM 을 이용하여 BST 박막의 결정화 특성과 표면상태를 관찰한 결과, 800°C 에서 2분간 후열처리한 박막은 완전한 perovskite 구조를 가지며 표면거칠기도 16.1Å 으로 양호한 값을 나타내었다. 박막의 두께에 따른 capacitance 를 측정하여, 박막과 전극사이에 존재하는 계면층의 두께와 비유전률이 각각 3 nm 와 18.9 임 을 추정할 수 있었다. 또, 박막의 두께가 80 nm 에서 240 nm 으로 증가함에 따라 10 kHz 에서 비유전률은 199 에서 265 로 증가하였고, 200 kV/cm 의 전기장에서 누설전류밀도는 $0.682 \mu A/cm^2$ 에서 $0.181 \mu A/cm^2$ 으로 감소하였다. 두께 240 nm 인 BST 박막의 경우, 5 V 에서의 전하축적밀도와 누설전류밀도는 각각 $50.5 fC/\mu m^2$ 와 $0.182 \mu A/cm^2$ 로, 이는 DRAM 의 캐패시터 절연막 응용에 매우 유망한 물질임을 나타내는 결과이다.

Abstract

The BST ($Ba_{1-x}Sr_xTiO_3$)(50/50) thin film has been grown by RF magnetron reactive sputtering and its characteristics such as crystallization, surface roughness, and electrical properties have been investigated with varying the film thickness. The crystallization and surface roughness of BST thin film are investigated by using XRD and AFM, respectively. The BST thin film annealed at 800°C for 2 min has pure perovskite structure and good surface roughness of 16.1Å. We estimate that the thickness and dielectric constant of interface layer between BST film and electrode are 3 nm and 18.9, respectively, by measuring the capacitance with various film thickness. As the film thickness increases from 80 nm to 240 nm, the dielectric constant at 10 kHz increases from 199 to 265 and the leakage current density at 200 kV/cm decreases from $0.682 \mu A/cm^2$ to $0.181 \mu A/cm^2$. In the case of 240 nm-thick BST thin film, the charge storage density and leakage current density at 5V are $50.5 fC/\mu m^2$ and $0.182 \mu A/cm^2$, respectively. The values indicate that the BST thin film is a very useful dielectric material for the DRAM capacitor.

* 正會員, 仁荷大學校 電子材料工學科

(Dept. of Electronic Materials & Device Engineering, Inha Univ.)

※ 본 연구는 1996년도 교육부 반도체분야 학술연구조성비(ISRC 96-E-1050)에 의해 수행되었습니다.

接受日: 1998년 2월 9일, 수정완료일: 1998년 4월 9일

I. 서 론

최근, 반도체 기술의 발달로 인하여 $PbZr_xTi_{1-x}O_3$ (PZT), $SrBi_2Ta_2O_9$ (SBT), $Pb_{1-x}La_xTiO_3$ (PLT), $Ba_{1-x}Sr_xTiO_3$ (BST) 등의 강유전체 박막들을 DRAM (Dynamic Random Access Memory) 과 NVFRAM (Non-volatile Ferroelectric Random

Access Memory) 같은 메모리 소자에 응용하려는 연구가 활발히 진행되고 있다^[1]. DRAM 의 경우, 최근에 급격히 고집적화가 이루어짐에 따라 메모리 셀 당 사용가능한 면적이 줄어들고 이에 따라 정보저장을 위한 캐패시터의 면적도 감소하게 되었다. 그렇지만, 캐패시터의 면적이 감소하더라도 단위 셀 당 저장 캐패시턴스는 적정값을 유지하여야 된다. 기존에 사용되고 있는 SiO₂/Si₃N₄ 같은 물질들이 256 M 이상의 DRAM 에 사용된다면, stack 이나 trench 캐패시터 셀 같은 복잡한 구조들이 단위 셀 당 저장 캐패시턴스의 적정값을 유지하기 위해 사용되어야 한다^[2]. 그러나, 비유전률이 높은 새로운 물질들을 캐패시터 절연막으로 사용한다면, 좀 더 간단한 캐패시터 구조로도 256 M 이상의 DRAM 이 실현될 수 있다^[3].

이들 강유전체 박막중 BST 박막은 Ba/Sr 의 조성비에 따라 강유전상에서 상유전상으로 상변이가 가능하여 소자의 동작온도 영역에서 최대의 비유전률을 나타내며, 스위칭 속도가 빠르고 유전손실이 작다. 또 Pb 계열 강유전체에 비해 누설전류밀도가 낮고 Pb 와 같은 중금속을 사용하지 않는 장점을 가지고 있어 DRAM 응용에 가장 주목받고 있는 물질이다^[4-5]. 그러나, BST 박막을 256M DRAM 이상에 적용할 경우 박막의 두께가 100 nm 이하로 줄어들게 되어 BST 박막과 전극사이에 존재하는 계면층의 영향이 증대하고, 비유전률 및 누설전류밀도 등의 전기적 특성도 크게 변하게 된다^[6]. 따라서, BST 박막을 256M DRAM 이상에 적용하기 위해서는 계면층에 대한 특성과 두께에 따른 비유전률 및 누설전류밀도 등의 특성을 이해 하는 것이 필수적이나 이에 대한 연구가 매우 미흡한 실정이다.

본 연구에서는 RF magnetron reactive sputtering 법으로 Pt/Ta/SiO₂/Si 기판위에 BST (50/50) 박막을 두께별로 제작하여, BST 박막과 전극사이에 존재하는 계면층의 특성과 두께에 따른 비유전률 및 누설전류밀도 등의 전기적 특성의 변화를 관찰하여 DRAM 캐패시터 절연막으로의 응용 가능성을 조사하였다.

II. 실험방법

본 연구에서는 RF magnetron reactive sputtering 법을 이용하여 BST 박막을 제작하였다. 실험

에 사용된 RF magnetron sputtering 장치는 Fig. 1 에서 나타낸 것과 같이 target 을 하부에 위치시키고 기판을 상부에 장착하도록 설계된 상향식이다.

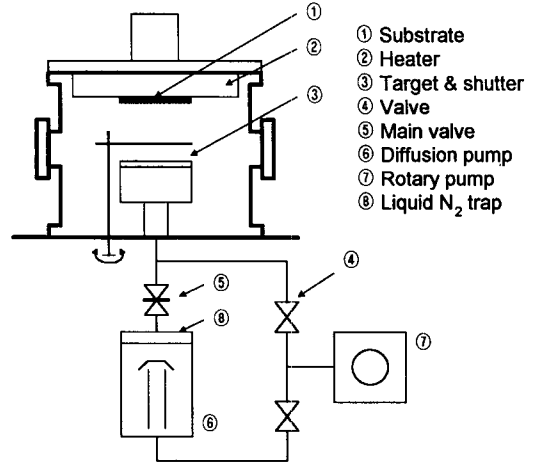


그림 1. BST 박막 제작을 위한 RF magnetron sputter 장비의 개략도

Fig. 1. The schematic diagram of the RF magnetron sputter system for BST thin film.

BST 박막증착에 사용된 target 은 조성이 (Ba_{0.5}Sr_{0.5})TiO₃ (순도: 99.9%) 이고, 사용된 기판은 Pt(1000 Å)/Ta(200 Å)/SiO₂(3800 Å)/p-type (100) Si 구조이다. 증착전에 기판의 표면에 존재할 수 있는 유기물의 제거를 위하여 TCE (trichloroethylene), acetone, isopropanol 그리고 D.I water 를 이용하여 세척을 한 후, 건조 N₂ gas 를 사용하여 기판을 건조시켰다. 증착에 사용된 RF power 는 125W 이고, 기판온도는 550°C 이었다. 박막을 증착시키기 전의 초기 진공도는 3×10⁻⁶ torr 이하로 유지시켰으며, 작업 압력은 6×10⁻³ torr 로 일정하게 유지시켰다. Ar 과 O₂ 혼합비를 mass flow controller (MFC) 로 조절하여 변화시켰다. 그 후, 원하는 증착조건에서 플라즈마의 안정을 위해 15분 이상 presputtering 한 다음 BST 박막을 증착시켰다. BST 박막의 증착조건을 table 1 에 요약해서 나타내었다. 증착된 BST 박막을 분위기 제어 없이 RTA 로 후열처리하여 결정화 특성, 표면상태 및 전기적 특성을 조사하였다.

BST 박막의 결정화 특성은 X-Ray Diffractometer (PHILIPS PW 3020, CuK α) 를 이용하여 분석하였고, 표면상태는 AFM (Park Science, AP 2000L) 을 이용하여 관찰하였다. BST 박막의 두께는

ellipsometer (PLASMOS, SD 2300)와 SEM (Hitachi S-4200) 을 이용하여 구하였고, AES (VG Microlab, 310F) 를 이용하여 박막의 깊이에 따른 조성의 변화 및 계면을 관찰하였다. 유전특성과 누설전류밀도는 각각 LCR meter (Stanford Research, SR 720) 와 Parameter analyzer (HP 4145B) 를 이용하여 측정하였으며, RT66A Standardized ferroelectric test system (Radiant technologies) 을 이용하여 BST 박막의 hysteresis 곡선도 측정하였다.

표 1. BST 박막의 sputtering 조건
Table 1. Typical sputtering conditions for BST thin films.

| | |
|-----------------------------------------------------------|----------------------------|
| Target | BST(50/50) (99.99%) |
| Substrate | Pt/Ta/SiO ₂ /Si |
| Gun power (RF) | 125W |
| Base pressure | < 3×10 ⁻⁶ Torr |
| Operating pressure | 6 mTorr |
| Reactive gas mixture (O ₂ /Ar+O ₂) | 50% |
| Substrate temp. | 550°C |

III. 결과 및 논의

BST 박막의 결정화 및 결정의 배향성을 조사하기 위해 Pt/Ta/SiO₂/Si 구조의 기판위에 550°C 에서 as-deposit 시킨 박막과 550°C 에서 as-deposit 시킨 후, 800°C 에서 2분간 후열처리한 박막의 XRD pattern 들을 Fig. 2 에 나타내었다. Fig. 2 에서 보듯이, 550°C 에서 as-deposit 시킨 박막은 비정질의 형태를 나타내고 있지만, 800°C 에서 2분간 후열처리한 BST 박막은 perovskite 구조를 나타내는 (100), (110), (211) peak 들이 나타나므로 결정화가 된 것으로 보인다.

표면상태 특히 표면 거칠기는 강유전체 박막을 실제 소자에 응용할 경우, 상부전극 물질과 BST 박막과의 계면특성에 관련되므로 박막의 누설전류 등의 전기적 특성에 영향을 미치는 중요한 요소이다. AFM 을 이용하여 Pt/Ta/SiO₂/Si 기판위에 550°C 에서 as-deposit 시킨 후, 800°C 에서 2분간 후열처리한 BST 박막의 표면 거칠기를 조사하여 Fig. 3 에 나타내었다. AFM 조사 결과 본 연구에서 제작된 BST 박막의 RMS (root mean square) 표면 거칠기는 16.1Å 로 조사되었다. 이는 P. Bhattacharya 등^[7] 이 laser

ablation 법으로 제작한 BST 박막에서 보고한 표면 거칠기 (100Å) 보다는 우수한 값이지만, W. Jo 등^[8] 이 sputtering 법으로 제작한 BST 박막의 표면 거칠기 (12Å) 보다는 다소 떨어지는 것이다.

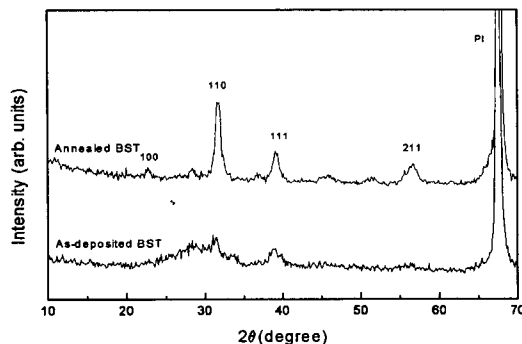


그림 2. BST 박막의 XRD pattern
Fig. 2. XRD patterns of BST thin films.

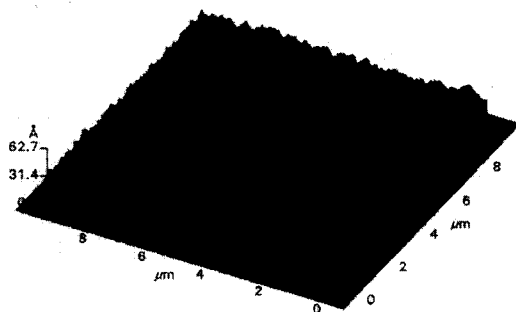


그림 3. BST 박막의 3차원 AFM 사진
Fig. 3. The 3-D AFM image of BST thin film.

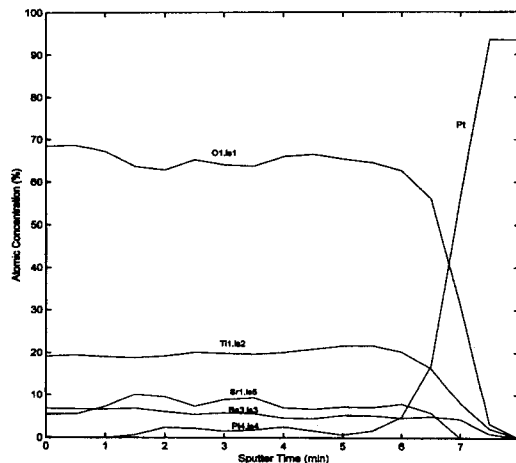


그림 4. BST 박막의 AES depth profile
Fig. 4. AES depth profile of BST thin film.

AES (Auger electron spectroscopy) 는 시료의 깊이 분포에 따른 구성 원소들의 화학적인 조성을 알아낼 수 있어 표면 및 계면 분석에 널리 이용되고 있는 방법이다. Fig. 4 에 Pt/Ta/SiO₂/Si 기판위에 550°C 에서 as-deposit 시킨 후, 800°C 에서 2분간 후 열처리한 BST 박막의 AES depth profile 을 나타내었다. Fig. 4 에서 보듯이 BST/Pt 계면을 제외하고는 Ba, Sr, Ti 와 O 의 조성이 매우 균일하게 분포함을 알 수 있었다. 또, BST/Pt 계면에서 심각한 확산은 일어나지는 않은 것으로 보이지만, 계면층이 형성되었음을 알 수 있었다. 이들 계면층은 BST 박막의 유전특성에 큰 영향을 미칠 것으로 생각된다.

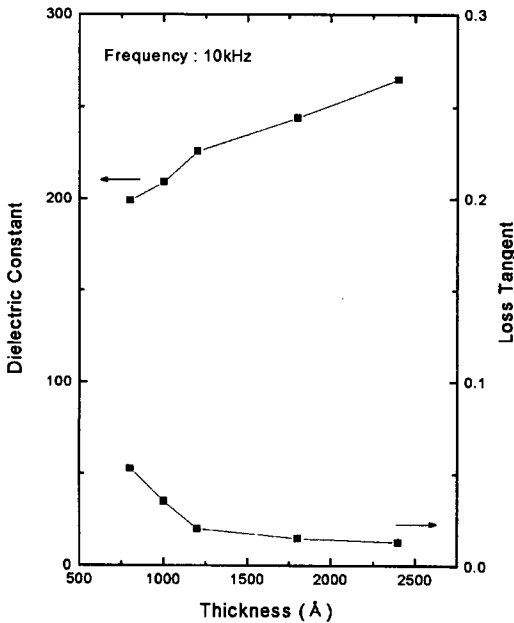


그림 5. BST 박막 두께에 따른 유전특성
Fig. 5. Dielectric properties of BST thin films with various film thickness.

Fig. 5 에 550°C 에서 as-deposit 시킨 후, 800°C 에서 2분간 후 열처리한 BST 박막의 두께에 대한 유전특성을 나타내었다. 유전특성은 10kHz 의 주파수에서 BST 박막의 두께를 80, 100, 120, 180, 240 nm 로 변화시켜가며 측정하였다. Fig. 5 에서 보듯이 BST 박막의 두께가 80 nm 에서 240 nm 로 증가함에 따라 비유전률은 199 에서 265 로 증가하였고, 유전손실은 0.053 에서 0.013 으로 감소하였다. 이와 같이 BST 박막의 두께가 감소할수록 비유전률이 작아지는 이유는, J. M. Bell 등^[9]이 보고한 바와 같이

BST 박막과 전극사이에 박막의 전체 두께에 상관없이 일정한 두께를 갖는 저유전률의 계면층이 존재하여 BST 박막의 두께가 감소할수록 저유전률을 갖는 계면층의 영향이 커지기 때문이라고 생각된다.

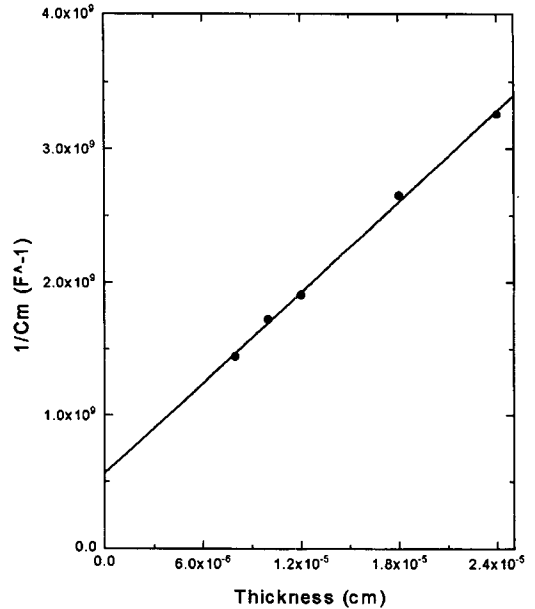


그림 6. BST 박막에 대한 1/C_m 의 두께 의존성
Fig. 6. The thickness dependence of 1/C_m for BST thin films.

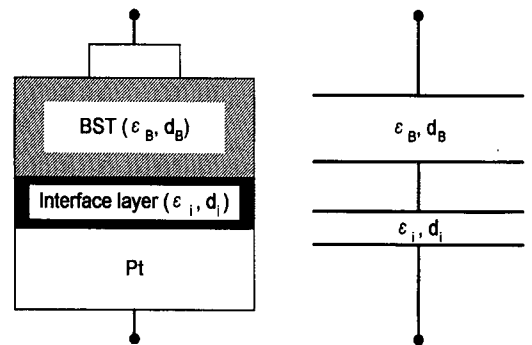


그림 7. 계면층을 포함하는 강유전체 캐패시터 회로 성분의 구조적, 물리적 모델
Fig. 7. Structure and physical model of a ferroelectric capacitor circuit element including an interface layer.

앞에서 언급한 저유전률을 갖는 계면층의 존재와 특성을 알아보기 위해, Fig. 6 에 80 nm 에서 240 nm 범위의 두께를 갖는 BST 박막에 대한 capacitance 역수의 두께 의존성을 조사하여 나타내었다. BST 박막

의 계면쪽과 bulk 쪽의 비유전률이 일정하다면 Fig. 6 의 직선이 원점을 지나야 된다. 그러나, Fig. 6 에서 보듯이, 직선은 원점을 지나지 않는다. 이는 Fig. 7 에 나타낸 것과 같이 박막의 계면에 낮은 유전률을 갖는 층이 존재하기 때문이다. 따라서, 측정된 capacitance (C_m) 는 식 (1) 과 같이 표현될 수 있다.

$$\frac{1}{C_m} = \frac{1}{C_B} + \frac{1}{C_i} \quad (1)$$

여기서, C_B 는 박막의 bulk 쪽 capacitance 이고, C_i 는 계면쪽 capacitance 이다.

식 (1) 은 capacitance 를 구하는 일반식 ($C = \epsilon_0 \epsilon_r A / d$) 에 의해 식 (2) 와 같이 다시 쓰여질 수 있다.

$$\frac{d_m}{\epsilon_m \epsilon_0 A} = \frac{d_B}{\epsilon_B \epsilon_0 A} + \frac{d_i}{\epsilon_i \epsilon_0 A} \quad (2)$$

여기서, d_m 은 BST 박막의 전체 두께, d_B 는 박막의 bulk 쪽 두께, d_i 는 박막의 계면쪽 두께, ϵ_B 는 박막의 bulk 쪽 비유전률, ϵ_i 는 박막의 계면쪽 비유전률, ϵ_0 는 진공에서의 비유전률, A 는 전극면적이다.

일반적으로 박막의 bulk 쪽 두께가 계면쪽 두께에 비해 훨씬 크므로 식 (2) 는 식 (3) 과 같이 쓰여질 수 있다.

$$\frac{1}{C_m} = \frac{d_m}{\epsilon_B \epsilon_0 A} + \frac{1}{C_i} \quad (3)$$

따라서, Fig. 6 에서 y 축 절편은 $1/C_i$, 기울기는 ϵ_B 를 나타내는 것이다.

식 (3) 으로부터 구한 bulk 쪽의 비유전률 (ϵ_B) 은 318 이고 계면쪽의 capacitance (C_i) 는 1.754 nF 이었다. 또, 계면쪽의 capacitance (C_i) 가 1.754 nF 이므로, 이로부터 d_i/ϵ_i 가 0.159 nm 임을 알 수 있었다. 박막의 계면쪽 두께 (d_i) 를 3 nm 로 가정하면, 240 nm 두께인 BST 박막의 비유전률은 265 로 측정된 비유전률과 동일한 값을 가진다. 따라서, 계면에 존재하는 층의 비유전률은 18.9 이고 두께가 3 nm 임을 추정할 수 있었다.

Fig. 8 은 550°C 에서 as-deposit 시킨 후, 800°C 에서 2분간 후열처리한 BST 박막의 두께별 누설전류 밀도를 나타낸 것이다. 누설전류는 BST 박막을 DRAM 의 캐패시터 절연막으로 응용하고자 할때, 매우 중요한 요소중의 하나이다. 누설전류가 증가하면

refresh 횟수의 증가, 소비전력의 증가, 디바이스에 인가되는 전기장이 제한되는 등의 문제가 발생하기 때문이다^[10]. Fig. 8 에서 보듯이, BST 박막의 두께가 120, 180, 240 nm 일때는 400 kV/cm 까지의 전기장에서 누설전류밀도의 커다란 증가가 나타나지 않았지만, BST 박막의 두께가 80, 100 nm 일때는 250 kV/cm 이상의 전기장에서 부터 누설전류밀도가 급격히 증가함을 알 수 있었다. BST 박막의 두께가 80, 100, 120, 180, 240 nm 일때, 누설전류밀도는 200 kV/cm 의 전기장에서 각각 0.682, 0.600, 0.491, 0.315, 0.181 $\mu A/cm^2$ 으로 조사되었다.

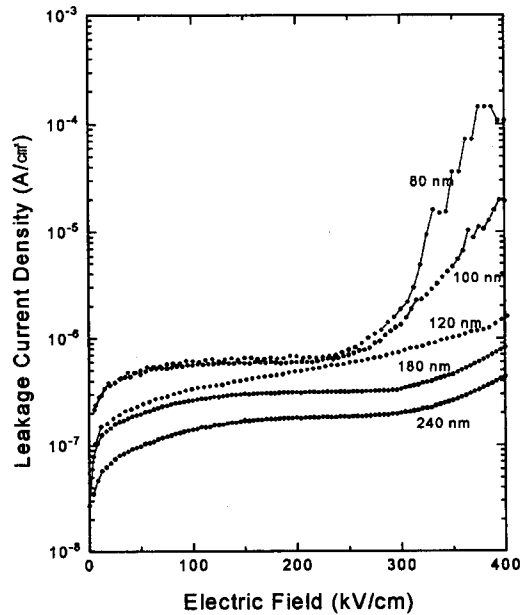


그림 8. 박막 두께와 전계에 따른 BST 박막의 누설 전류밀도

Fig. 8. Leakage characteristics of BST thin films as a function of electric field and various film thickness.

Fig. 9 는 BST (240 nm) 박막의 이력곡선을 인가되는 전압의 함수로 나타낸 것이다. 2.5, 5, 7.5, 10 V 에서 측정된 이력곡선들 모두는 거의 선형적인 모양을 나타내고 있으나, 인가되는 전압이 증가할수록 이력곡선의 모양이 포화되는 경향을 나타내었다. 이는 상유전체의 전형적인 특성이므로 본 연구에서 제작한 BST 박막이 상유전체임을 나타내는 증거이며, 10 V 에서 측정된 이력곡선은 비교적 높은 전압에 의한 전하 누설 (charge leakage) 로 인해 약간의 offset 이

있음을 볼 수 있었다. 이들 이력곡선으로 부터 구한 전하축적밀도 (charge storage density) 는 2.5, 5, 7.5, 10 V 에서 각각 25.2, 50.5, 74.2, 96.3 $fC/\mu m^2$ 이었다. 5 V 에서의 전하축적밀도 50.5 $fC/\mu m^2$ 는 P. C. Joshi 등^[11]이 MOD (metal organic decomposition) 법으로 제작한 두께 500 nm 인 BST 박막의 5 V 에서 전하축적밀도 39.6 $fC/\mu m^2$ 에 비해 상당히 큰 값이다.

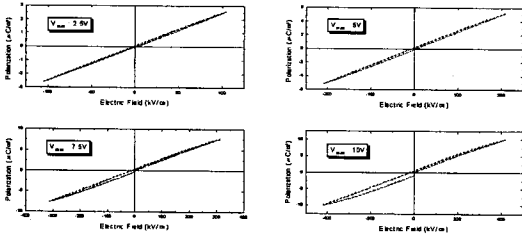


그림 9. 인가전압에 따른 BST 박막의 hysteresis loop (BST 박막 두께 : 240 nm)
 Fig. 9. Hysteresis loops of the BST thin films with a various applied voltage. (BST film thickness : 240 nm)

IV. 결 론

본 연구에서는 BST 박막을 RF magnetron reactive sputtering 법으로 제작하여, BST 박막의 결정화 특성 및 표면상태와 함께 전기적 특성을 조사하였다. XRD 측정 결과 550°C 에서 as-deposit 한 BST 박막은 비정질 상태를 보이나, 800°C 에서 2분간 후열처리한 BST 박막은 perovskite 구조로 결정화 되었음을 확인할 수 있었다. 또, AFM 관찰 결과, 800°C 에서 2분간 후열처리한 BST 박막의 표면 거칠기는 16.1Å 으로 비교적 양호한 값을 나타내었다. AES 관찰 결과, BST/Pt 계면을 제외하고는 Ba, Sr, Ti 와 O 의 조성은 매우 균일하게 분포하고 있으며 BST 박막과 Pt 사이에 계면층이 형성되었음을 알 수 있었다. 두께별 (80, 100, 120, 180, 240 nm) 로 550°C 에서 as-deposit 된 BST 박막을 800°C 에서 2분간 후열처리한 다음, 박막에 상부전극을 증착시켜 planar type 의 캐패시터를 제작하여 전기적 특성을 조사하였다. BST 박막의 두께가 80 nm 에서 240 nm 로 증가함에 따라 10kHz 의 주파수에서 비유전률은 199 에서 265 로 증가하였고 유전손실은 0.053 에서 0.013 으로 감소하였으며, 누설전류밀도는 200 kV/cm

의 전기장에서 각각 0.682, 0.600, 0.491, 0.315, 0.181 $\mu A/cm^2$ 으로 급격히 감소하는 추세를 보였다. 이와 같이 BST 박막의 두께가 증가할수록 비유전률이 커지는 이유는 BST 박막과 전극사이에 저유전률을 갖는 계면층이 존재하기 때문이라고 생각되며, 이를 확인하기 위해 BST 박막에 대한 capacitance 역수의 두께 의존성을 조사하였다. 이로부터 구한 bulk 쪽의 비유전률 (ϵ_B) 은 318 이고 계면층의 비유전률 (ϵ_i) 은 18.9 이고 두께 (d_i) 가 3 nm 임을 알 수 있었다. 240 nm 두께의 BST 박막의 이력곡선을 측정해, 본 연구에서 제작한 BST 박막이 상유전체임을 확인하였고, 이들 이력곡선으로 부터 구한 전하축적밀도 (charge storage density) 는 2.5, 5, 7.5, 10 V 에서 각각 25.2, 50.5, 74.2, 96.3 $fC/\mu m^2$ 임을 알 수 있었다.

두께 240 nm 인 BST 박막의 경우, 5 V 에서의 전하축적밀도와 누설전류밀도는 각각 50.5 $fC/\mu m^2$ 와 0.182 $\mu A/cm^2$ 이었으며, 이는 DRAM 의 캐패시터 절연막 응용에 매우 유망한 물질임을 나타내는 결과라고 할 수 있다.

참 고 문 헌

[1] K. Koyama, T. Sakuma, S. Yamamichi, H. Watanabe, H. Aoki, S. Ohya, Y. Miyasaka, and T. Kikkawa, "A Stacked Capacitor with $(Ba_xSr_{1-x})TiO_3$ for 256M DRAM", International Electron Devices and Materials Symposium Technical Digest, pp. 823-826 (1991).
 [2] T. Makita, T. Horikawa, H. Juroki, M. Kataoka, J. Tanimura, N. Mikami, K. Sato, and M. Nunoshita, "Electrical Properties and Film Structures of $(Ba_xSr_{1-x})TiO_3$ Thin Films by RF Sputtering", Mat. Res. Soc. Symp. Proc., 284, p. 529 (1993).
 [3] A. F. Tasch, and L. H. Parker, "Ferroelectric Materials for 64Mb and 256Mb DRAMs", IEEE Circuits and Devices Magazines, pp. 17-26 (1990).
 [4] D. Tahan, A. Safari, and L. C. Klein, "Sol-Gel Preparation of Barium Strontium Titanate Thin Film", Proceedings of the Ninth IEEE International Symposium

- on Applications of Ferroelectrics, pp. 427-430 (1994).
- [5] 류정선, 강성준, 윤영섭, “조성변화에 따른 BST 박막의 특성에 관한 연구”, 전자공학회 논문집, **33A**, 6, pp. 120-126 (1996)
- [6] C. S. Hwang, B. T. Lee, S. O. Park, J. W. Kim, H. J. Cho, C. S. Kang, H. Horii, S. I. Lee, and M. Y. Lee, “Interface Potential Barrier Height and Leakage Current Behavior of Pt/(Ba, Sr)TiO₃/Pt Capacitors Fabricated by Sputtering Process”, *Integrated Ferroelectrics*, **13**, pp. 157-177 (1996).
- [7] P. Bhattacharya, T. Komeda, K. H. Park, and Y. Nishioka, “Comparative Study of Amorphous and Crystalline (Ba, Sr)TiO₃ Thin Films Deposited by Laser Ablation”, *Jpn. J. Appl. Phys.*, **32**, 9B, pp. 4103-4106 (1993).
- [8] W. Jo, D. C. Kim, H. M. Lee, and K. Y. Kim, “Leakage Current Behaviors of Ba_{0.5}Sr_{0.5}TiO₃ Thin Films on Pt, RuO₂, and Pt/RuO₂ Bottom Electrodes”, *Mat. Res. Soc. Symp. Proc.*, **433**, pp. 57-62 (1996).
- [9] J. M. Bell, P. C. Knight, and G. R. Johnston, “Ferroelectric-Electrode Interactions”, *Ferroelectric Thin Films: Synthesis and Basic Properties*, chapter 4, Gordon and Breach Publishers (1996).
- [10] J. Carrano, C. Sundhama, J. Lee, A. Tasch, and W. Miller, “Electrical and Reliability Characteristics of PZT Ferroelectric Thin Films for DRAM Applications”, *IEDM Tech. Dig.*, pp. 255-258 (1989).
- [11] P. C. Joshi, R. P. Tandon, and A. Mansingh, “Barium Strontium Titanate Thin Films by Metallo Organic Solution Technique for DRAM Applications”, *Proceedings of the First Asian Meeting on Ferroelectricity*, **197**, pp. 139-143 (1997).

저 자 소 개



尹 英 燮(正會員)

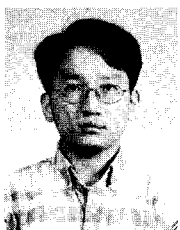
1952년 9월 7일생. 1975년 2월 서울대학교 금속공학과 졸업(B.S.). 1977년 2월 한국과학기술원 재료공학과 졸업(M.S.). 1988년 12월 U.S.C. 전자공학과 졸업(Ph.D.). 1987년 3월 ~ 1988년 5월 Oklahoma State University 대우교수. 1988년 12월 ~ 1989년 6월 UCLA Device Research Lab. 연구원. 1989년 8월 ~ 1992년 2월 삼성전자 기흥반도체연구소 수석연구원. 1996년 4월 ~ 현재 인하대학교 전자재료공학과 부교수. 주관심분야는 ULSI DRAM을 위한 신물질 개발, 강유전성 박막, Pyroelectric 센서, SAW Device



姜 聲 俊(正會員)

1965년 7월 10일생. 1989년 2월 인하대학교 전자재료공학과 졸업(M.S.) 1994년 9월 ~ 인하대학교 전자재료공학과 박사과정. 주관심분야는 DRAM 및 NVFRAM 응용을 위한 강유전체 박막, Pyroelectric

센서



張 東 勳(正會員)

1971년 3월 13일생. 1995년 2월 수원대학교 전자재료공학과 졸업(B.S.). 1997년 8월 인하대학교 전자재료공학과 졸업(M.S.). 1997년 9월 ~ 현재 인하대학교 전자재료공학과 박사과정. 주관심분야는 ULSI DRAM 응용을 위한 강유전체 박막