

論文98-35D-5-1

PCS 용 GaAs VCO/Mixer MMIC 설계 및 제작에 관한 연구 (Design and Fabrication of GaAs MMIC VCO/Mixer for PCS Applications)

姜 賢 一 * , 吳 在 應 * , 柳 基 絃 ** , 徐 光 錫 **

(Hyun-Il Kang, Jae-Eung Oh, Ki-Hyun Ryu, and Kwang-Suk Seo)

요 약

PCS용 수신기의 주요 RF 부품인 VCO (Voltage Controlled Oscillator)와 주파수 혼합기를 $1\mu\text{m}$ ion implanted GaAs MESFET 및 L-C-R lumped element로 구성된 MMIC 공정을 사용하여 단일화하였다. VCO는 Colpitts형태로서 phase noise 향상을 위해 dielectric resonator를 사용하여 100 KHz offset에서 -99 dBc/Hz 을 얻을 수 있었으며, 주파수 혼합기는 두개의 FET를 cascode로 연결하여 single-ended FET mixer의 형태를 취하였으며 FET의 비대칭 형태를 이용하여 intermodulation특성을 최적화 하였다. VCO에 속해있는 buffer 증폭기와 mixer 는 common-source self-biasing circuit을 사용하여 3 V 단일 전원으로 동작되도록 하였고 전체 회로의 소모 전류는 26 mA 였다. 제작된 VCO/Mixer는 varactor bias 가 -0.5 V 에서 0.5 V 까지 변할 때 2 dB의 균일한 변환이득을 보여주었으며, 전압에 따른 주파수 변환 효율은 약 80 MHz/Volt 였다. Varactor bias가 0 V 일때 output 3rd order intercept point는 3 dBm 이 였다. Noise figure 는 11 dB 였다. 제작된 총 칩 크기는 $2.5\text{ mm} \times 1.4\text{ mm}$ 였다.

Abstract

A GaAs MMIC composed of VCO (Voltage Controlled oscillator) and mixer for PCS receiver has been developed using $1\mu\text{m}$ ion implanted GaAs MESFET process. The VCO consists of a colpitts-type oscillator with a dielectric resonator and the circuit configuration of the mixer is a dual-gate type with an asymmetric combination of LO and RF FETs for the improvement of intermodulation characteristics. The common-source self-biasing is used in all circuits including a buffer amplifier and mixer, achieving a single power supply (3 V) operation. The total power dissipation is 78 mW. The VCO chip shows a phase noise of -99 dBc/Hz at 100 KHz offset. The combined VCO/Mixer chip shows a flat conversion gain of 2 dB, the frequency-tuning factor of 80 MHz/volts in the varacter bias ranging from 0.5 V to 0.5 V , and output IP3 of 3 dBm at varactor bias of 0 V. The fabricated chip size is $2.5\text{ mm} \times 1.4\text{ mm}$

* 正會員, 漢陽大學校 電子工學科 電子材料 및 部品 研究센터

(Center for Electronic Materials and components Dept of Electronic Engineering)

** 正會員, 서울大學校 電氣工學部

(School of Electrical Engineering, Seoul Nat'l Univ.)

接受日字:1998年2月9日, 수정완료일:1998年4月28日

I. 서 론

이동 통신용 장비의 경우 핵심부품의 소형화, 고집적화, 저전력화가 절실히 요구된다. 이를 위하여 최근에 들어서는 GaAs FET를 이용한 회로를 상용화하고 있으며 회로 전체를 단일 칩으로 제작함으로써 대량 생산 및 이에 따른 저가격화 그리고 저전력 소모로 인한 장점을 갖는 monolithic approach에 대한 연구가

활발히 진행중이다. 이에 따라 본 논문에서는 단일 기판상에 회로를 집적하여 제조하는 모노리식 마이크로파 집적회로 (Monolithic Microwave Integrated Circuit; MMIC) 기술을 이용하여 주파수 선택부의 핵심 회로 block인 VCO (Voltage Controlled Oscillator)와 mixer를 단일 칩 화하여 그 특성을 고찰하였다.

발진기의 경우 깨끗한 발진특성을 갖는 회로를 개발하는 것이 핵심 기술이다. 깨끗한 발진이라 함은 발진기의 위상잡음을 최소화 하는 것을 의미하며 이를 위해서는 3가지의 고려해야 할 사항이 있다. Carrier 의 power, 발진기의 잡음 지수, 그리고 발진기의 충실도 (quality factor) 인데 발진기의 잡음 지수는 최적화가 어려우나 수동소자의 저항 값이 작으면 열잡음원의 크기도 작으므로 잡음지수가 작아진다. 또한 carrier의 power는 mixer의 사양에 의해서 영향을 받는다. 본 논문에서 중점적으로 고려한 것은 발진기의 충실도를 크게 하는 방법에 대한 것이고 이렇게 해서 최적화 된 회로가 설계에 포함되었다.

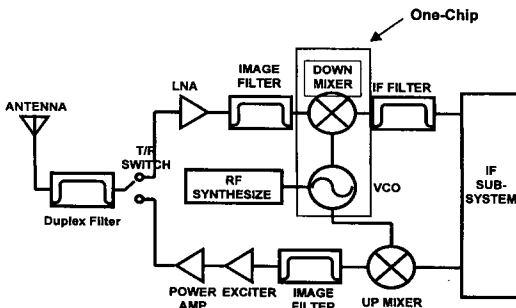


그림 1. Super heterodyne transceiver의 block diagram

Fig. 1. Block diagram of Super heterodyne transceiver.

Mixer는 그림 1에서 보는 바와 같이 super-heterodyne방식 송수신기의 한 부품으로 RF (Radio Frequency) 및 VCO에서 발생되는 LO (Local Oscillator) 신호를 입력으로 하고 소자의 비선형 특성을 이용하여 이 두 신호 주파수의 차인 IF (Intermediate Frequency) 신호를 출력으로 하는 회로이다. 이러한 특성을 가지는 여러가지 mixer 중에 초창기의 다이오드 mixer는 우수한 비선형 특성으로 인하여 혼합특성이 우수하여서 많이 쓰였지만 높은 LO power를 필요로하여 이 경우 LO에서 유입되는 잡음

으로 인해 잡음 특성이 저하된다. 반면에 본 논문에서 사용된 FET mixer는 변환 이득 특성과 함께 트랜지스터의 특성상 intermodulation distortion이 작고 dynamic range가 넓은 장점이 있다. 이러한 FET mixer는 입력된 신호의 harmonics를 억압하는 방식에 따라서 여러 가지 방식으로 나뉘어진다. 대표적으로 single-ended mixer, single-balanced mixer 및 double-balanced mixer등이 있는데, balanced mixer구조는 conversion gain, noise figure, IM (intermodulation), port to port isolation 특성이 우수한 반면에 구조가 복잡하며 balun의 사용으로 인해 MMIC 화가 어려운 단점이 있다^[1]. 따라서 본 논문에서는 비교적 간단한 구조를 지니며 MMIC 공정이 쉽게 이뤄질 수 있는 single-ended 구조를 사용하였다. 또한 common-source self-bias 회로를 LO 및 RF 회로에 적용하여 완벽한 단일 전원 동작을 구현함으로써 생산용으로서의 설계 및 제작 기술을 검토하였다^[3]. 또한 mixer는 소자의 비선형 특성을 극대화하도록 설계되어야 하는 반면에 이러한 비선형 특성은 회로의 intermodulation특성을 저해하는 까닭으로 회로의 사양에 가정 적절하게 최적화되어야 하는 어려움이 있다^[2]. 그리하여 본 논문에서는 이러한 intermodulation 특성의 개선을 위하여 FET의 비대칭 구조를 이용하였다^[3].

II. 설계 방법

1. Mixer 회로설계

본 논문에서 사용된 cascode 연결을 이용한 dual-gate mixer는 그림 2와 같이 두개의 single-gate FET가 직렬로 연결된 구조이며, 각각의 FET는 각기 인가되는 드레인-소스 전압과 게이트-소스 전압에 의해 제어되는데, 실제 동작 전압은 이 두 단자 사이에 직접 인가 되지는 않는다. 즉 국부 발진 LO의 신호는 상단 FET 게이트와 하단 FET의 소스에 가해지므로 상단 FET 를 제어하는 게이트-소스 전압은 구조상 측정할 수 없으며 하단 FET의 드레인-소스 전압과 밀접한 관계를 가지고 있다. 혼합기로 동작 시 LO는 상단 FET (FET2) 의 게이트에, RF는 하단 FET (FET1)의 게이트에 인가하여 FET의 transconductance 비선형 특성을 이용하여 두 주파수 차에 해당하는 IF 신호를 생성한다. 따라서 FET의 transcon-

ductance 비선형성이 큰 영역에서 적절한 동작점을 찾는 것이 무엇보다 중요하다^[2].

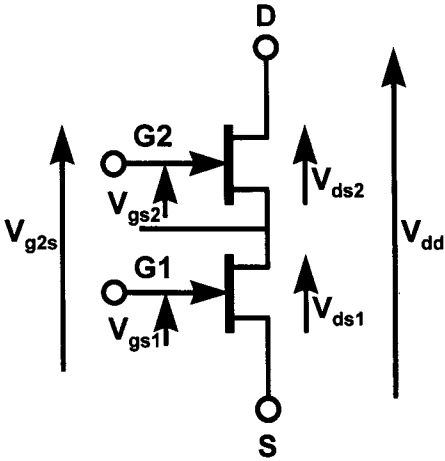


그림 2. Cascode 연결방법으로 구현한 dual-gate FET의 구조 및 bias condition
 Fig. 2. Circuit configuration and bias condition of dual-gate mixer using cascode connection.

두개의 FET가 직렬로 연결 되었을 때 두 소자가 동시에 전류 포화상태로 동작할 경우, FET의 채널은 두개의 전류원이 직렬로 이어진 것으로 볼 수 있으므로 안정된 동작점을 가지는 것이 불가능하다. 결국 한 소자는 선형 영역에서 동작하도록 하고 다른 소자는 포화 영역에서 동작하도록 바이어스를 걸어야 한다. 이때 대부분의 인가 전압 V_{dd} 는 포화 영역에서 동작하는 FET에 걸리게 된다.

그림 3은 cascode형식으로 연결된 FET의 V_{gs2} , V_{gs1} , V_{ds1} , V_{ds2} 와 I_d 관계를 I-V 곡선으로 나타내었다. 상단 FET2는 모든 LO의 고조파에 대해 접지되어 있다고 가정하면, cascode mixer 전체에 걸리는 V_{ds} 는 V_{dd} 로 일정하다고 볼 수 있다. LO 전압 V_{g2s} 를 변화 시켜 V_{gs1} 과 I_d 의 관계가 식 (1)과 같이 2차식 이상으로 표현되는 비선형 동작을 하도록 하기 위해서, 그림 3의 점선으로 표시된 부분에 해당하는 곳에 동작점을 잡아야 한다^[1-2].

$$i_{ds}(t) = g_1(t)v_{gs}(t) + g_2(t)v_{gs}^2(t) + g_3(t)v_{gs}^3(t) + \dots \quad (1)$$

$$\text{where } g_n = \frac{1}{n!} \left. \frac{\partial^n I_{ds}}{\partial V_{gs}^n} \right|_{V_{gs} = V_0} \quad (2)$$

그림을 보면 이 부분에서 FET2가 포화 영역에, FET1이 선형영역에 동작점이 존재하며, V_{gs1} 이 일정하다고 가정할 경우, V_{g2s} 의 변화 (혹은 같은 의미로서 V_{ds1} 의 변화)에 의해 transconductance가 광범위하게 변하게 됨을 알 수 있다. 여기서 V_{gs1} 이 너무 작게 설정되면 V_{g2s} 가 부(-) 전압까지 크게 변해야만 충분한 transconductance의 변화가 얻어지므로 적절한 V_{gs1} 을 선택하는 것이 중요하다. 어떤 회로의 경우에는 V_{gs1} 에 대해 transconductance가 선형의 관계를 가지도록 하여 single-gate FET 혼합기에 비해 intermodulation 영향을 줄이는 방법을 사용하기도 한다^[3]. Cascode FET mixer의 단점은 FET1이 선형 영역에서 동작하므로 transconductance $\partial I_{ds} / \partial V_{gs1}$ 이 포화 영역에서 동작하는 single-gate FET 혼합기에 비해 작은 값을 가지고, 상대적으로 낮은 드레인-소스 저항때문에 IF 출력을 단락 시키는 경향이 있어서, 혼합기의 변환 이득이 줄어드는 것이다. 한편 FET2는 포화 영역에서 동작하므로, 약간의 transconductance의 변화에 의해서도 FET1의 드레인 전류와 FET2 게이트에 인가되는 LO 신호 사이의 혼합 현상을 어느 정도 볼 수 있다. FET2는 IF 신호에 대해 게이트가 단락 되었다고 가정하면, common gate 증폭기로서 동작하고 입력 임피던스 $1/\langle g_m(t) \rangle$ ($\langle g_m(t) \rangle$ 는 FET2의 평균 transconductance)로 나타낼 수 있으며, 이는 앞에서 기술한 FET1의 출력 임피던스(드레인-소스 저항)에 비해 상당히 크다. 결국 FET 1의 출력부와 FET 2의 입력부의 임피던스 간의 큰 차이로 인해 이득이 작다. 이와 같은 문제들은 MMIC와 같이 면적의 제약을 받는 구조에서 적은

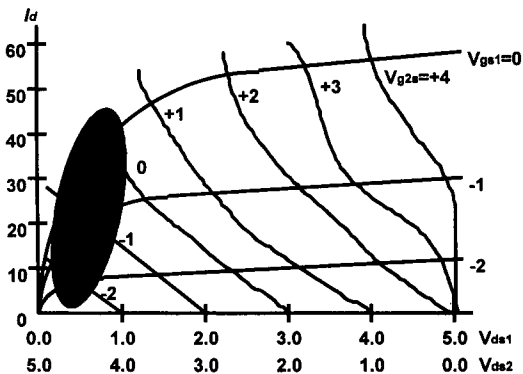


그림 3. Dual-gate FET의 전류-전압 특성. 빗금친 부분은 mixer 동작을 위한 최적 bias point
 Fig. 3. I-V characteristics of Dual-gate FET. The shaded region shows the proper bias condition for the mixer operation.

수의 소자로 LO 와 RF 의 분리를 실현할 수 있다는 장점^[4] 을 지니고 있는 cascode mixer가 효율이 높은 동작을 위해서 정합 회로의 최적화 등으로 해결 해야 할 난점들이다.

이러한 단점을 극복하기 위해서 우선 게이트와 드레인 을 원하지 않는 LO 및 RF 고조파와 혼합주파수에 대해 단락 회로로 보여지도록 설계한다. RF 와 LO 의 입력부, 즉 FET 1와 FET 2 의 게이트 에서는 각 신호 주파수에 해당하는 정합 회로를 설계하여야 하며, LO에 비해 작은 전력의 RF신호에 대해 더 정확한 정합을 실현하도록 한다. IF 출력부에서는 IF 신호의 전력이 소모되지 않도록 하여 드레인 전압이 일정하게 유지되게 한다. 또한 피드백 인덕터를 사용하여 FET2 의 게이트를 IF 주파수에 대해 접지하면 FET2의 IF 증폭작용을 최적화할 수 있는데, 이 경우 LO 정합회로는 IF 신호에 대해 높은 임피던스를 나타내도록 해야 한다.

Mixer와 VCO설계는 일반적인 증폭기와는 달리 각 bias point에서 각 small-signal element 의 비선형성을 포함하는 대신호 등가 모델이 필요하다. GaAs FET의 경우 여러 형태의 empirical 대신호 모델이 제안되었으나^{[6]~[9]}, 대신호 등가 모델의 비선형성을 정확히 나타내지 못하며 특히 mixer 의 주 동작점인 threshold voltage 부분을 정확히 표현하지 못하는 것으로 알려져 있다. 또한 intermodulation 특성을 simulation하기 위해서는 transconductance의 high-order derivative에 대한 정확한 표현식을 포함하여야 한다. 본 논문에서 사용한 HP-ROOT 모델은 측정에 기초한 능동 소자 모델로서 방대한 양의 측정 데이터를 갖고 있어야 하는 단점이 있으나 소자의 전체 동작 범위에서 회로의 비선형성 및 harmonic 특성들을 잘 나타내는 장점이 있다. 전류 구성 관계식을 구함으로써 선형 및 비선형 전류식을 완성하였으며, IC-CAP 내부의 모델 생성 시스템에 의해 HP-ROOT모델을 생성시켜 이를 초 고주파용 시뮬레이터인 MDS에서 root 모델을 이용하여 시뮬레이션을 수행하였다. VCO 와 mixer 는 HP-EEsof MDS의 비선형 회로 설계 방법인 harmonic balance analysis를 수행하여 설계 하였다^[10].

RF 주파수 영역은 1840 1870 MHz 이며, VCO의 LO신호와 mixing하여 나온 IF의 center 주파수는 440 MHz이며 앞서 설명한 cascode FET mixer의

설계 요령에 의거하여 입력정합을 수행하였다. 또한 단일 전원 공급을 위해 common-source self-biasing 회로를 구현하였다. 이 self bias의 특징으로는 그림 4에서 보는 바와 같이 드레인 전류가 갑자기 증가하였을 때 gate1와 source 사이에 걸리는 전압을 작게 하여 드레인 전류가 원래 대로 다시 줄어들게 하고 이러한 메커니즘의 반복으로 인해 일정한 drain 전류가 흐르게 된다. 이 self-bias의 또 하나의 장점으로 는 전원부를 drain bias 하나로 단일화 시켜줄 수 있어 MMIC에 적당한 방식이라고 할 수 있다. 이 과정에서 각 입력의 동작점은 앞에서 논한 방법으로 설정하였고 참고문헌 [3] 에서처럼 mixer의 dynamic range를 넓히고자 gate width를 최적화 하여 LO FET (Q2)의 gate width를 $800\mu\text{m}$ 로 RF FET (Q1)을 $200\mu\text{m}$ 로 하였다. 그림 4에서는 VCO/Mixer에서의 mixer의 회로구성을 나타내었다.

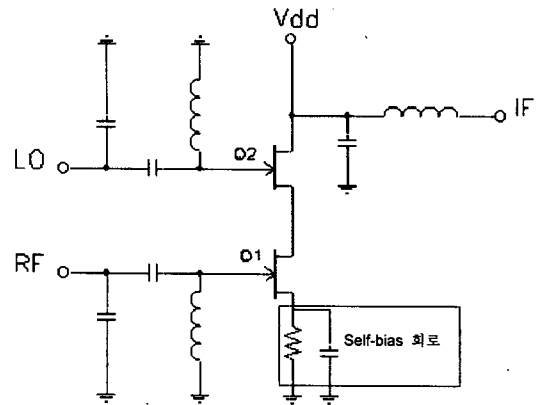


그림 4. 입력정합 및 self-biasing 회로를 포함한 mixer의 회로도

Fig. 4. Designed circuit topology of the mixer including the input matching and self-biasing circuitry.

VCO와 mixer의 단일화 이전의 mixer자체만의 LO power dependency를 보면 그림 5와 같다. LO power가 5 dBm까지는 변환이득이 거의 linear하게 증가하다가 5 dBm 이상에서는 다시 이득이 감소하는 특성을 볼 수 있다. 그리하여 다음 절에서의 VCO는 LO power를 5 ~ 0 dBm의 출력 power를 낼 수 있게 설계 제작하였다.

2. VCO 회로설계

VCO의 설계에 있어서 고려해야 할 것은 크게 3가

지가 있다. 먼저 공진부의 결정과 이의 정확한 모델링을 우선적으로 해야 하고, 주파수 가변범위를 만족시킬 수 있는 varactor의 크기를 결정 해야 하며, 이와 동시에 원하는 주파수 범위 내에서 안정된 발진을 유지할 수 있도록 하기 위한 FET의 크기를 결정 해야 한다. 또한, 이 3가지 사항은 반복된 simulation을 통하여 다시 조절되어야 한다.

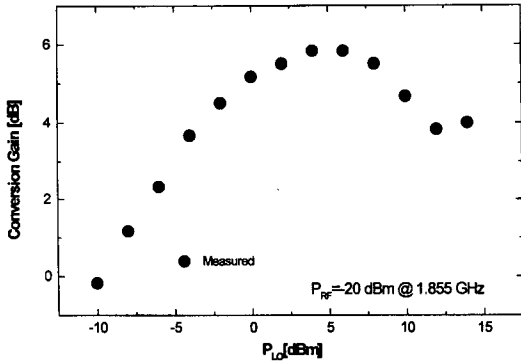


그림 5. LO power의 변화에 따른 mixer의 conversion gain의 변화
Fig. 5. Measured conversion gain as a function of LO power.

본 논문에서 설계된 VCO는 colpitts Type으로 하였고 공진부는 외부에서 유전체 공진기를 사용하였다. 이때 사용된 DR은 TEM-mode형태로써 공진주파수는 1830 MHz였고 VCO의 동작 주파수 범위인 1360~1420 MHz에서 quarter wavelength보다 짧기 때문에 inductive하게 동작한다. DR의 공진주파수는 실제 동작 주파수에 가까울수록 phase noise 특성은 향상되나 동작 주파수의 조정범위가 작아지므로 DR의 사양에 맞는 적절한 선택이 중요하다.

칩 외부에 연결되는 DR과 bonding wire를 포함하여 공진부 전체를 병렬 공진회로로 모델링 하였으며 모델링 된 등가 병렬 공진회로의 R, L, C값은 각각 5324 ohm, 1.95 nH, 3.76 pF였다. 또한 주파수 가변을 위해서 Schottky MESFET varactor를 이용하였고 VCO 뒷단에 buffer단을 별도로 연결하였다. Buffer단을 달아줌으로써 뒷 단에 의한 임피던스의 변화를 막아주어 VCO의 발진주파수가 설계된 상태를 유지할 수 있도록 하였다. 그림 6은 VCO의 설계 회로도이다.

Varactor의 크기를 결정하기 위해서 source-gate feedback capacitor에 해당하는 varactor C1을 등가

capacitor로 대치하여 그 크기를 변화시켜가면서 발진부의 임피던스 특성을 관측하였다. 그리하여 capacitance 변화를 가지는 varactor의 크기는 gate 저항과 size를 줄이기 위해 2μm gate length, 400μm gate width로 결정하였다. 예를 들어 1μm gate length로 400μm width varactor 구현 시에 100 x 4로 할 수도 있으나 2μm gate로 하면 100 x 2로도 가능하여 크기를 절반으로 줄일 수 있다.

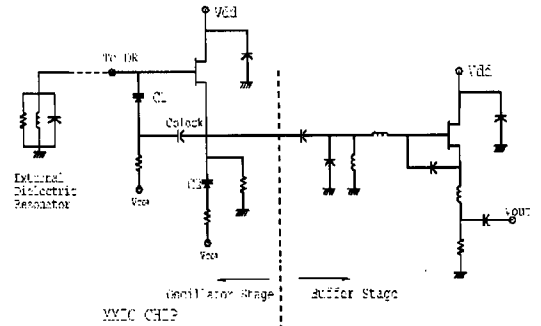


그림 6. Colpitts 형태의 Buffer단이 있는 VCO 회로의 개략도
Fig. 6. Schematic of VCO circuit which is composed of a colpitts-type oscillator with Buffer amplifier.

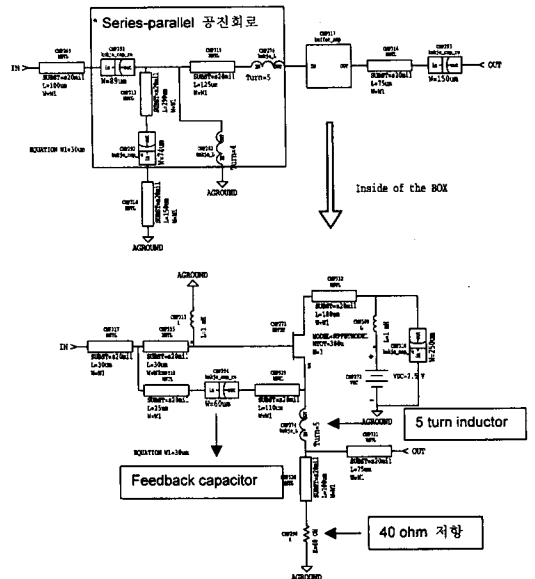


그림 7. Buffer단의 상세 회로도
Fig. 7. Schematic of buffer amplifier.

FET의 크기는 g_m을 결정하고 부성저항의 크기는 g_m에 비례한다^[2]. 발진기의 공진부는 피할 수 없는

loss가 있고, 이를 발진부에서 보상해 주어야 하므로 공진부의 loss정도에 따라 FET의 크기는 달라진다. 주파수 조정범위가 넓으면 그만큼 varactor의 크기가 커지고 상대적으로 loss도 증가하기 때문에 더 큰 FET를 달아주어야 한다. 본 논문에서는 simulation 결과 $400\mu\text{m}$ 가 적당한 것으로 나타났다. VCO의 출력 임피던스가 변화하게 되면 발진주파수가 변하게 되는데 이를 억제하기 위해서는 VCO의 주파수 결정단과 출력을 분리시켜주는 회로가 필요하고 이를 위해서 buffer 증폭기를 달아주었다. 일반적인 amplifier와 마찬가지로 buffer amplifier도 50 ohm matching을 하면 된다. 특히 VCO의 경우에는 동작주파수 영역 내에서는 matching이 잘 되어야 이미 설계된 앞단의 발진기를 수정 없이 이용할 수 있다. 그림 7에서와 같이 buffer단의 입력 matching을 위하여 series-parallel 공진회로를 구성하여 bandwidth를 넓혔다. 또한 입력 matching이 load 임피던스의 변화에 둔감해야 하므로 이를 위해서 source에 직렬로 40 ohm 저항과 5-turns inductor를 달아서 전체 임피던스는 inductor에 의해 결정되게 하였다. buffer에 사용된 FET의 크기 결정을 위해서는 2 가지를 고려해야 한다. FET의 크기가 커질수록 입력 임피던스가 작아지므로 입력 matching이 쉬워지지만 전류가 많이 흐르므로 DC전력 소모가 증가하게 된다. 그래서 FET의 크기는 $300\mu\text{m}$ 로 하고 gate-source feedback capacitor를 달아주어서 입력 임피던스를 낮추면서 소모전력도 작게 유지할 수 있게 하였다. 그림 7은 이렇게 해서 설계된 buffer 단의 상세 회로도이다.

III. 회로제작 및 측정결과

1. 회로제작

MMIC VCO/Mixer는 반절연 GaAs기판에 제작되었으며, 능동 소자는 ion-implanted MESFET을 사용하였으며, 수동 소자로는 MIM 커패시터, NiCr금속을 사용한 박막저항과 나선형의 인덕터가 사용되었다.^[10]

Ion-implanted GaAs MESFET은 반절연 GaAs기판에 실리콘 이온을 주입하여 채널층인 N^- 층과 오믹 전극 형성층인 N^+ 층을 형성하여 제작하였다. 채널층인 N^- 층의 면 저항은 $600\text{--}900\ \Omega/\text{sq}$.로 유지하였다. Boron ion-implantation을 사용하여 각 소자간

절연을 하였으며, 전극 메탈의 폭이 $200\mu\text{m}$ 이고 갭이 $5\mu\text{m}$ 인 절연 모니터 패턴으로부터 20 V 양단간 전압에서 누설전류가 $1\mu\text{A}$ 이하인 양호한 절연 결과를 보였다. 실리콘이 high doping 된 N^+ 층 위에 소오스 와 드레인 전극을 형성하였으며 electron-beam 증착기로 증착한 후 급속 열처리한 오믹 접촉의 비저항율이 $1 \times 10^{-6}\ \Omega\text{-cm}^2$ 이하로 우수한 특성을 보였다. 게이트 리세스 식각후 게이트 전극 금속인 Ti/Pt/Au를 증착하여 MESFET의 전극형성을 완료하였다. 한편 MMIC 칩에 사용되는 것과 같은 interdigitated 형태의 MESFET은 에어브리지 공정 이전에는 소오스 패드 전극간에 배선이 되어있지 않은 상태이므로, 게이트 전극 형성후 소자를 간접적으로 확인하기 위하여 π -게이트 형태의 MESFET을 제작 사용하였다.

소자의 보호막이나 커패시터의 유전 물질로 사용하고 있는 질화막은 PECVD 방법으로 증착하였다. 질화막의 굴절율은 1.9-1.95 정도이고 두께는 열처리 캡용으로 80 nm, 1차 보호막 150 nm 그리고 2차 보호막 및 MIM 유전 물질로 200 nm의 질화막을 증착하여 사용하였고, 굴절률 및 두께의 측정은 ellipsometer로 실시하였다. 박막저항은 NiCr 금속을 사용하여 제작하였으며, 면 저항 값은 $100 \pm 5(\Omega/\text{sq})$ 로 우수한 균일도를 가지고 있다. 1차연결 배선 금속으로는 Ti와 Au를 $1\mu\text{m}$ 두께로 증착하여 연결하였으며 MIM 커패시터의 아랫쪽 전극으로도 사용되었다. 소자의 전극과 1차 배선 금속과의 연결 그리고 2차 배선과의 연결은 질화막 (Si_3N_4)을 RIE (Reactive Ion Etcher)로 식각하여 만든 via-hole을 통하여 이루어지며 RIE 반응기체는 O_2 가 10% 혼합된 CF_4 가스를 사용하였다.

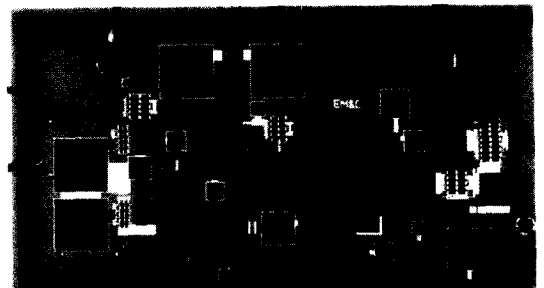


그림 8. 제작된 MMIC VCO/Mixer의 microphotograph

Fig. 8. A microphotograph of fabricated MMIC VCO/Mixer.

2차 연결 배선 금속은 Au를 3 μ m 두께로 도금하여 형성하였다. 2차 연결 배선 금속은 패드메탈, MIM 커패시터의 위 전극으로 사용되어졌으며, 에어브리지를 형성하여 나선형의 인덕터를 제작하고 MESFET의 소오스 전극들을 연결하였다. 2차 배선금속의 제작으로 웨이퍼의 전면 공정을 완료하였고, 기판의 두께를 100 μ m 정도로 후면을 연마한 후 2 μ m의 금을 전기 도금하여 후면 공정까지 완료하였다^[10]. 그림 8은 위와 같은 공정을 통하여 구현한 VCO/Mixer의 사진으로 제작된 chip의 크기는 2.5mm x 1.4 mm 이다.

2. 측정 결과

그림 9는 MMIC로 제작된 VCO를 HP 4352E VCO analyzer로 측정한 결과로서 phase noise는 100 KHz offset에서 -99 dBc/Hz인 것을 볼 수 있었다. 이것은 참고문헌 [11]의 HBT로 제작된 MMIC VCO의 -75 dBc/Hz @ 100 KHz offset과 참고문헌 [12]의 각각 -93 dBc/Hz @ 100 KHz offset 과 -80 dBc/Hz @ 100 KHz offset에 비해 더 나은 특성인 것을 알 수 있었다. 전체 전력 소모는 78 mW였다.

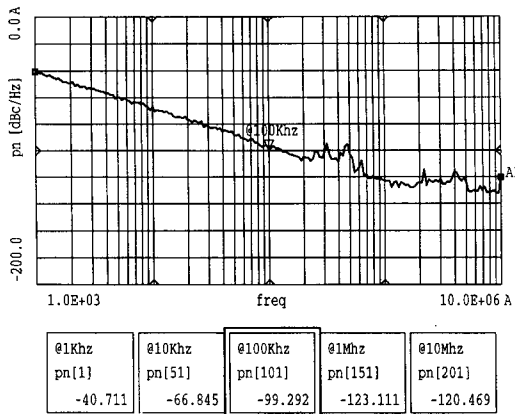


그림 9. MMIC VCO/Mixer의 phase noise spectrum.
Fig. 9. phase noise spectrum of MMIC VCO/Mixer.

그림 10은 VCO/Mixer에 있는 VCO의 varactor bias변화에 따른 IF frequency의 variation, conversion gain, IF 단에서의 LO power의 leakage를 보여주고 있다. IF 주파수는 varactor bias가 -0.5에서 0.5 V까지 변할때 440 MHz에서 520 MHz 까지 변화하므로 frequency control ability는 약 80 MHz/Volt 였으며 이때 2 dB의 균일한 conversion

gain을 보여주었다. IF 단의 LO power leakage는 45~-35 dBm 정도로서 VCO의 LO 출력 power가 5~0 dBm 정도 인 것을 감안하면 약 30~40 dB의 LO to IF isolation 을 보여준다.

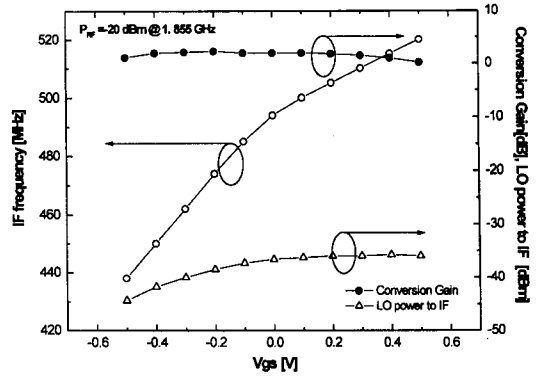


그림 10. Varactor의 tuning voltage에 따른 MMIC VCO/Mixer의 주파수 변이와 변환이득
Fig. 10. Frequency variation, conversion gain of MMIC VCO/Mixer as a function of a varactor bias.

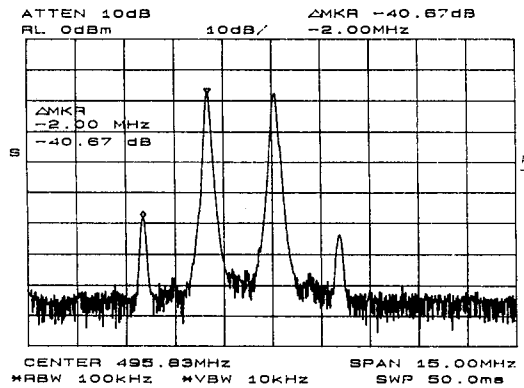


그림 11. MMIC VCO/Dual-gate mixer one-chip의 IM3 spectrum
Fig. 11. IM3 spectrum of MMIC VCO/Mixer.

그림 11은 two-tone excitation 측정을 위하여 20 dBm의 power를 갖는 RF 주파수가 각각 1.855 GHz, 1.857 GHz인 two-tone을 입력으로 하고 varactor bias가 0 V 일 때의 IM3 spectrum 이다. 이때 IM3 값은 40.67 dBc를 보여주었다. 그림 12는 varactor bias 변화에 따른 third-order intermodulation 값을 보여주며 varactor bias가 0 V에서 40.67 dBc로 다른 bias에서보다 우수한 특성을 보여주었다.

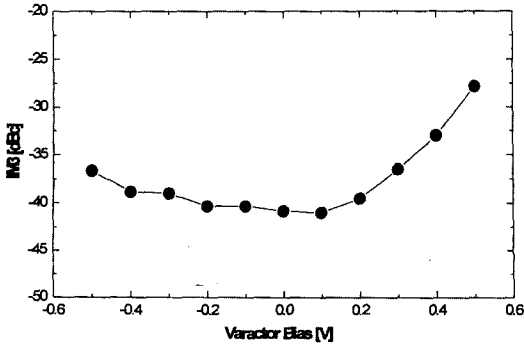


그림 12. MMIC VCO/Mixer의 varactor bias 변화에 따른 3rdorder intermodulation
 Fig. 12. 3rd-order intermodulation of MMIC VCO/Mixer as function of a varactor bias.

ration 되는 것을 볼 때 1.2 V one battery cell로서도 mixer의 동작이 가능하다는 것을 알 수 있다^[3].

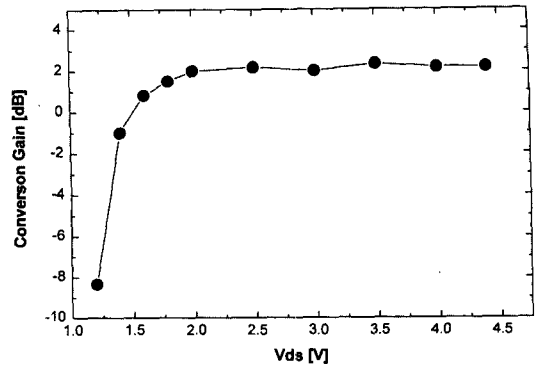


그림 14. MMIC VCO/Mixer 의 drain bias voltage 변화에 따른 conversion gain 의 변화
 Fig. 14. Conversion gain of MMIC VCO/Mixer as function of drain bias voltage.

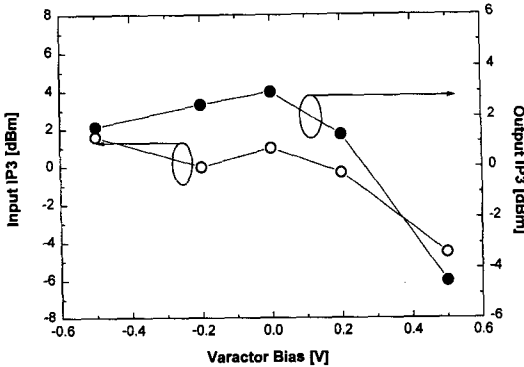


그림 13. MMIC VCO/Mixer의 varactor bias 변화에 따른 3rdorder intercept point
 Fig. 13. 3rd-order intercept point of MMIC VCO/Mixer as function of a varactor bias.

그림 13은 varactor bias변화에 따른 input/output 3rd-order intercept point를 보여주는 것으로서 그림 12와 거의 같은 경향을 보여주는 것으로 varactor bias가 음에서 0 V까지 변화해가면서 output IP3값은 증가 하다가 varactor bias가 양의 값을 가지면 그 값이 줄어드는 것을 볼 수 있었다. Varactor bias가 0 V일 때 output IP3가 3 dBm으로 5 dBm 이상의 실제 얻고자 했던 값보다 약간 낮은 것을 볼 수 있었다. 이는 VCO의 LO 출력 power이 약 5~0 dBm인 것을 감안하여 IM3의 LO 의존성을^[13] 따져볼 때 예상 할 수 있는 일이라 할 수 있겠다. 그림 14는 그림 4와 그림 6에 표시되어있는 mixer와 buffer 증폭기의 drain bias 즉 Vdd에 따른 conversion gain의 변화를 보여준다. 약 1.2 V에서 satu-

IV. 결론

VCO는 colpitts형태로서 phase noise 향상을 위해 dielectric resonator를 사용하여 100 KHz offset에서 -99 dBc/Hz를 얻을 수 있었으며, 주파수 혼합기는 두개의 FET를 cascode 형태로 연결하여 single-ended FET mixer의 형태를 취하였으며 FET의 비대칭 형태를 이용하여 intermodulation특성을 최적화하였다. VCO에 속해있는 buffer 증폭기와 mixer는 common-source self-biasing circuit을 사용하여 3 V 단일 전원으로 동작되도록 하였고 전체 회로의 소모 전류는 26 mA 였다. 제작된 VCO/Mixer는 varactor bias가 0.5 V에서 0.5 V 까지 변할 때 2 dB의 균일한 변환이득을 보여주었으며, 전압에 따른 주파수 변환 효율은 약 80 MHz/Volt 였다. Varactor bias가 0 V 일때 output 3rdorder intercept point는 3 dBm 이었다. 제작된 총 칩 크기는 2.5 mm x 1.4 mm 였다. 본 논문의 결과로서 상용화에 근접한 특성을 보여주는 MMIC VCO/Mixer의 집적화가 가능하며, MMIC를 기술로 한 까닭에 대량 생산에 따른 저가격화, 저 소모 전력 그리고 소형화로 단말기의 성능 개선에 기여 할 수 있을 것으로 믿어진다.

참고 문헌

[1] A. Stephan Maas "Microwave Mixers"

- 1986.
- [2] A. Stephan Maas "Nonlinear Microwave Circuit" 1988.
- [3] H. Kang, J. Oh, "An MMIC Single-Ended Mixer with improved intermodulation Characteristic and Low-power consumption for PCS application," *5th International Conference on VLSI and CAD.*, pp. 159-161, 1997.
- [4] M. Muraguchi, T. Hirota, A. Minakawa, K. Ohwada and T. Sugeta, "Uniplanar MMICs and Their Applications," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-36, pp. 1896-1901, Dec. 1988.
- [5] B. Gilbert, R. Baines, "Fundamentals of Active Mixers," Applied MICROWAVE & WIRELESS WINTER, 1995.
- [6] W. R. Curtice "A MESFET Model for Use in the design of GaAs ICs," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-28, pp. 448, Dec.1980.
- [7] W. R. Curtice and M. Ettenberg, "A Nonlinear GaAs FET Model for Use in the design of Output Circuits for Power Amplifiers," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-33, pp. 1383, Dec. 1985.
- [8] A. Materka, and T. Kacprzak, "Computer Calculation of Large-Signal GaAs FET Amplifier Characteristics," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-33, pp. 129, Dec. 1985.
- [9] H. Statz, P. Newman, I. W. Smith, R. A. Pucel, and H. A. Haus, "GaAs FET Device and Circuit Simulation in SPICE," *IEEE Trans. Electron Devices*, vol. ED-34, pp. 160, Dec. 1987.
- [10] 통상산업부, 화합물 반도체 전자소자 및 MMIC 기술개발에 관한 연구(3차년도 중간 보고서) 1996
- [11] R. K. Montgomery, "An HBT MMIC WIDEBAND VCO," *Microwave and Millimeter-wave monolithic Circuits Symposium*, pp. 73-76, 1991.
- [12] Y. Kim, "An L-band GaAs MESFET MMIC VCO," *Proceeding of ICVC conference*, pp. 528-530, 1997.
- [13] E. F. BEANE, "Prediction of mixer intermodulation levels as function of Local Oscillator power" *IEEE Transactions on Electromagnetic compatibility*, vol EMC-13, no. 2, May 1971, pp. 56-63.

저자 소개



姜賢一(正會員)

1973년 12월 13일생. 1996년 2월 한양대 전자공학과 졸업(공학사). 1997년 현재 한양대 전자공학과 석사 재학중. 주관심분야는 GaAs MMIC 설계



吳在應(正會員)

1959년 9월 19일생. 1981년 2월 한양대 전자공학과 졸업(공학사). 1984년 5월 Univ. of Nebraska 졸업(공학석사). 1987년 5월 Univ. of Nebraska 졸업(공학박사). 1988년 6월 Univ. of Michigan에서 Post-doctoral Fellow. 1989년 4월 Univ. of Michigan에서 Research Professor. 1997년 현재 한양대 전자공학과 부교수로 재직. 주관심분야는 초고속화합물 반도체소자, GaAs MMIC 설계



柳基紘(正會員)

1969년 12월 22일생. 1993년 2월 경북대학교 전자공학과(공학사). 1995년 2월 서울대학교 전자공학과(공학석사). 1995년 3월 ~ 현재 서울대학교 전자공학과 박사과정 재학중. 주관심분야는 화합물 반도체를 이용한

초고주파 소자의 대신호 모델링 및 이를 이용한 비선형 MMIC 회로 설계



徐光錫(正會員)

1955년 11월 4일생. 1976년 2월 서울대학교 전자공학과(공학사). 1978년 2월 한국과학기술원 전자공학과(공학석사). 1995년 3월 ~ 현재 서울대학교 전자공학과 박사과정 재학중. 주관심분야는 화합물 반도체를 이용한 초고주파 소자의 대신호 모델링 및 이를 이용한 비선형 MMIC 회로 설계