

論文98-35D-4-9

# 고속 Bottom Leaded Plastic(BLP) Package의 전기적 특성에 관한 연구

(A study on electrical characteristics of high speed  
Bottom Leaded Plastic(BLP) Package)

申明進\*, 劉永甲\*

(Myeongjin Shin and Younggap You)

## 요 약

패키지의 전기적 성능은 디지털 시스템의 고속 동작에 지극히 중요하다. CSP(chip scale package)는 기존의 패키지보다 더 우수한 전기적 성능을 가진 것으로 알려져 있다. 본 논문에서는 CSP의 한 종류인 BLP(bottom leaded plastic) 패키지의 전기적 성능을 시뮬레이션과 실측을 통하여 분석하였다. 동시에, BLP의 전기적 성능을 기존의 TSOP(thin small outline package) 패키지와 비교하였다. 리드 인덕턴스와 리드 커패시턴스가 비교를 목적으로 사용되었다. 새로 설계된 BLP 패키지는 TSOP 패키지보다 전기적 성능의 측면에서 약 40%의 향상이 있는 것으로 나타났다.

## Abstract

The electrical performance of a package is extremely important for high speed digital system operations. CSP(chip scale package) is known to have better electrical performance than the conventional packages. In this paper, the electrical performance of the BLP(bottom leaded plastic) package, a kind of CSP, has been analyzed by both simulation and real measurement. The electrical performance of a BLP was compared with that of the conventional TSOP(thin small outline package). The lead inductance and lead capacitance were used for the comparison purposes. The new BLP design provides much better electrical performance than TSOP package. It has about 40% favorable parameter values.

## I. 서론

전자 산업이 급속히 발전됨에 따라 제약된 공간을 효과적으로 활용하는 노트북 컴퓨터, 휴대폰, PDA(Personal Digital Assistant)와 같은 휴대형 정보통신기기들이 점차 보편화되고 있다. 아울러 이러한 기기들은 칩 크기와 유사할 정도로 작고 전기적 특성이 우수한 패키지를 요구하고 있으므로 CSP (Chip

Scale Package)의 이용이 날로 증가되고 있다. 1995년 하반기를 기준으로 볼 때 전세계 약 30여개의 회사들이 CSP를 도입하고 있으며, 이러한 패키지 기술이 시스템 집적도를 높이기 위한 중요한 수단으로 자리잡아 가고 있다<sup>[1]</sup>.

최근 개발된 BLP (Bottom Leaded Plastic Package) 역시 CSP의 한 종류이다<sup>[3]</sup>. 측면 리드가 없는 독특한 디자인은 기존의 플라스틱 패키지가 갖지 못한 여러가지 장점을 제공한다. 그 크기에 있어 0.48mm에서 0.82mm 정도의 얇은 패키지를 구현할 수 있으며, 전기적 연결 경로가 짧기 때문에 SOJ

\* 正會員, 忠北大學校 情報通信工學科  
(Chungbuk National University)

接受日字:1997年8月29日, 수정완료일:1998年3月27日

(Small Outline J-leaded Package), TSOP (Thin Small Outline Package)등 타 패키지와 비교할 때 전기적 특성의 향상이 예측되며, 집적도 향상과 고속화가 쉬울 것으로 판단된다.

BLP 패키지 구조의 전기적 특성을 평가하기 위하여 20 핀의 S-BLP (Side-Pad Bottom Ledded Plastic) 패키지를 채택하여 시뮬레이션을 실시하였으며, 실제 패키지 제작후의 특성을 검증하기 위하여 테스트 보드를 제작하고 그 값을 측정하였다. 또한, BLP 패키지와 기존에 사용하는 TSOP 패키지와의 차이를 평가하기 위하여 동일한 핀 수의 TSOP 패키지에 대하여도 시뮬레이션을 수행하여 그 값을 비교하였다. 이 논문의 2장에서는 BLP 패키지의 전기적 모델을 제시하였고, 3장에서는 모델을 근거로 비교 평가를 실시하였다.

II. BLP 패키지 구조와 전기적 모델

그림 1은 이 논문에서 사용한 4메가 DRAM용 20핀 BLP 패키지의 상면과 하면을 보여주고 있다. 이 패키지의 단면 구조는 그림 2에 보여졌으며 그림 3에는 기존의 플라스틱 패키지와 그 크기를 비교하였다. 그림 2와 3에서 보여주는 바와 같이 BLP 패키지는 칩에서 패키지 밀면 패드까지의 전기적 경로가 기존의 패키지에 비하여 매우 짧다.

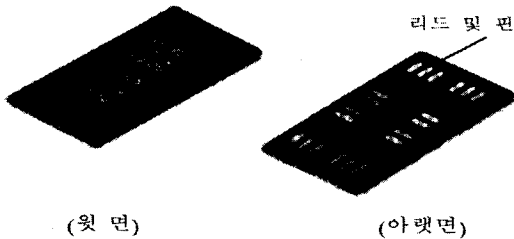


그림 1. BLP 패키지의 상하면  
Fig. 1. Top and Bottom View of the BLP Package.

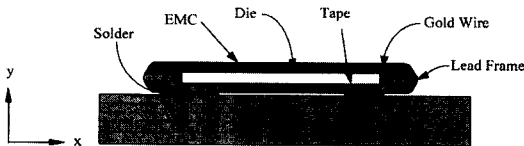


그림 2. BLP 패키지의 단면도  
Fig. 2. Cross-sectional View of a BLP Package.

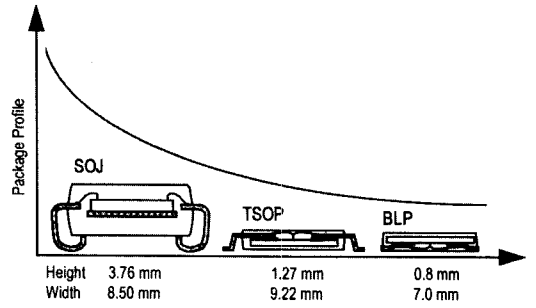
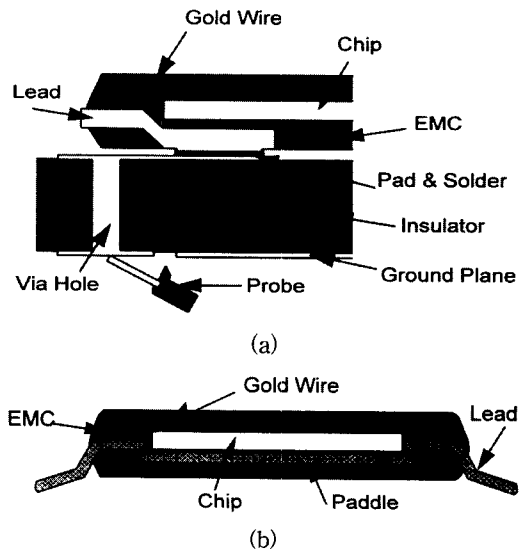


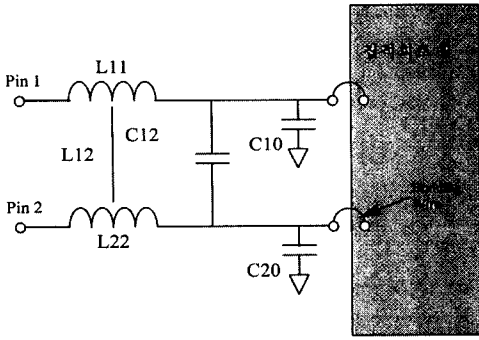
그림 3. 패키지의 크기 비교  
Fig. 3. Comparison of Package Dimensions.

따라서, BLP 패키지는 고속 칩 탑재시에 보다 우수한 성능을 가지고 있는 것으로 예상되며, 이를 더 자세하게 분석하고자 한다.

1. 기판 접착 구조의 모델링

BLP 패키지를 PCB에 실장하였을 때 전기적 특성을 측정하기 위한 방법으로 그림 4와 같은 구조체를 기판으로 제작하여 측정하였으며, 이를 시뮬레이션 결과와 비교하고자 하였다. 시뮬레이션에서 EMC의 유전상수  $\epsilon = 3.9$ , PCB의 유전상수  $\epsilon = 4.5$ , 시뮬레이션 주파수는 100Mhz로 동작하는 것으로 하였으며, 리드 프레임의 모든 재료 물성은 상용 패키지에서 사용하는 값을 그대로 적용하였고 BLP와 TSOP가 동일하다고 가정하였다. 여기서 동작 주파수를 100Mhz로 실시한 이유는 실제 시스템 응용에 있어서 현재 가장 많은 논의가 되고 있으며 가까운 시일내에 상용화될 주파수이기 때문이다.





(c)

그림 4. 테스트 및 시뮬레이션 구조 (a) S-BLP (b) TSOP (c) 전기적 모델링 구조  
Fig. 4. Test & Simulation Structure (a) S-BLP (b) TSOP (c) Electrical Modeling

그림 4a에서 구조체의 아래 부분은 테스트용 기판의 단면을 나타내는 것이며 아래는 접지 평면으로 되어 있다. 윗면과 아랫면은 절연체인 FR-4를 사용하여 절연하였고 Via Hole을 통해 연결되어 있다. 반도체 패키지는 솔더(Solder)를 이용하여 패드에 접착하고, 칩에서 생성된 신호는 리드와 금 도선을 통하여 흐르게 되며, 이 경로상에서 인덕턴스와 커패시턴스 성분이 나타나게 된다.

2. 모델에 사용된 변수 성분

상기한 테스트 구조를 근거로 Network Analyzer를 이용하여 전기적 특성을 측정했다. 그 측정 결과를 토대로 그림 4c와 같은 패키지 부분의 Lumped Electrical 모델을 얻게 되는데 이는 테스트 보드의 구조에 따라 모델링 부분 외측에서 발생하는 Parasitic Parameter를 제거한 결과이다. 일반적으로, 인쇄 회로 기판의 연결선, 패키지의 핀, 리드 프레임, 본딩 와이어, 솔더등은 비교적 큰 단면적을 가지고 있다. 이러한 큰 단면적은 충분히 작은 저항 성분을 가진다. 그러므로 이러한 구조는 손실없는 전송선으로 취급될 수 있다<sup>[7]</sup>.

또한, 칩 사이의 지연시간을 적절히 계산하면 기판 배선등은 균일한 전송선으로 모델링할 수 있고 여기에 패키지 핀, 리드 프레임, 본딩 구조들을 Lumped 커패시터와 인덕터의 부하를 가진 것으로 포함할 수 있다. 이 경우 커패시터가 주요 성분이 된다<sup>[6]</sup>. 따라서, 본 논문에서는 L, C만의 Parameter를 이용하여 BLP와 TSOP 패키지의 전기적 등가 회로를 구성하였다.

3. 전기적 모델의 타당성

일반적인 Lumped 모델에서 사용하는 R, L, C중에서 본 패키지의 R은 고려 대상의 주파수 범위내에서  $R \ll \omega L$ 이므로 무시할 수 있으며, 따라서 L과 C만의 손실없는 전송선으로 취급할 수 있다.

Nodal Analysis와 Mesh Analysis와 같은 기초 회로 분석은 Lumped Parameter 회로에서 매우 유용하다. 이러한 회로는 저항, 커패시터, 인덕터, Transformer, 트랜지스터와 같은 다수의 이산소자로 구성되어 있다. 그러한 소자는 여기에 사용되는 신호의 파장  $\lambda$ 보다 크기가 훨씬 작으므로 구별이 가능하다. 이를 순수한 파장의 항으로 표현하기 위하여 간단히 주파수  $f$  와 파장  $\lambda$ , 신호 전달 속도  $v$  사이의 간단한 물리적 관계를 사용할 수 있다. 즉,

$$v = f\lambda, \lambda = \frac{v}{f} \tag{1}$$

이다. 손실없는 균일한 전송선을 따르는 전달 속도는 매체의 재료 특성에 따른다. 즉,

$$v = \frac{1}{\sqrt{\epsilon\mu}} = \frac{c_0}{\sqrt{\epsilon_r\mu_r}} \tag{2}$$

여기에서  $\epsilon$ 는 유전율이며  $\mu$ 는 전달 매체의 유자율이다.  $\epsilon_r$ 는 상대 유전율이며  $\mu_r$ 는 침투율이다.  $c_0$ 는 진공상태에서의 광속도이며  $3.0 \times 10^{10}$  cm/sec (= 1 foot/nsec)이다. 비자성 물질의  $\mu_r$ 는 근사적으로 1이다. 그러므로,

$$v = \frac{c_0}{\sqrt{\epsilon_r}}, v = \frac{3 \times 10^8}{\sqrt{3.9}} \text{ m/s} \cong 1.52 \times 10^8 \text{ m/s} \tag{3}$$

여기서, EMC의 상대 유전율  $\epsilon_r$ 은 약 3.9이다.

이 분석은 Pulse의 상승시간이 Min. 0.1ns일 때를 기준으로 되어 있으며 아주 빠른 상승과 하강 시간을 가진 Pulse Wave가 회로에 공급될 때 회로의 차단 주파수보다 높은 주파수를 가진 Harmonics 파형에서 감쇠가 일어난다. 여기에서 상승 시간  $t_r$ , 하강 시간  $t_f$ , 차단 주파수  $f_H$ 사이의 관계식은 다음과 같다<sup>[7]</sup>.

$$t_r = t_f = \frac{0.35}{f_H}, f_H = \frac{0.35}{t_r} \tag{4}$$

$$f_H = \frac{0.35}{0.1 \times 10^{-9}} = 3.5 \text{ GHz}$$

식 (1)로부터 가장 짧은 파장은 다음과 같다.

$$\lambda = \frac{v}{f_H} = \frac{1.52 \times 10^8}{3.5 \times 10^9} m \approx 4.34 cm \quad (5)$$

일반적으로, 리드 프레임의 길이 (l)는 Milimeter단위를 가지므로  $\lambda \gg l$  이 된다. 따라서, 상기의 Lumped LC 모델은 본 논문의 주파수 범위(DC~3.5Ghz)에서 타당성을 갖는다고 볼 수 있다. 여기서의 주파수 범위는 일반적으로 사용하는 DC Vtg. 즉, 0hz에서 3.5Ghz까지의 범위를 말하며 Step 전원의 주파수 변화의 범위를 의미한다.

4. 3차원 모델링 및 Parameter Calculation

상기 패키지 전기적 모델의 구조를 기반으로 Maxwell 3D Parameter Extractor를 이용하여 3차원 모델링을 하고, L, C Parameter 값들을 시뮬레이션을 통하여 계산하였고, 그 결과를 표 1,2,3,4에 나타내었다. BLP와 TSOP 패키지는 중간을 기준으로 좌우상하 대칭이기 때문에 이 논문에서 적용한 20핀 패키지는 실제 1/4분면을 상하 좌우 복사한 것과 동일하다. 이를 알 수 있는 리드프레임의 구조가 그림 8a, 8b에 나타나 있다. 이 그림을 참조하면 결국 좌우면 중의 하나만을 측정하여도 다른 면과 동일한 결과가 나온다는 것을 쉽게 알 수 있다. 실제 측정 및 시뮬레이션을 20핀 중 1번에서 10번까지만 시행했다. 그림 5는 BLP와 TSOP를 3차원 모델링한 부분을 보여주는 것이다.

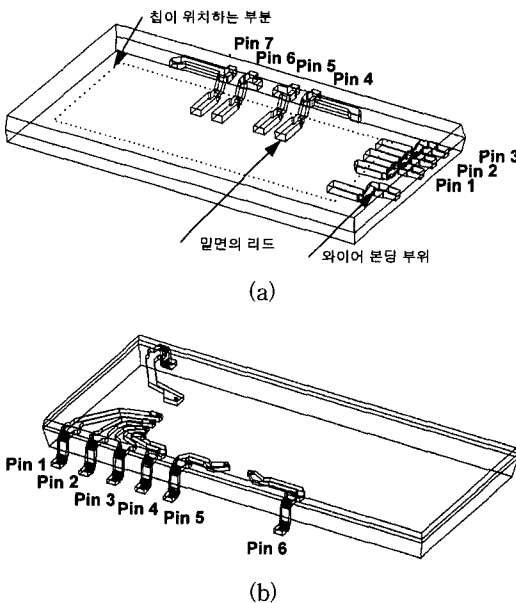


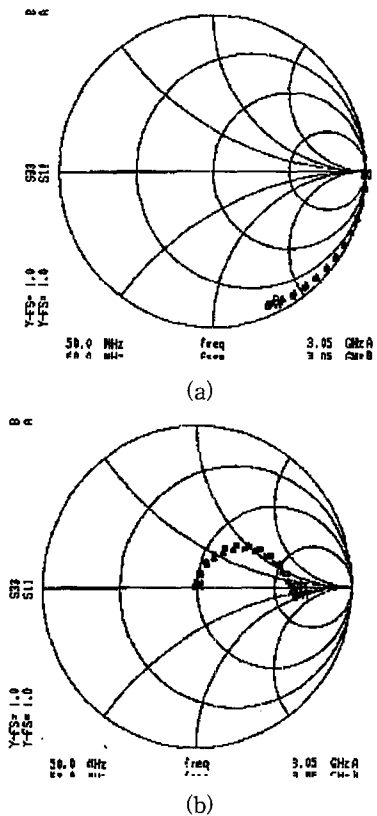
그림 5. 3차원 모델링 (a) S-BLP (B) TSOP  
Fig. 5. 3 Dimension Modeling (a) S-BLP (B) TSOP

III. 전기적 특성 평가

1. 측정치와 L, C Lumped Modeling의 타당성

DC~3.5Ghz 주파수 범위에서 BLP 패키지의 정확한 L, C 모델을 얻기 위해 Network Analyzer 장비와 MDS 소프트웨어를 사용하였다. 먼저, Network Analyzer를 사용하여 BLP 패키지 각 리드 핀의 S-Parameter 값을 측정하고, MDS 소프트웨어를 통하여 Smith Chart로 변환하였다.

다음에, 상기 2장에서 제시한 BLP 패키지의 전기적 등가 회로를 MDS 소프트웨어를 이용하여 S-Parameter Simulation을 수행하고, 그 결과를 역시 Smith Chart로 변환하였다. 이때, 상기 등가회로를 구성하고 있는 Self, Mutual Inductance 및 Capacitance 값들을 조정하면서 상기의 두 Smith Chart Pattern이 일치할 때까지 S-Parameter Simulation을 반복 수행하였다. 그 결과, 각 핀의 Capacitance와 Inductance 값은 0.15 pF 와 2.0 nH 였다. 이 값은 1 GHz 이상의 동작 속도와 높은 칩 클럭 주파수(Clock Frequency)를 가지고 있는 고속 다바이스의 전기적 특성과도 잘 일치된다<sup>[2]</sup>.



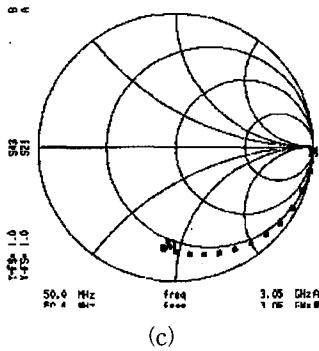


그림 6. 스미스 도표에 의한 특성 (a) S<sub>11</sub> Parameter (Open Configuration) (b) S<sub>11</sub> Parameter (Thru Configuration) (c) S<sub>21</sub> Parameter (Thru Configuration)

Fig. 6. Characterization Using a Smith Chart. (a) S<sub>11</sub> Parameter (Open Configuration) (b) S<sub>11</sub> Parameter (Thru Configuration) (c) S<sub>21</sub> Parameter (Thru Configuration)

상기의 측정 결과는 그림 6의 Smith Chart에서 보는 바와 같이, Open Configuration에서의 S<sub>11</sub> Parameter과 Thru Configuration에서의 S<sub>11</sub>, S<sub>21</sub> Parameter의 값이 측정값과 MDS 소프트웨어에서 Simulation한 결과가 전 주파수 범위에 걸쳐 거의 일치되고 있다. 이는 곧 상기 2장의 Lumped L, C 등가 회로 모델이 DC~3.5Ghz의 주파수 범위에서 타당성을 가짐과 동시에 상기 Simulation에서 최종적으로 적용된 Self, Mutual Inductance 및 Capacitance 값들이 측정값으로 적용될 수 있음을 보여준다. 그림 6의 스미스 도표에서 △는 20 S-BLP의 Network Analyzer를 이용한 S-Parameter 측정 결과이고, □는 MDS 소프트웨어를 이용한 전기적 등가회로의 S-Parameter Simulation 결과이다.

2. 인덕턴스

상기한 모델을 근거로 Self-Inductance를 측정할 값을 표1에 나타내었고 표2에는 Mutual-Inductance를 측정 및 시뮬레이션을 수행한 값을 나타내었다. 또한 이 값들을 TSOP 패키지와의 값 비교한 값으로 상대 비교가 가능하도록 하였다. 각 측정치는 10번의 반복 측정을 통하여 얻은 값의 평균치이며 각 수치 오차는 ±1.0%를 넘지 않았다.

또한 위 도표에서 L11, 즉, Self-Inductance에 대한 값을 세가지를 구분하여 그래프로 표현하면 그림 7a와 같이 나타나며 L12, 즉, Mutual Inductance에

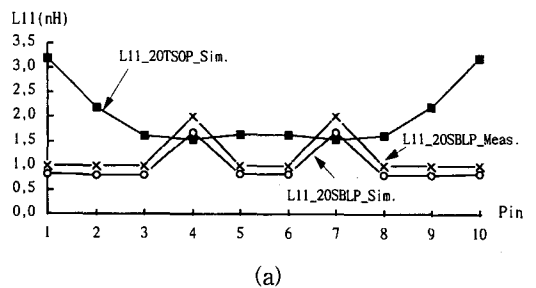
대한 값도 그림 7b에 나타내었다.

표 1. Self-Inductance 측정치(L11), 단위 : nH  
Table 1. Self-Inductance measurement value (L11), unit : nH.

PIN #	20 S-BLP		20 TSOP
	측정치	Simulation	Simulation
PIN 1	1.0	0.82	3.20
PIN 2	1.0	0.80	2.21
PIN 3	1.0	0.81	1.60
PIN 4	2.0	1.67	1.53
PIN 5	1.0	0.82	1.62
PIN 6	1.0	0.82	1.62
PIN 7	2.0	1.67	1.53
PIN 8	1.0	0.81	1.60
PIN 9	1.0	0.80	2.21
PIN 10	1.0	0.82	3.20

표 2. Mutual-Inductance 측정치(L12), 단위 : nH  
Table 2. Mutual-Inductance measurement value (L12), unit : nH.

PIN #	20 S-BLP		20 TSOP
	측정치	Simulation	Simulation
PIN 1	0.4	0.33	1.09
PIN 2	0.4	0.33	0.71
PIN 3	0.05	0.10	0.43
PIN 4	0.4	0.35	0.19
PIN 5	0.4	0.19	0.04
PIN 6	0.4	0.35	0.19
PIN 7	0.05	0.10	0.43
PIN 8	0.4	0.33	0.71
PIN 9	0.4	0.33	1.09
PIN 10	0.3	0.19	0.08



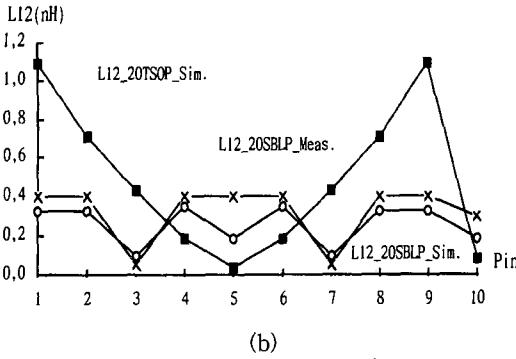


그림 7. 인덕턴스(L) 값 (a) Self-Inductance (b) Mutual-Inductance  
 Fig. 7. Inductance Value. (a) Self-Inductance (b) Mutual-Inductance

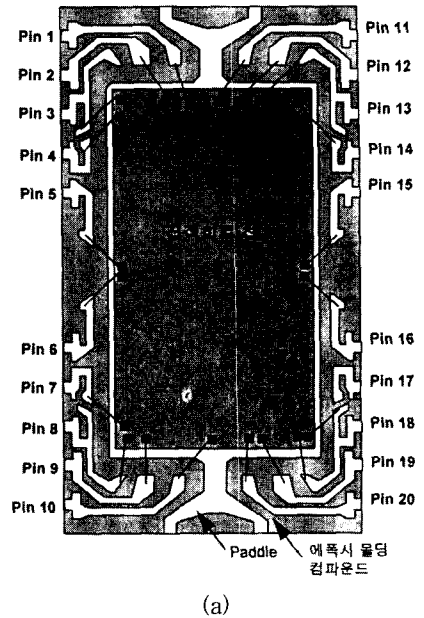
그림 7에는 인덕턴스 실측값을 그림으로 나타내었다. 그림 7a를 볼때 TSOP의 Self Inductance는 1번과 10번에서 높은 값을 나타내고 S-BLP에 비해 전체적으로 높게 나타나고 있으며, 그림 7b의 Mutual-Inductance에서는 더 큰 차이를 알 수 있다.

또한, BLP는 그림 7a에서는 4번과 7번 핀에서, 그림 7b에서는 4, 5, 6번 핀에서 TSOP보다 다소 높게 나타나고 있지만 이는 리드프레임의 설계에 있어서의 리드 길이의 장단에 따른 차이로 인해 보여지는 현상이다. 그러나 앞에서 언급한 것처럼 이 특성에서 중요한 요소는 각 핀에 나타나는 특성의 값이 고른 분포를 보이면서 TSOP에 비해 평균적으로 낮게 나타나고 있는 것이다. 또한, Mutual Inductance의 경우는 가장 좋지 않은 특성을 보이는 핀에 대한 비교로 판단하므로 BLP의 성능이 좋음을 알 수 있다.

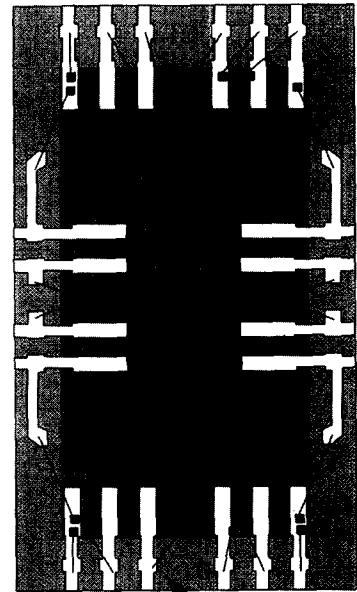
또한, 그림 8a를 보면 TSOP의 1, 2번 핀에 비해 4, 5번 핀등이 길이가 매우 짧게 설계가 되어 있고 이 길이의 차가 크기 때문에 Inductance의 변화가 심한 것이 관찰되었다. 그림 8b의 경우 리드 프레임의 길이가 거의 일정하기 때문에 균일한 Inductance 값을 가지는 것을 볼 수 있다. 또, 4, 7번 핀이 TSOP보다 높은 값을 보이지만 리드프레임을 칩의 패드에 가깝게 재설계를 하면 이 문제는 쉽게 해결될 것으로 보인다.

Self-Inductance의 경우 리드프레임 자체의 잡음을 평가할 수 있고 적을수록 좋으며 Mutual-Inductance의 경우는 Crosstalk에 대한 평가가 주로 실시된다. 이또한 핀간의 L과 C값이 적으면서 균일할 때 Crosstalk의 특성이 더 좋다는 것으로 평가된다. 즉,

Mutual-Inductance가 높을수록 핀간의 잡음 발생 확률이 높아지는 것을 의미한다.



(a)



(b)

그림 8. 리드 프레임, 칩, 본딩 패드, 와이어 (a) 20 TSOP (b) 20 S-BLP  
 Fig. 8. Lead Frame & Chip & Bonding Pad & Wire (a) 20 TSOP (b) 20 S-BLP

3. Capacitance

상기 모델을 근거로 Self-Capacitance를 측정할 값

을 표 3에 나타내었고 표4에 S-BLP와 TSOP 패키지의 Mutual-Capacitance 값을 나타내었다.

표 3. Self-Capacitance 실측치(C10), 단위 : pF

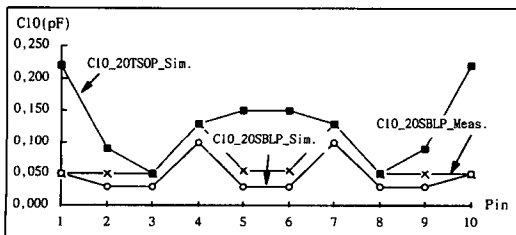
Table 3. Self-capacitance measurement value (C10), unit : pF.

PIN #	20 S-BLP		20 TSOP
	측정치	Simulation	Simulation
PIN 1	0.050	0.05	0.22
PIN 2	0.050	0.03	0.09
PIN 3	0.050	0.03	0.05
PIN 4	0.130	0.10	0.13
PIN 5	0.055	0.03	0.15
PIN 6	0.055	0.03	0.15
PIN 7	0.130	0.10	0.13
PIN 8	0.050	0.03	0.05
PIN 9	0.050	0.03	0.09
PIN 10	0.050	0.05	0.22

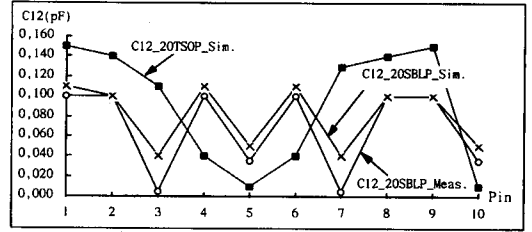
표 4. Mutual-Capacitance 실측치(C12), 단위 : pF

Table 4. Mutual-Capacitance measurement value(C12), unit : pF.

PIN #	20 S-BLP		20 TSOP
	측정치	Simulation	Simulation
PIN 1	0.100	0.11	0.15
PIN 2	0.100	0.10	0.14
PIN 3	0.005	0.04	0.11
PIN 4	0.100	0.11	0.04
PIN 5	0.035	0.05	0.01
PIN 6	0.100	0.11	0.04
PIN 7	0.005	0.04	0.13
PIN 8	0.100	0.10	0.14
PIN 9	0.100	0.10	0.15
PIN 10	0.035	0.05	0.01



(a)



(b)

그림 9. Capacitance 값

(a) Self-Capacitance (b) Mutual-Capacitance

Fig. 9. Capacitance Value.

(a) Self-Capacitance (b) Mutual-Capacitance

또한 위 도표에서 C10, 즉, Self-Capacitance에 대한 값을 세가지를 구분하여 그래프로 표현하면 그림 8a와 같이 나타나며 C12, 즉, Mutual-Inductance에 대한 값도 그림 8b와 같게 된다.

그림 9에는 실측 커패시턴스 값을 그림으로 나타내었다. 그림 9a를 볼 때 TSOP의 Self-Capacitance는 1번과 10번에서 높은 값을 나타내고 S-BLP에 비해 높게 나타나며 그림 9b의 Mutual-Capacitance에서는 더 큰 값의 차이를 보임을 알 수 있다.

#### 4. 커패시턴스 값의 의미

이 특성에서도 중요한 요소는 각 핀에 나타나는 특성의 값이 균일성을 갖는 것이 전기적 특성의 우수성을 판별한다는 것이다. 또한, Self-Capacitance도 작을수록 좋은 특성을 보인다. 핀 사이 Capacitance의 편차, 즉, Self-Capacitance에서  $\Delta C$ 가 균일하면서 적은 값을 가지도록 하는 것이 제품의 성능을 향상시키며 특히, 고주파의 경우 중요한 Factor로서 작용하는 것을 알 수 있다. 리드프레임의 구조를 간단히 수정함으로써 적고 균일한 값을 가지도록 할 수 있다. 반면에, 그림 8a에서 볼 수 있는 것처럼 TSOP는 구조상 리드 프레임을 변경하는 것이 불가능한 구조로 되어 있다. 또한, Mutual Capacitance의 경우는 가장 성능이 열악한 핀의 비교로서 성능을 파악하며, 본 논문의 측정에서 그 차이를 볼 수 있다.

#### 5. 측정 및 시뮬레이션 값 비교

상기와 같이 값을 설정하여 표5와 같은 평균값을 얻었다.

위 값을 참조하면 L11, 즉, Self Inductance의 경우 TSOP는 2.03 nH로서 S-BLP의 실측치보다 약 41%의 성능 향상을 보이며, Self Capacitance(C10)

는 TSOP가 0.13 pF으로 S-BLP의 실측치보다 46%의 향상을 기대할 수 있었다. 또한, Mutual Inductance(L12)와 Mutual Capacitance(C12)는 전반적으로 낮은 값을 보여 평균값으로의 성능 향상도 있으나 중요한 비교 요소인 열악한 성능을 보이는 핀의 차이 역시 큰 것으로 나타났다. 결국 TSOP 패키지와 S-BLP 패키지의 측정치를 비교해볼 때 40% 이상의 성능 향상을 기대할 수 있고, 시뮬레이션 값에 의하면 더욱 큰 값의 차이가 나타나고 있었다.

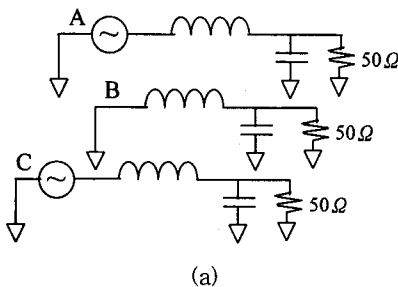
표 5. 20 S-BLP와 TSOP의 평균치 비교  
Table 5. Average value comparison of 20 S-BLP and TSOP.

항 목	S-BLP		TSOP	
	측정치	Simulation	Simulation	
인덕턴스 (단위: nH)	L11	1.20	0.98	2.03
	L12	0.32	0.26	0.50
캐패시턴스 (단위: pF)	C10	0.07	0.05	0.13
	C20	0.07	0.08	0.10

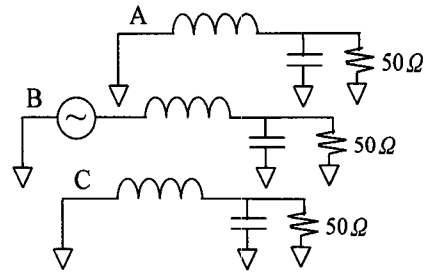
6. 신호 충실성의 평가

BLP와 TSOP 패키지에서 성능이 열악할 것으로 예상되는 핀에 대한 신호충실성 평가를 시행하였다. 앞에서 제시한 BLP 패키지가 기존의 TSOP 대비 40%이상의 전기적 성능 향상이 있다는 사실이 실제 구조체를 통한 신호와 어떠한 상관관계가 있는지를 파악하기 위하여 두 패키지의 Crosstalk와 Setup Time Delay에 대한 SPICE 시뮬레이션도 수행했다.

그림 10a에서 보인 것처럼 세 핀을 대상으로, B 핀을 제외한 A, C 핀에 동시에 5V 크기의 Step 전원을 가한 경우와 A 핀에 전원이 가해진 후 Insec의 지연을 가진 뒤 C 핀에 전원을 가하는 방법 등 두가지 방법으로 C 핀에 발생하는 Crosstalk를 평가했다. 두 패키지 모두 1, 2, 3번 핀에 대하여 실험을 수행하였고 상승시간을  $t_r=0.1 \text{ nsec}$ 로 설정했다.



(a)



(b)

그림 10. 신호 충실성 평가 회로 모델 (a) Crosstalk (b) Setup 시간지연 시뮬레이션 모델  
Fig. 10. Circuit Model for Signal integrity. (a) Crosstalk (b) Setup Time Delay Simulation Model

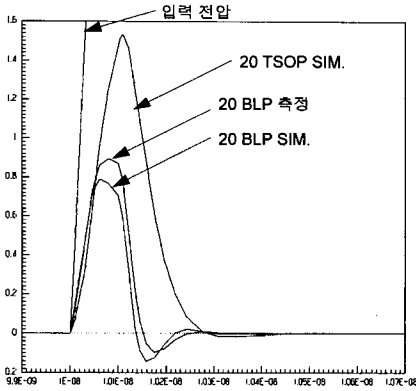
setup 시간 지연에 대한 모델은 그림 10b에서 B 핀에 전원을 공급하고 A, C 핀을 접지한 후 B 핀의 지연시간을 측정하는 것이다. 이 경우 역시 BLP 패키지의 각 핀 중에서 성능이 열악할 것으로 예측되는 3, 4, 5번 핀, TSOP 패키지의 20, 1, 2번 핀에 시뮬레이션을 수행하고 가운데 핀의 Setup 시간 지연을 평가하였다.

그림 11a는 1, 3번 핀에 동시에 5V 전원이 공급된 경우, 2번 핀의 Crosstalk를 보여주고 있다. TSOP의 시뮬레이션 값은 1.5V, BLP의 측정값은 0.9V, 시뮬레이션 값은 0.75V의 Crosstalk를 나타내는 것으로 평가되었다. 결국 가장 성능이 좋지 못한 것으로 평가되는 핀에서의 Crosstalk 역시, 실제 구조체에 적용이 되었을 경우의 BLP 패키지의 성능이 낮다는 평가를 내릴 수 있었다.

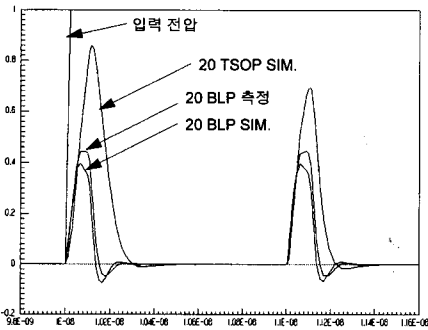
그림 11b의 경우는 같은 핀에 Insec의 차이로 두개의 입력이 연속으로 가해진 것이다. 그 결과 두개의 Crosstalk가 발생한 것을 볼 수 있다. 그 값이 동시에 전원을 인가한 경우보다는 낮지만 동일한 Crosstalk의 양상을 보여 BLP 패키지가 TSOP 패키지보다 우수하다는 평가를 내릴 수 있었다.

그림 11c의 경우 전기적 모델의 설정시에 저항 값을 무시하고 모델링을 한 관계로 근소한 차이의 지연을 보이고 있으나 여기서도 BLP 패키지의 Setup Time 지연이 더 적고 TSOP 패키지가 가장 큰 것으로 나타났다. 실제 구조체를 제작하여 사용할 경우, 미소한 저항 성분이 존재하므로 여기서의 지연시간 차이의 폭은 더욱 커질 것으로 예상된다.

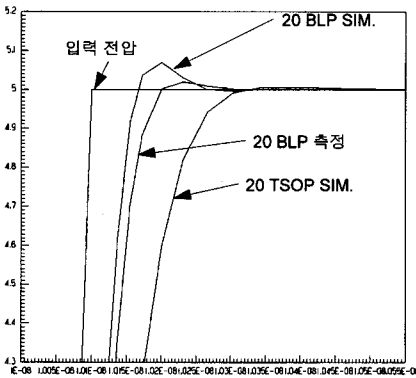




(a)



(b)



(c)

그림 11. Spice에 의한 파형 분석 (a) Crosstalk(동시 전원 인가) (B) Crosstalk(1ns의 지연시간) (C) Setup 시간 지연

Fig. 11. Analysis with Spice. (a) Crosstalk (B) Crosstalk (1ns Delay) (C) Setup Time Delay

#### IV. 결론

본 논문에서는 BLP 패키지의 여러가지 특징을 소개하였고 TSOP와 비교시의 전기적 특성중 인덕턴스

및 커패시턴스 값을 비교하여 BLP의 특성이 우수하다는 것을 판명하였다. 또한, 테스트 보드를 제작하여 측정을 하고 시뮬레이션 모델을 제작하여 시뮬레이션을 실시한 후 측정치와의 비교를 통하여 데이터의 정확성을 검토하였다. 그리고 실제 구조체에 적용시 발생할 수 있는 Crosstalk 및 Setup 시간 지연에 대하여 SPICE 시뮬레이션을 통한 성능 비교를 하였다. 결론적으로 실제 TSOP의 특성에 비교하여 BLP의 전기적 특성이 40%이상 향상되며 각 핀의 값이 균일한 특성을 보인다는 것이 발견되었다.

#### 참고 문헌

- [1] R.T. Crowley, T.W. Goodman and E.J. Vardaman, "Chip-Size Packaging Developments", Tech Search International, Aug. 1995.
- [2] D. Post, B. Han and P. Ifju, "High Sensitivity Moire: Experimental Analysis for Mechanics and Materials", Springer-Verlag, 1994.
- [3] Y.G. Kim, T.K. Kang, B.S. Seol, G.Y. Cho and K.B. Cha, "Electrical and Thermal Performance Characterization for the Bottom Leaded Plastic (BLP) Package", Proceedings of '95 IEPS, San Diego, pp. 63-73, Sept. 1995.
- [4] Y.G. Kim, B. Han, S. Choi and M.K. Kim "Bottom Leaded Plastic (BLP) Package: A New Design with Enhanced Solder Joint Reliability", Proceedings of 46th ECTC, Orlando, pp. 448-452, May 1996.
- [5] J. Clementi and G. Hill, "Flip Chip Encapsulation of Small CA's on Fine Pitch", Proceedings of The First International Symposium on Flip Chip Technology, pp. 9-12, 1994.
- [6] H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison-Wesley Publishing Company, Inc., 1990.
- [7] S. Rosenstark, *Transmission Lines In Computer Engineering*, McGraw-Hill, Inc., 1994.

## 저 자 소 개



申明進(正會員)

1969년 8월 26일생. 1995년 8월 전북대학교 전자공학과 졸업(공학사). 1998년 2월 충북대학교 정보통신공학과(공학석사). 1995년 1월 ~ 현재 LG 반도체 Module 설계팀 연구원. 주관심분야는 Package & Module

Simulation, 회로 설계, Memory Module 설계



劉永甲(正會員)

1948년 4월 22일생. 1975년 서강대학교 전자공학과 졸업(공학사). 1981년 미시간 대학교(미국) 전기전산공학과(공학석사). 1981년 미시간 대학교(미국) 전기전산공학과(공학박사). 1975년 8월 ~ 1979년 8월 국방과학

연구소 연구원. 1986년 2월 ~ 1988년 2월 (주) LG 반도체 책임연구원. 1988년 3월 ~ 현재 충북대학교 전기전자공학부 교수. 1988년 10월 ~ 1989년 12월 (주) 한국실리콘 기술고문. 1993년 1월 ~ 1994년 12월 대한전자공학회 충북지부장. 1997년 1월 ~ 현재 대한전자공학회 CAD 및 VLSI 설계연구회 위원장. 1993년 8월 ~ 1994년 8월 아리조나대학교(미국) 객원교수. 주관심분야는 computer architecture, memory testing, 고속시스템 설계, HDTV, ATM, 가변익 항공기 제어 등