

저전압 Constant- g_m Rail-to-Rail CMOS 증폭회로 설계

(Design of a Low-Voltage Constant- g_m Rail-to-Rail CMOS Op-amp)

李泰源*, 李京一*, 吳元錫*, 朴鍾泰*, 劉宗根*

(Tae-Won Lee, Kyung-Il Lee, Won-Seok Oh, Jong-Tae Park, and Chong-Gun Yu)

요 약

본 논문에서는 새로운 전자식 제너다이오드를 사용한 CMOS constant- g_m rail-to-rail (R-R) 입력단을 제안하였다. 기존의 두 개의 복합 다이오드 (complementary diode)를 사용한 EZD (electronic zener diode)의 꺼짐 (turn-off) 특성을 향상시키기 위해 조절된 CMOS 인버터 (regulated CMOS inverter)로 구성된 새로운 EZD를 사용하여 보다 일정한 g_m 특성을 얻을 수 있도록 하였다. 제안된 입력단을 사용하여 3V constant- g_m rail-to-rail 이단 CMOS 증폭회로를 설계하였다. $0.8\mu\text{m}$ single-poly, double-metal CMOS 공정을 사용하여 제작된 증폭회로를 측정된 결과, 공통모드 입력 전 범위에서 g_{mT} 변화는 약 6%로 상당히 일정한 특성을 보였다. 그리고 $C_L=20\text{pF}$ 이고 $R_L=10\text{k}\Omega$ 일 때 설계된 증폭회로는 88dB의 dc 전압이득과 4MHz의 단위이득주파수 (unity-gain frequency), 그리고 60° 의 위상여유 (phase margin)를 갖는다.

Abstract

A g_m -control technique using a new electronic zener diode (EZD) for CMOS rail-to-rail input stages is presented. A regulated CMOS inverter is used as an EZD to obtain a constant- g_m input stage. The turn-off characteristic of the proposed EZD is better than that of the existing EZD using two complementary diodes, and thus, better g_m -control can be achieved. With this input stage, a 3V constant- g_m rail-to-rail CMOS op-amp has been designed and fabricated using a $0.8\mu\text{m}$ single-poly, double-metal CMOS process. Measurements results show that the g_m variation is about 6% over the entire input common-mode range, and the op-amp has a dc gain of 88dB and a unity-gain frequency of 4MHz for $C_L=20\text{pF}$, $R_L=10\text{k}\Omega$.

I. 서 론

최근 집적회로에 공급되는 전원전압의 감소추세에

* 正會員, 仁川大學校 電子工學科

(Department of Electronics Engineering University of Incheon)

※ 본 연구는 서울대학교 반도체공동연구소의 교육부 반도체분야 학술연구조성비 (과제번호: ISRC 96-E-2025)에 의해 수행되었습니다.

接受日字:1997年11月29日, 수정완료일:1998年1月30日

따라, 디지털 회로뿐만 아니라 아날로그 회로에서도 저 전압에서 동작하기에 알맞은 새로운 회로 구조에 대한 연구가 활발히 진행되고 있다. 가장 기본적인 아날로그 블록인 증폭회로의 경우 전원 전압이 감소하면 상당량의 동작 범위를 잃게 되고, 신호 대 잡음비가 감소하는 등 증폭기 성능이 나빠지게 된다. 따라서, 증폭회로가 주어진 공급 전압 내에서 최대의 동작범위를 얻기 위해서는, 입력단과 출력단의 동작범위가 공급 전원 전압 전 범위가 되도록 rail-to-rail (R-R) 구조를 가져야 한다.

R-R 입력단으로는 NMOS 차동쌍과 PMOS 차동쌍을 함께 사용한 복합 입력단 구조가 많이 사용되고 있다.^[1-7] 공통모드(common-mode) 입력전압 V_{cm} 이 V_{SS} 에 가까울 때는 PMOS 쌍만 동작하고, V_{DD} 에 가까울 때는 NMOS 쌍만 동작한다. V_{cm} 이 V_{DD} 와 V_{SS} 사이의 중간 영역에 있을 때는 PMOS쌍과 NMOS쌍이 동시에 동작한다. 따라서, V_{cm} 이 V_{DD} 와 V_{SS} 사이의 어떠한 값을 갖더라도, 두 차동쌍 중 적어도 하나는 동작하기 때문에 R-R 동작이 가능하다. 그러나 이 입력단은 총 상호컨덕턴스 (transconductance) g_{mT} 가 NMOS 차동쌍의 g_{mn} 과 PMOS 차동쌍의 g_{mp} 의 합이 되기 때문에, 두 차동쌍이 동시에 동작하는 경우는 둘 중 하나만 동작하는 경우에 비해 g_{mT} 가 약 2배정도 증가하게 된다. 이와 같이 V_{cm} 에 따른 g_{mT} 의 변화 (약 100%)는 증폭기의 신호 왜곡을 증가시키고, 주파수 특성을 변화시키며 최적의 주파수 보상을 어렵게 한다.^[1,7] 이러한 문제점을 해결하기 위해, 최근 V_{cm} 전 범위 내에서 g_{mT} 를 일정하게 유지시키기 위한 방법들이 연구되고 있다. Constant- g_m 을 얻기 위한 방법으로는 1:3 전류미러와 전류스위치^[2]를 사용하거나, 제곱근 (square-root) 회로^[3]를 사용하여 입력단의 dc 꼬리 (tail) 전류를 조절하는 방법과 EZD (electronic zener diode)를 사용하는 방법^[4]이 있다. EZD를 사용하는 경우는 다른 방법에 비해 constant- g_m 을 얻기 위한 입력단이 간단하며 전력소모가 적다는 장점이 있다.

본 논문에서는 기존의 EZD에 비해 보다 성능이 향상된 새로운 EZD를 제안하였다. 조절된 CMOS 인버터 (regulated CMOS inverter)로 구현한 EZD를 사용함으로써 기존의 2개의 복합 다이오드 (complementary diode)를 사용한 EZD^[4]에 비해 제너다이오드 특성이 향상되고, 따라서 g_m 조절 성능 또한 향상된다. 본 논문에서는 먼저 새로운 EZD를 제안하고, 제안된 EZD를 사용한 constant- g_m R-R 입력단에 대해 언급한다. 또한, 이 입력단을 사용하여 설계 및 제작한 이단 증폭회로의 성능에 대해 언급하고 결론을 맺는다.

II. 새로운 EZD를 사용한 g_m -control

그림 1의 제너다이오드를 사용한 constant- g_m R-R 입력단에서 제너다이오드의 역할은 입력 트랜지

스터들의 게이트-소오스 전압의 합을 일정하게 유지시켜 g_{mT} 를 일정하게 만드는 것이다. 제너 전압은 NMOS 차동쌍과 PMOS 차동쌍이 동시에 동작할 때 입력 트랜지스터들에 흐르는 전류가 $I_{ref}/2$ 가 되도록 선택되어야 한다.

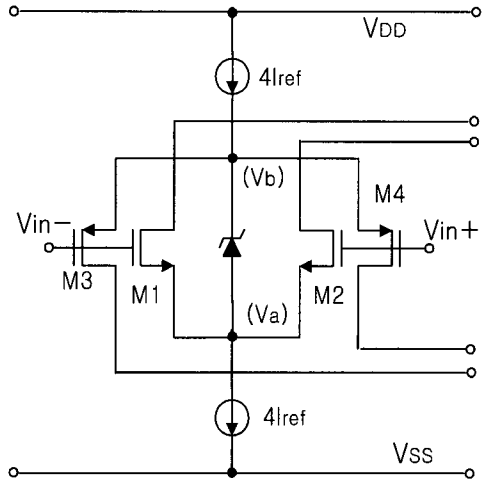


그림 1. 제너다이오드를 사용한 constant- g_m R-R 입력단

Fig. 1. Constant- g_m R-R input stage using a Zener diode.

$$V_{zener} = V_{SGp} + V_{GSn} = V_{Tn} + |V_{Tp}| + 2\sqrt{I_{ref}/\beta} \quad (1)$$

여기서 V_{SGp} 과 V_{GSn} 는 드레인 전류가 $I_{ref}/2$ 일 때 PMOS와 NMOS 입력 트랜지스터의 게이트와 소오스 전압이고, V_{Tn} 과 V_{Tp} 는 각각 NMOS와 PMOS 트랜지스터의 문턱전압이다. 또한 β_n 이 β_p 와 같다는 가정 하에 β 는 다음 식으로 주어진다.

$$\beta = \mu C_{ox} \left(\frac{W}{L} \right) = \mu_n C_{ox} \left(\frac{W}{L} \right)_n = \mu_p C_{ox} \left(\frac{W}{L} \right)_p \quad (2)$$

이상적인 제너다이오드인 경우, V_{cm} 이 V_{DD} 와 V_{SS} 의 중간영역에 있을 때는 입력 트랜지스터들의 게이트-소오스 전압의 합은 $V_b - V_a = V_{zener}$ 로 일정하며, 제너다이오드에 흐르는 전류는 $3I_{ref}$ 가 된다. 따라서, 두 차동쌍의 꼬리 전류는 I_{ref} 가 되어, g_{mT} 는 $2\sqrt{\beta I_{ref}}$ 로 일정하게 된다. V_{cm} 이 V_{DD} 나 V_{SS} 근처인 경우는 $V_b - V_a < V_{zener}$ 가 되어 제너다이오드는 OFF되고, NMOS 차동쌍 (M_1, M_2) 또는 PMOS 차동쌍 (M_3, M_4)의 꼬리 전류가 $4I_{ref}$ 가 되어, g_{mT} 값은 $2\sqrt{\beta I_{ref}}$ 이 된다. 따라서, g_{mT} 는 V_{cm} 전 범위에서 $2\sqrt{\beta I_{ref}}$ 로 일

정하게 된다.

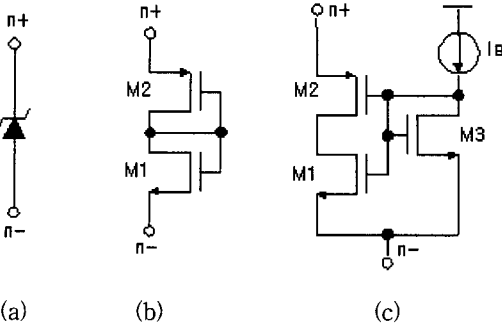


그림 2. (a) 제너다이오드 (b) 두 개의 복합 다이오드를 사용한 EZZ^[4] (c) 본 논문에서 제안하는 조절된 CMOS 인버터를 사용한 새로운 EZZ
 Fig. 2. (a) Zener diode (b) EZZ using two complementary diodes^[4] (c) Proposed EZZ using a regulated CMOS inverter.

문제는 이상적인 제너다이오드를 구현하는 방법에 있다. 기존에 사용된 방법은 그림 2(b)처럼 두 개의 복합 다이오드^[4]를 사용하는 것이다. 본 논문에서는 그림 2(c)의 조절된 CMOS 인버터를 사용한 새로운 EZZ를 제안하였다. 제너다이오드가 효율적인 g_m 조절을 하기 위해서는 제너다이오드 양단의 전압이 제너 전압보다 작아지는 경우 꺼짐 (turn-off) 특성이 날카로워야 한다. 꺼짐 특성이 무딘 경우는 OFF시 제너다이오드에 흐르는 전류에 의해 constant- g_m 특성이 나빠지게 된다.

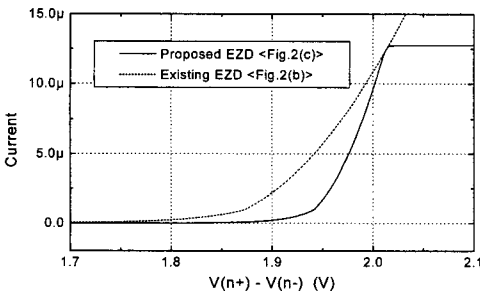


그림 3. 그림 2(b)의 EZZ와 제안된 그림 2(c)의 EZZ의 I-V특성 ($V_{zener}=2.0128V$)
 Fig. 3. I-V characteristics of the EZZs shown in Fig. 2(b) and (c) ($V_{zener}=2.0128V$).

그림 3의 I-V특성에서 보듯이 새롭게 제안된 EZZ가 기존의 EZZ에 비해 꺼짐 특성이 더 좋음을 알 수 있다. g_m 조절을 사용하지 않는 경우와 그림 2의 (b)

와 (c)의 EZZ를 사용한 입력단의 경우 각각에 대해 V_{cm} 에 따른 g_{mT} 의 곡선을 그림 4에 나타내었다. g_{mT} 의 변화는 두 개의 복합 다이오드를 사용한 경우 24%에서 조절된 CMOS 인버터를 사용한 경우 17%로 향상되었다.

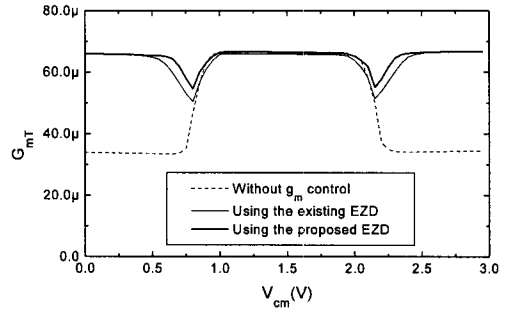


그림 4. g_m 조절이 없는 경우와 EZZ를 사용한 입력단들의 V_{cm} 에 따른 g_{mT}
 Fig. 4. g_{mT} versus V_{cm} for the input stages with EZZs and the input stage without g_m -control.

III. 조절된 CMOS 인버터를 사용한 R-R 입력단

보다 정교한 g_m 조절을 위한 R-R 입력단을 그림 5에 나타내었다. 여기서 M_{15} , M_{16} , M_{22} , M_{24} 는 조절된 CMOS 인버터를 사용한 EZZ이고, M_{20} , M_8 는 안정화 회로^[4]이다. M_{21} 은 EZZ가 ON 되었을 때 불필요한 전류를 처리하는 역할을 하고, M_{23} , M_7 , M_{25} 는 입력단의 올바른 동작을 위한 전류 경로 (path) 역할을 한다.

EZZ의 M_{15} , M_{16} , M_{22} 의 크기는 입력 트랜지스터의 크기와 같고, EZZ의 전류원 M_{24} 의 크기는 M_{10} 의 크기의 1/8이다. 따라서, NMOS 차동쌍과 PMOS 차동쌍이 동시에 동작할 때 M_{22} 에 흐르는 전류는 $I_{ref}/2$ 가 된다. M_{22} 와 M_{15} 는 크기가 같고 전류미러 (current mirror) 역할을 하므로, M_{15} 와 M_{16} 에 흐르는 전류도 $I_{ref}/2$ 로 일정하게 된다. 그러므로 제너다이오드 양단에 걸리는 전압, 즉 입력 트랜지스터의 게이트-소오스 전압의 합은 일정하게 되고, 따라서 NMOS쌍 (M_{13} , M_{14}) 또는 PMOS쌍 (M_{11} , M_{12})의 꼬리 전류는 I_{ref} 로 일정하게 된다. M_{21} 이 나머지 전류 $4I_{ref} - (3/2)I_{ref} = (5/2)I_{ref}$ 를 처리하고, M_{23} 과 M_7 는 각각

M₂₄와 M₈의 전류를 처리한다. NMOS 차동쌍이나 PMOS 차동쌍만 동작하는 경우 제너다이오드와 M₂₀은 OFF되며, V(40)이 V_{SS}에 가까워져서 M₂₁은 OFF 되고 M₂₅는 ON된다. 이때 M₂₅가 M₇의 전류를 처리하게 된다.

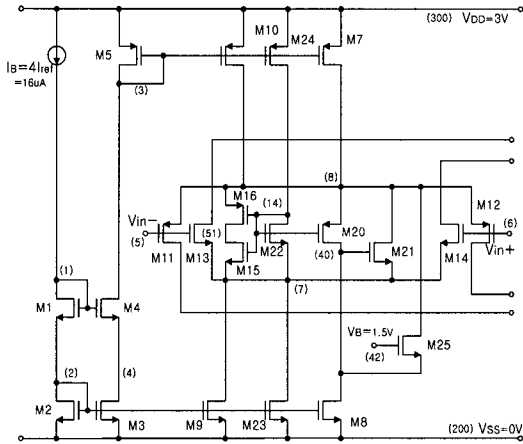


그림 5. 제안된 조절된 CMOS 인버터를 사용한 R-R 입력단

Fig. 5. Proposed R-R input stage using a regulated CMOS inverter.

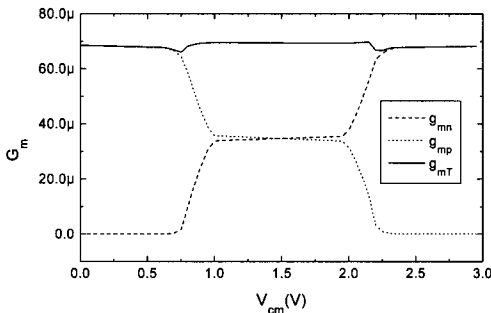


그림 6. 그림 5 입력단의 V_{cm}에 따른 gm_n, gm_p, gm_T 시물레이션 결과

Fig. 6. Simulated gm_n, gm_p, gm_T versus V_{cm} for the input stage shown in Fig. 5.

V_{cm}에 따른 NMOS 입력단의 gm_n과 PMOS 입력단의 gm_p 그리고 총 transconductance gm_T에 대해 ISRC 1.5μm CMOS 공정 패러미터를 사용하여 SPICE 시물레이션한 결과를 그림 6에 나타내었다. Hogervorst가 제안한 그림 2(b)의 EZD와 안정화 회로를 사용한 입력단^[4]과 비교시, 본 논문에서 제안하는 입력단은 M₂₄, M₂₂, M₂₃의 전류 경로에 의해 전력 소모가 약간 증가하기는 하나, 시물레이션 결과 V_{cm}에

따른 gm_T 변화는 약 5% 정도로 Hogervorst가 제안한 입력단의 gm_T 변화 8%에 비해 보다 일정한 gm_T의 특성을 나타낸다.

IV. Constant-g_m R-R 입/출력 이단 증폭회로

그림 5의 입력단을 사용하여 이단 증폭회로를 설계하였다. ISRC 1.5μm CMOS 공정 패러미터를 사용하여 설계된 이단 증폭회로를 그림 7에 나타내었다. M₃₁~M₃₈은 합산 (summing) 회로이고, M₃₉, M₄₀, M₄₃, M₄₄는 AB급 (class-AB) R-R 출력단을 구성한다. 여기서 M₃₉, M₄₀은 공통 소오스 (common source) 출력 트랜지스터이고, M₄₃, M₄₄는 부유 AB급 (floating class-AB) 조절회로로서 M₃₉와 M₄₀의 게이트 사이의 전압을 일정하게 유지시켜 AB급 동작을 하게 된다.

부유 AB급 조절회로는 합산 회로에 첨가되어 합산 회로로부터 바이어스 전류를 공급받는다. 합산 회로는 두 개의 전류미러를 포함하며, AB급 조절회로와 같은 구조를 갖는 부유 (floating) 전류원 (M₄₁, M₄₂)을 사용하여 전류미러에 바이어스를 인가한다. 부유 전류원이 AB급 조절회로와 같은 구조를 갖기 때문에, 출력 정적 (quiescent) 전류는 공급전압 변화에 덜 민감하다.^[5] 캐패시터 C_{M1}과 C_{M2}는 주파수 보상을 위한 Miller 커패시터들이다.

V. 측정 결과

제안된 증폭회로는 LG 0.8μm single-poly, double-metal CMOS 공정 패러미터를 사용하여 재설계되었고, 반도체설계교육센터 (IDEC)의 도움으로 LG 반도체에서 IC로 제작되었다. 증폭회로의 레이아웃을 그림 8에 나타내었다. 설계된 증폭회로의 면적은 0.08 mm²이다.

입력단의 gm을 정확하게 측정하기 위해서, gm 측정용 입력단을 별도로 설계하여 그림 9에서처럼 차동쌍의 입력트랜지스터 M_a와 바이어스 전류원으로 사용되는 M_b가 분리될 수 있고, M_a의 I_d 측정을 위해 M_a의 드레인을 개방할 수 있도록 하였다. 먼저 그림 9(a)에서처럼 M_a와 M_b가 연결된 상태에서 공통모드 입력 전압 V_g에 따른 V_s값들을 측정하였다. DC 전압원으로

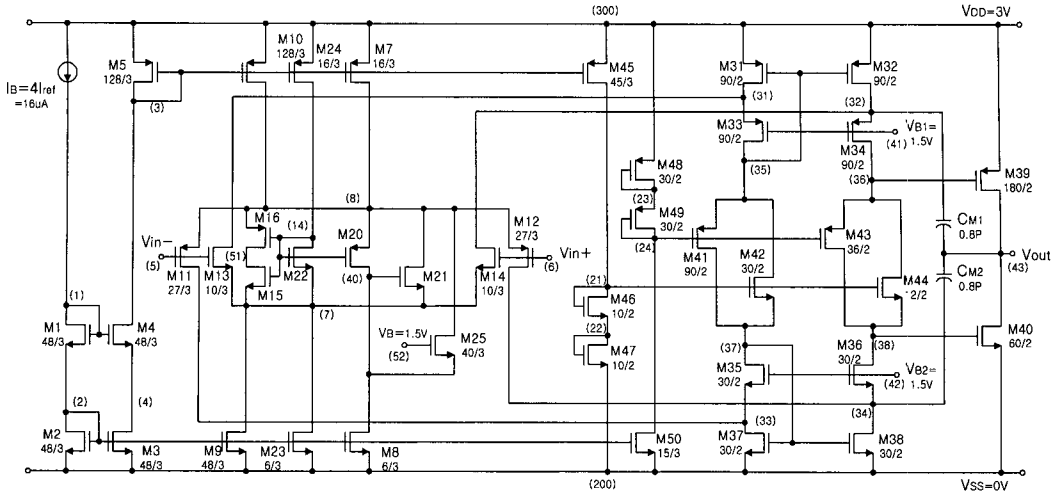


그림 7. 설계된 constant- g_m R-R 입/출력 이단 CMOS 증폭회로
 Fig. 7. Designed constant- g_m R-R input/output two-stage CMOS op-amp.

로 0V에서 3V까지의 V_g 를 공급하고 디지털 오실로스코프로 V_s 를 측정하여, NMOS 차동쌍과 PMOS 차동쌍 각각에 대해 V_g 에 따른 V_s 값들을 결정하였다.

로 제작된 회로로부터 얻어진 것이기 때문이다.

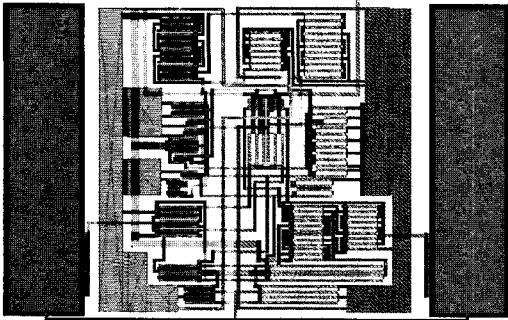


그림 8. 설계된 증폭회로의 레이아웃
 Fig. 8. Layout of the designed op-amp.

그 다음, 그림 9(b)에서처럼 M_a 를 M_b 와 분리시키고, 먼저 결정된 V_g 와 V_s 값으로 M_a 의 게이트와 소오스를 고정시킨 후, HP4145B를 사용하여 M_a 의 I_d 를 측정하고 g_m 을 결정하였다.

위 방법을 사용하여 입력단의 g_{mn} , g_{mp} , 그리고 g_{mT} 를 측정한 결과를 그림 10에 나타내었다. 입력 공통모드 전압 V_{cm} 전 범위에서 g_{mT} 의 변화는 약 6%로 일정함을 확인할 수 있다. 측정된 g_m 특성이 그림 6의 시뮬레이션 결과와 부분적으로 조금 다른 특성을 보이는데, 이는 그림 6의 시뮬레이션 결과는 $1.5\mu m$ 공정 변수를 사용한 결과이고 측정결과는 $0.8\mu m$ 공정의

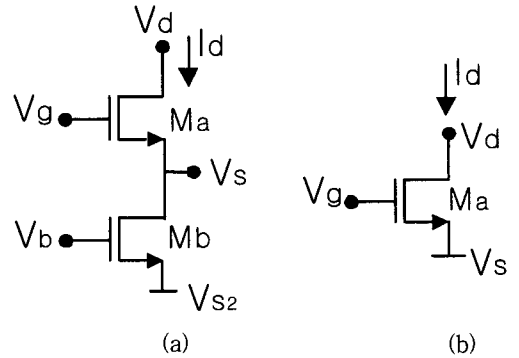


그림 9. g_m 측정 방법 (a) V_s 는 V_g 에 따라 변함 (b) V_s 고정됨
 Fig. 9. g_m measurement technique (a) V_s is dependent on V_g (b) V_s is fixed.

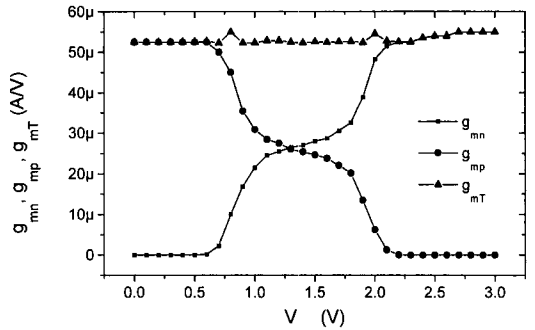


그림 10. V_{cm} 에 따른 g_{mn} , g_{mp} , g_{mT} 측정 결과
 Fig. 10. Measured g_{mn} , g_{mp} , g_{mT} versus V_{cm} .

증폭회로를 측정한 결과, 단일 3V 전원에서 부하가 $C_L=20\text{pF}$, $R_L=10\text{k}\Omega$ 일때 88dB의 dc 전압이득과 4MHz의 단위이득주파수, 그리고 60° 의 위상여유를 얻었다.

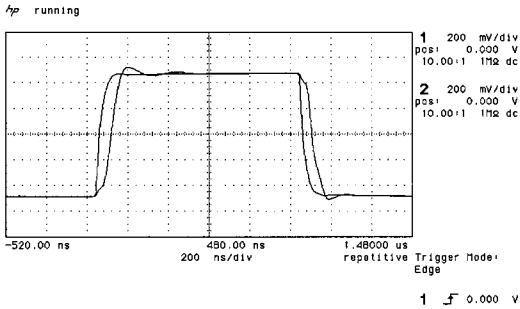


그림 11. 설계된 증폭회로의 과도상태 응답 측정결과
Fig. 11. Measured transient response of the op-amp.

1V 스텝입력에 대한 증폭회로의 과도응답을 그림 11에 보였다. 1% 에러 범위에 대한 정착 (settling) 시간은 250ns이고, 슬루율 (slew rate)은 $19.6\text{V}/\mu\text{s}$ 이다. 그림 12는 증폭회로의 단위 이득 전달 (unity-gain transfer) 특성을 나타낸다. 출력 범위는 $V_{SS}+10\text{mV} \sim V_{DD}-60\text{mV}$ 이고, 소비전력은 0.462mW , 오프셋전압은 4.3mV 로 측정되었다. 표 1에 측정된 증폭기의 성능을 요약하였다.

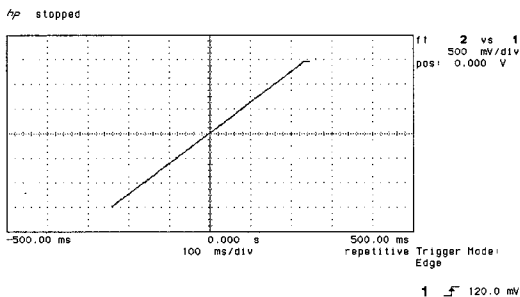


그림 12. 설계된 증폭회로의 단위 이득 전달 특성 측정결과
Fig. 12. Measured unity-gain transfer characteristic of the op-amp.

VI. 결론

본 논문에서는 새로운 전자식 제너다이오드를 사용한 CMOS constant- g_m rail-to-rail 입력단을 제안하였다. 기존의 두 개의 복합 다이오드를 사용한 EZD에 비해, 제안한 조절된 CMOS 인버터를 사용한

EZD는 다이오드의 꺼짐 (turn-off) 특성이 더 좋으며, 따라서 보다 일정한 g_m 조절이 가능하다. 시뮬레이션 결과 제안된 EZD를 사용한 입력단의 g_{mT} 변화는 공통모드 입력 전 범위에서 약 5%로 기존의 EZD를 사용한 입력단의 g_{mT} 변화 8% 보다 향상되었다.

표 1. 설계된 증폭회로의 성능측정 결과
Table 1. Measured characteristics of the op-amp.

Parameter	
Supply voltage	single 3V
C_L/R_L	$20\text{pF}/10\text{k}\Omega$
g_{mT} variation	6%
Open-loop gain	88dB
Unity-gain frequency	4MHz
Phase margin	60°
Output voltage swing	$V_{SS}+10\text{mV} \sim V_{DD}-60\text{mV}$
Input offset voltage	4.3mV
Slew rate	$19.6\text{V}/\mu\text{s}$
Settling time	250ns
Power dissipation	0.462mW
Area	0.08mm^2

제안된 입력단을 사용하여 CMOS constant- g_m rail-to-rail 입/출력 이단 증폭회로를 설계하였다. $0.8\mu\text{m}$ CMOS 공정을 사용하여 제작된 증폭회로를 측정 한 결과, V_{cm} 전 범위에서 g_{mT} 변화는 6%이고, 단일 3V 전원에서 $C_L=20\text{pF}$, $R_L=10\text{k}\Omega$ 일 때 88dB의 dc 전압이득과 4MHz의 단위이득주파수, 그리고 60° 의 위상여유를 얻었다. 설계된 증폭회로의 칩 면적은 0.08mm^2 으로 VLSI 구성 블록으로 유용하게 사용될 수 있다.

참고 문헌

[1] J. H. Huijsing and D. Linbarger, "Low-voltage operational amplifier with rail-to-rail input and output ranges," *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1144-1150, Dec. 1985.

[2] R. Hogervorst, R. J. Wiegerink, P. A. de Jong, J. Fonderie, R. F. Wassenaar, and J. H. Huijsing, "CMOS low-voltage operational amplifiers with constant- g_m rail-to-rail input stage," *Proceedings of the IEEE International Symposium on Cir-*

cuits and Systems, pp. 2876-2879, 1992.

[3] J. H. Botma, R. F. Wassenaar, and R. J. Wiegerink, "A low-voltage CMOS op amp with a rail-to-rail output stage," *Proceedings of the IEEE International Symposium on Circuits and Systems*, pp. 1314-1317, 1993.

[4] R. Hogervorst, J. P. Tero, and J. H. Huijng, "Compact CMOS constant-g_m rail-to-rail input stage with g_m-control by an electronic zener diode," *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 1035-1040, July 1996.

[5] J. H. Huijsing, R. Hogervorst, and K. J. deLangen, "Low-power low-voltage VLSI operational amplifier cells," *IEEE Trans. Circuits syst. I*, vol. 42, pp. 853-863, Nov., 1995.

[6] C. Hwang, A. Motamed, and M. Ismail, "Universal constant-g_m input-stage architectures for low-voltage op amps," *IEEE Trans. Circuits syst. I*, vol. 42, pp. 886-895, Nov., 1995

[7] S. Sakurai and M. Ismail, *Low-Voltage CMOS Operational Amplifiers*, Kluwer Academic Publishers, 1995

저 자 소 개



李泰源(正會員)
 1971년 7월 31일생. 1996년 2월 인천대학교 전자공학과(학사). 1998년 2월 인천대학교 전자공학과(석사). 1997년 12월 ~ 현재 LG전자 AV 미디어 연구소 연구원. 주관심분야는 혼성 모드 아날로그/디지털 집적회로 설계

설계임



李京一(正會員)
 1971년 10월 4일생. 1997년 2월 인천대학교 전자공학과(학사). 1997년 3월 ~ 현재 동 대학원 전자공학과 석사과정 재학중. 주관심분야는 혼성 모드 아날로그/디지털 집적회로 설계

임



吳元錫(正會員)
 1970년 12월 26일생. 1997년 2월 인천대학교 전자공학과(학사). 1997년 3월 ~ 현재 동 대학원 전자공학과 석사과정 재학중. 주관심분야는 혼성 모드 아날로그/디지털 집적회로 설계

임

朴鍾泰(正會員) 第 34卷 D編 第 12號 參照
 현재 인천대학교 전자공학과 교수

劉宗根(正會員) 第 32卷 A編 第 1號 參照
 현재 인천대학교 전자공학과 교수