

P1394 시리얼 버스 IC의 설계

(A Design of P1394 Serial Bus IC)

李康潤*, 鄭德均*

(KangYun Lee and DeogKyoon Jeong)

요 약

본 논문에서는 멀티미디어 데이터를 400 Mbps의 속도까지 전송할 수 있고, 필요한 대역폭을 보장해 줄 수 있는 새로운 버스 인터페이스 구조인 P1394 시리얼 버스 칩을 설계했다. 멀티미디어 데이터는 그 특성상 일정한 시간 내에 전달되지 못하면 의미가 없는 데이터가 된다. 따라서 멀티미디어 데이터의 경우는 제 시간 전송이 필수적이라고 할 수 있다. 본 논문에서 설계한 P1394 시리얼 버스 칩을 이용하면 이러한 문제를 해결할 수 있도록 필요로 하는 대역폭을 보장해 줄 수 있는 isochronous 전송 모드를 지원한다. 또한 설계한 P1394 시리얼 버스 칩을 이용하면 400 Mbps의 속도까지 지원할 수 있으므로 고 화질 또는 고 음질의 멀티미디어 데이터를 전송할 수 있다. 또한 SCSI와 같은 기존의 인터페이스 구조에서는 사용자가 직접 디바이스의 ID를 설정해야 했지만, 설계한 P1394 시리얼 버스 칩을 이용해서 각 노드들을 케이블로 연결하고 전원만 켜면 각 디바이스의 ID가 자동으로 결정되므로 사용자가 편리하다. 이 칩을 설계하기 위해서 VHDL (VHSIC Hardware Description Language) 을 이용하여 전체 시스템의 동작을 모의 실험 한 후에 합성을 하였다. 또한 최적화가 필요한 블록이나 아날로그 부분을 설계하기 위해서는 full custom으로 레이아웃을 하였다.

Abstract

In this paper, I designed a P1394 serial bus chip as new bus interface architecture which can transmit the multimedia data at the rate of 400 Mbps and guarantee necessary bandwidth. Because multimedia data become meaningless data after appropriate time, it is necessary to transfer multimedia data in real time. P1394 serial bus chip designed in this paper support isochronous transfer mode to solve this problem. Also, designed P1394 serial bus chip can transfer high quality video data or high quality audio data because it support the speed of 400 Mbps. While user must set device ID manually in previous interface such as SCSI, device ID is automatically determined if user connect each node with designed P1394 serial bus cable and power on. To design this chip, I verified the behavioral of the entire system and synthesized layout. Also, I did layout the analog blocks and blocks which must be optimized in full custom.

I. 서 론

본 논문에서는 멀티미디어 데이터를 400 Mbps의

속도까지 전송할 수 있고, 필요한 대역폭을 보장해 줄 수 있는 새로운 버스 인터페이스 구조인 P1394 시리얼 버스 칩을 설계했다. 아날로그의 세계에서 완전한 디지털 환경으로 바뀌기 위해서는 새로운 인터페이스가 필요하다. 디지털 디바이스들은 특히 고 해상도와 고 화질 또는 고 음질이 요구될 때 많은 양의 데이터를 발생시킨다. 예를 들어서 멀티미디어 디바이스들의

* 正會員, 서울大學校 電氣工學部

(School of Electrical Engineering, Seoul National University)

接受日:1997年8月30日, 수정완료일:1997年12月31日

필요한 대역폭은 표 1과 같다. High Quality Video의 경우는 220 Mbps 이상의 대역폭이 필요하다. 또 오디오나 비디오와 같은 멀티미디어 데이터를 주고 받는 화상 회의와 같은 경우에는 데이터를 제 시간에 전달해야 하며 그렇게 하기 위해서는 필요한 대역폭을 보장해 주어야 한다. 따라서, 이러한 대역폭 요구 조건을 충족 시키고 필요한 대역폭을 확보할 수 있는 새로운 인터페이스가 필요하게 되었다. 기존의 버스 인터페이스 구조에서는 어떤 노드가 데이터를 보내고 있을 때 다른 노드가 데이터를 보내려고 하면 버스 중재 과정이 시작되고 새로운 노드가 버스를 차지할 수도 있다. 이렇게 되면 먼저 데이터를 보내고 있던 노드가 비디오나 오디오와 같은 멀티미디어 데이터를 보내고 있었다면 그 데이터는 제 시간에 전달될 수 없다. 멀티미디어 데이터는 그 특성상 일정한 시간 내에 전달되지 못하면 의미가 없는 데이터가 된다. 따라서 멀티미디어 데이터의 경우는 제 시간 전송이 필수적이라고 할 수 있다.

표 1. 멀티미디어 디바이스들의 대역폭
Table 1. Bandwidth of multimedia devices.

멀티미디어의 종류	디지털 데이터 양
High Quality Video	$(30 \text{ 프레임/초}) \times (640 \times 480 \text{ pels}) \times (24 \text{ 비트/ pel}) = 221 \text{ Mbps}$
Reduced Quality Video	$(15 \text{ 프레임/초}) \times (320 \times 240 \text{ pels}) \times (24 \text{ 비트/ pel}) = 18 \text{ Mbps}$
High Quality Audio	$(44,100 \text{ 오디오 샘플/초}) \times (16 \text{ 비트/샘플}) \times (2 \text{ 오디오 채널}) = 1.4 \text{ Mbps}$
Reduced Quality Audio	$(11,050 \text{ 오디오 샘플/초}) \times (8 \text{ 비트/샘플}) \times (1 \text{ 오디오 채널}) = 0.1 \text{ Mbps}$

본 논문에서 설계한 P1394 시리얼 버스 칩을 이용하면 이러한 문제를 해결할 수 있도록 필요로 하는 대역폭을 보장해 줄 수 있는 isochronous 전송 모드를 지원한다. 표 1에서 알 수 있는 바와 같이 고 화질의 비디오 데이터를 전송하기 위해서는 220 Mbps 이상의 대역폭이 필요하다. P1394 시리얼 버스 칩을 이용하면 400 Mbps의 속도까지 지원할 수 있으므로 고 화질 또는 고 음질의 멀티미디어 데이터를 전송할 수 있다.

이와 같이 설계한 P1394 시리얼 버스 칩은 멀티미디어 데이터의 전송에 적합할 뿐 아니라 기존의 인터페이스의 단점을 보완할 수 있다. 전통적으로 PC에서

시스템 버스는 병목이 되어 왔다. 이런 문제를 해결하기 위해서 EISA 버스와 IBM의 MCA(Micro-channel Architecture)가 등장했다. 그 후에 비디오만을 위한 로컬 버스의 개념이 등장했다. 여러 가지 로컬 버스의 구현 중에서 VESA 표준이 가장 많이 유행했다. 최근에 PCI 표준 버스가 단순히 고속 비디오 디스플레이의 차원을 넘어서 로컬 버스의 개념을 좀더 일반적인 주변기기 상호 연결 망으로 확장시켰다. 이와 같은 여러 가지 인터페이스 중에서 가장 많이 쓰이고 있는 I/O 버스로는 SCSI (Small Computer System Interface)가 있다. SCSI 버스의 단점은 첫째, SCSI는 패러렐 인터페이스이고, 둘째 다른 패러렐 버스와 마찬가지로 SCSI는 하드 디스크 드라이브, CD-ROM 드라이브, 테이프 백업등 제한된 연결성을 가지고 있다는 점이다^{[1] [2]}. SCSI와 같은 기존의 인터페이스 구조는 하드 디스크나 CD-ROM 드라이브 등 제한된 연결성을 가지고 있었으나, P1394 시리얼 버스 칩을 이용하면 컴퓨터, 하드디스크, 프린터, 스캐너, 디지털 카메라등을 함께 연결할 수 있다. 또한 SCSI와 같은 기존의 인터페이스 구조에서는 사용자가 직접 디바이스의 ID를 설정해야 했지만, 설계한 P1394 시리얼 버스 칩을 이용해서 각 노드들을 케이블로 연결하고 전원만 켜면 각 디바이스의 ID가 자동으로 결정된다. 단 케이블을 연결할 때 사이클이 형성되면 안 된다. 한편, 최근에 컴퓨터의 뒷면을 보면 프린터를 연결하기 위한 패러렐 포트, 모뎀을 연결하기 위한 시리얼 포트, 디스플레이, 키보드, 마우스 등을 연결하기 위한 케이블 등이 있다. SCSI는 외부 저장 디바이스들과 큰 케이블 커넥터들이 필요하고 ID들을 손수 설정해야 하며 터미네이터에 대해 접근해야 할 필요가 있다. 또한 비디오에는 비디오 카메라 또는 레코더로부터 이미지를 캡처하기 위한 케이블이 필요하다. 이처럼 커넥터들을 위해서 많은 공간이 필요할 뿐 아니라 케이블 수의 증가로 인해 사용자들은 불편을 겪는다. 따라서, 이와 같은 케이블들과 커넥터들의 복잡성을 극복할 수 있는 새로운 인터페이스가 필요하게 되었다. 본 연구에서 설계한 P1394 시리얼 버스의 가는 케이블을 이용하면 더 크고 값 비싸고 복잡한 기존의 인터페이스들을 대체할 수 있다. P1394 시리얼 버스 프로토콜은 케이블 환경과 backplane 환경을 지원하는데, 본 논문에서는 케이블 환경만을 목표로 설계하였다.

II. P1394 시리얼 버스의 각 계층의 설계

1. P1394 시리얼 버스의 프로토콜 스택

P1394 시리얼 버스의 프로토콜 스택은 그림 1과 같다. 물리 계층은 P1394 시리얼 버스 디바이스와 P1394 시리얼 버스 케이블간에 전기적, 기계적 연결을 제공한다. 실제 데이터를 주고 받는 일 이외에도 물리 계층은 모든 노드들이 버스에 공평하게 접근을 할 수 있도록 보장해주는 버스중재의 역할을 한다. 링크 계층은 비동기와 isochronous의 두 가지 종류의 데이터 패킷을 전달하는 역할을 한다. 비동기 프로토콜은 일반적인 전송 후 acknowledge를 받는 프로토콜이고, isochronous 프로토콜은 정보의 제 시간 전달을 위한 실 시간적이고 대역폭을 보장해주는 프로토콜이다. 트랜잭션 계층은 비동기 write, read, lock 명령을 지원한다. write는 데이터를 발생자로부터 수신자로 전달하고, read는 데이터를 요구하는 이에게 전달한다. lock은 write와 read의 기능을 결합했다. P1394 시리얼 버스 관리 계층은 CSR 구조를 이용하여 시리얼 버스의 전반적인 구성을 제어한다^{[3] [4]}.

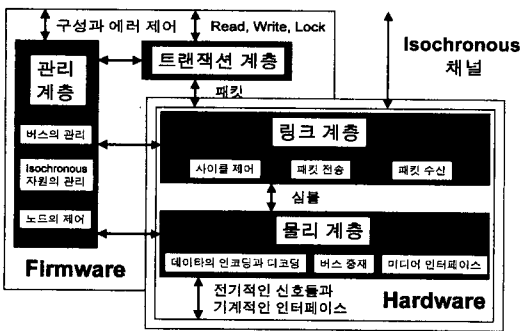


그림 1. P1394 시리얼 버스의 프로토콜 스택
Fig. 1. Protocol Stack of P1394 Serial Bus.

2. 물리 계층의 설계

설계한 물리 계층의 블록 다이어그램은 그림 2와 같으며 각 부분들의 기능은 다음과 같다.

1) 데이터 인코더

데이터 인코더는 노드가 버스 중재에서 이겼을 경우에 노드에 의해서 전송되고 있는 데이터 또는 디코더에 의해서 받아들여진 데이터를 데이터-스트로브 포맷으로 인코딩을 한다.

2) 데이터 디코더

데이터 디코더는 데이터-스트로브 포맷으로 인코딩

된 데이터를 받아들여서 로컬 클럭에 동기된 데이터 비트들을 생성한다.

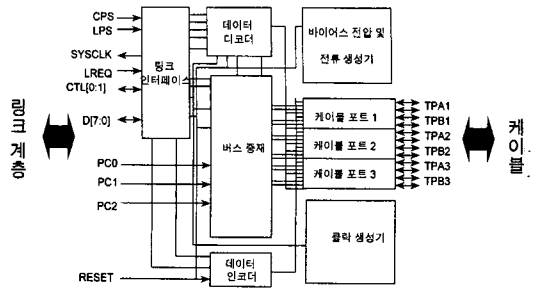


그림 2. 물리 계층의 블록 다이어그램
Fig. 2. Block diagram of physical layer.

3) 버스 중재 로직

버스 중재 로직은 버스에 접근할 수 있는 권한을 노드에 부여한다.

4) 케이블 미디어 인터페이스 (케이블 포트)

케이블 미디어 인터페이스는 아날로그 부분과 디지털 부분을 연결해 주는 역할을 한다. 그림 3에 나타나 있는 것과 같이 케이블 미디어 인터페이스는 두 개의 인터페이스 신호들 TPA/TPA#, TPB/TPB#와 전력 분포 신호 VP/VG로 이루어져 있다. TPA/ TPA#는 스트로브 신호를 전송하고, 데이터를 받는다. TPB/ TPB#는 데이터를 전송하고 스트로브를 받는다.

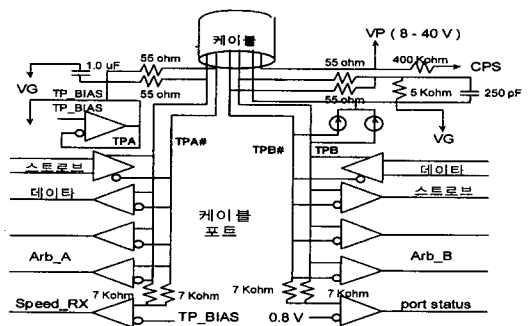
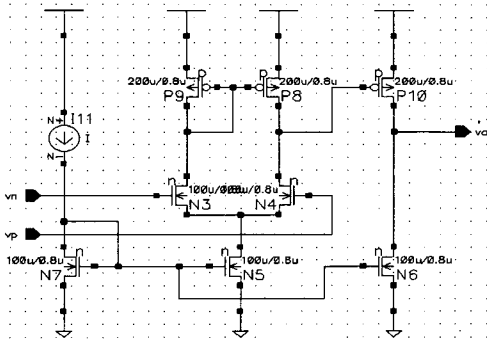
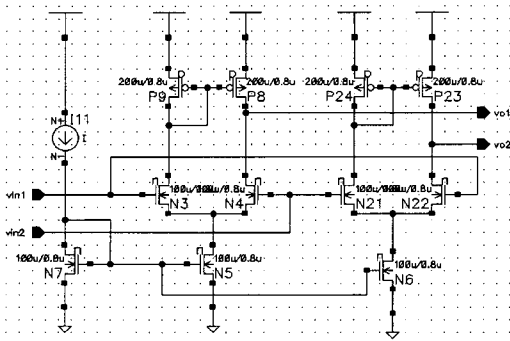


그림 3. 케이블 미디어 인터페이스
Fig. 3. Cable media interface.

케이블 미디어 인터페이스에서 중요한 역할을 하는 입력 드라이버와 출력 드라이버 회로는 그림 4와 같이 설계하였다. 입력 드라이버는 케이블을 통해서 들어오는 신호를 물리 계층 내부로 받아 들이는 역할을 하고 출력 드라이버는 물리 계층 내부의 신호를 케이블로 내보내는 역할을 한다.



(a)



(b)

그림 4. (a) 입력 드라이버 (b) 출력 드라이버
Fig. 4. (a) Input driver (b) Output driver

표 2. 입력 신호와 출력 신호의 전압 레벨
Table 2. Voltage level of input signal and output signal.

파라미터	최소	전형	최대	단위
공급 전압 (Vdd)	3.0	3.3	3.6	V
High 레벨 입력 전압 (Vih)	0.8Vdd			V
Low 레벨 입력 전압 (Vil)			0.2Vdd	V
차동 입력 전압 (Vid)	132		260	mV
공통 모드 입력 전압 (Vcm) (TPB)	1.165		2.515	V
차동 출력 전압	172		265	mV
공통 모드 출력 전압 (TPA)	1.665		2.015	V

입력 드라이버와 출력 드라이버에서 요구되는 입력 신호와 출력 신호의 전압 레벨은 표 2와 같다. 입력 전압 레벨은 케이블을 통해서 들어오는 전압의 레벨을

의미하고, 출력 전압은 케이블을 통해서 나가는 전압을 의미한다.

3. 링크 계층의 설계

1) 링크 계층의 기능

링크 계층은 half-duplex 데이터 패킷 전달 서비스를 제공한다. 하나의 패킷을 전달하는 프로세스를 subaction 이라고 하고, P1394 시리얼 버스의 링크 계층에서 사용하는 subaction에는 2 가지 종류가 있다.

- a) 비동기 subaction - 가변적인 양의 데이터와 몇 바이트의 트랜잭션 계층의 정보가 명시된 어드레스로 전달되고, acknowledge 가 되돌아온다.
- b) Isochronous subaction - 가변적인 양의 데이터가 단순화된 어드레싱을 가지고 규칙적인 간격마다 전달되고 acknowledge가 없다.

Subaction은 크게 3 가지 부분으로 구성되어 있다.

- a) 버스 중재 (Arbitration sequence) - 패킷을 보내고자 하는 노드가 물리 계층에게 버스에 대한 제어권을 잡도록 요구한다. 물리 계층이 이미 버스를 제어하고 있다면 즉시 반응한다.
- b) 데이터 패킷의 전송 - 비동기 subaction을 위해서 소스 노드가 data prefix 신호와 소스와 목적 노드들의 어드레스, 트랜잭션 코드 (transaction code), 트랜잭션 라벨 (transaction label), 재시도 코드, 데이터, 하나 또는 두 개의 CRC들과 패킷 종료 신호 (또 다른 data prefix나 data end)를 보낸다. isochronous 트랜잭션은 소스나 목적 어드레스 대신에 짧은 채널 식별자를 포함하고 있고 트랜잭션 라벨이나 재 시도 코드를 포함하고 있지 않다.

- c) 확인 응답 목적 노드가 패킷 수신기에 의해서 행해진 동작을 나타내는 코드를 되돌려 보낸다. Isochronous 패킷과 비동기 브로드캐스트 패킷은 acknowledge를 받지 않는다. acknowledge의 앞에는 data prefix가 나오고 다른 data prefix나 data end로 끝난다.

2) 링크 계층의 구성

설계한 링크 계층의 블록 다이어그램은 그림 5와 같으며 각 부분들의 기능은 다음과 같다

(1) 호스트 인터페이스

호스트 인터페이스는 링크 계층이 대부분의 호스트에 쉽게 연결 될 수 있도록 한다. 호스트 인터페이스

는 32 비트의 데이터와 8 비트의 어드레스 버스로 이루어져 있다. 링크 계층은 로컬 버스 클락과 P1394 시리얼 버스의 클락이 서로 비동기적이 되도록 하기 위해서 사이클 시작과 사이클 확인 응답 신호를 이용한다.

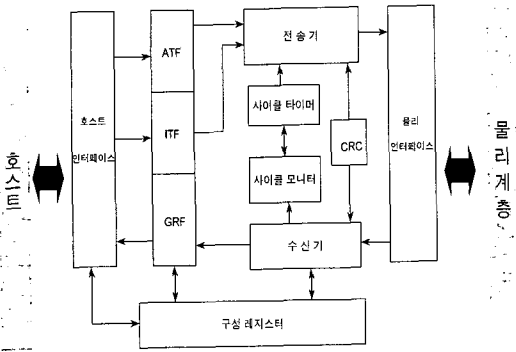


그림 5. 링크 계층의 블록 다이어그램
Fig. 5. Block diagram of link layer.

(2) 전송 FIFO와 수신 FIFO

링크 계층은 두 개의 전송 FIFO와 하나의 수신 FIFO를 가지고 있다. 이러한 FIFO들 각각은 폭이 32 비트이고 소프트웨어에 의해서 조정 될 수 있다.

(3) 사이클 타이머

사이클 타이머는 isochronous 데이터 전송을 지원 하는 노드들에 의해서 사용된다. 사이클 타이머는 32 비트 사이클 타이머 레지스터이다. isochronous 데이터 전송 능력을 가지고 있는 각각의 노드들은 사이클 타이머 레지스터들을 가지고 있다.

(4) 사이클 모니터

사이클 모니터는 isochronous 데이터 전송을 지원 하는 노드들에 의해서만 사용된다. 사이클 모니터는 칩의 활동성을 모니터하고 isochronous 활동을 스케줄링한다.

(5) 구성 레지스터

구성 레지스터는 전반적인 링크 계층의 동작을 제어 한다.

(6) 전송기

송신기는 ATF(Asynchronous Transmit FIFO) 또는 ITF(Isochronous Transmit FIFO)로부터 데이터를 받아서 물리 인터페이스를 통해서 전송될 올바른 포맷된 P1394 시리얼 버스 패킷을 생성한다. 데이터가 ATF에 존재할 때 링크 계층은 시리얼 버스를

잡기 위해서 버스 중재에 참여하고 패킷을 보낸다. 데이터가 ITF에 존재할 때 링크 계층은 다음 isochronous 사이클에 시리얼 버스를 잡기 위해서 버스 중재에 참여한다. 노드가 사이클 마스터일때는 전송기는 또한 사이클 시작 패킷을 보낸다.

(7) 순회 중복 검사

CRC 모듈은 에러를 감지하기 위해서 32 비트 CRC를 생성한다. 이것은 헤더와 데이터 모두에 대해서 행해진다. CRC 모듈은 보내고자 하는 패킷에 대해서 헤더와 데이터 CRC를 생성하고 받은 패킷에 대한 헤더와 데이터 CRC를 체크한다.

(8) 수신기

수신기는 물리 인터페이스로부터 들어온 데이터를 받아들이고 들어오는 패킷의 목적 노드 ID가 이 노드의 물리 ID와 일치하는가를 결정한다. 만약에 패킷의 목적 노드 ID가 이 노드의 물리 ID와 일치하면 그 패킷의 CRC가 체크된다.

III. 모의 실험

모의 실험을 하기 위해서 그림 6과 같이 5 개의 노드로 이루어진 네트워크 모델을 사용하였다.

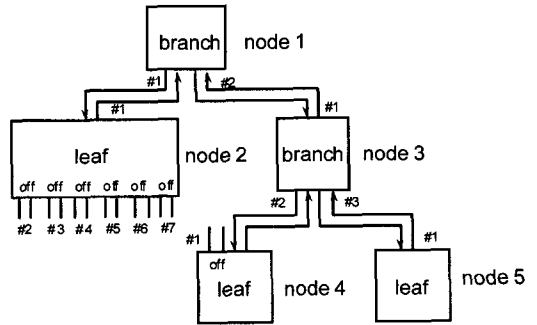


그림 6. 모의 실험의 토폴로지
Fig. 6. Topology for simulation.

그림 6의 각 노드는 컴퓨터, 하드디스크, 프린터, 디지털 카메라 등이 될 수 있다. 사이클이 형성되지 않으면 버스 중재 과정을 거쳐서 항상 트리 구조로 변환 될 수 있다. 하나의 포트만 연결된 노드는 leaf 이고, 하나 이상의 포트가 연결된 노드는 branch 이다. 설계한 P1394 시리얼 버스 칩은 디지털 부분과 아날로그 부분이 혼합되어 있다. 디지털 부분과 아날로그 부분을 연결해주는 케이블 미디어 인터페이스를 모의 실험

험하기 위해서 케이블 미디어 인터페이스에서 중요한 역할을 하는 입력 드라이버와 출력드라이버를 모의 실험 하였다

1. 버스 중재 블록에 대한 모의 실험

그림 7로부터 노드 1은 트리 인식 후에 노드 2와 노드 3을 child로 인식했음을 알 수 있다. leaf 노드 2는 노드 1을 parent로 인식했다. 노드 3은 노드 1을 parent로, 노드 4와 노드 5를 child로 인식했다. 노드 4와 노드 5는 노드 3을 parent로 인식했다. 그림 3-2에서 phy_ID1(5:0) 이 04 라는 것은 자기 인식 과정이 끝난 후에 노드 1이 물리 ID #4를 할당 받았음을 의미한다. 노드 2는 물리 ID #0을 할당 받았고, 노드 3은 물리 ID #3을 할당 받았다. 노드 4는 물리 ID #1을 할당 받았고 노드 5는 물리 ID #2를 할당 받았다. 그림 7에서 self_id_pkt (5:0) 들은 자기 인식 과정 중에 각각의 노드에 의해서 보내지는 Self-ID 패킷을 의미한다. 만약에 노드 2와 노드 5가 버스를 동시에 잡으려 하면 정상 버스 중재 (normal arbitration) 과정이 시작된다. 그림 7에서 ra_en11 신호가 1로 활성화 되면 노드 1의 포트 1을 통해서 데이터의 수신이 가능함을 의미하고, ta_en12 신호가 1로 활성화 되면 노드 2의 포트 1을 통해서 데이터의 전송이 가능함을 의미한다. 따라서 정상 버스 중재 과정 후에 노드 2가 이겨서 노드 2에서 노드 1으로 데이터가 전송될 수 있음을 의미한다.

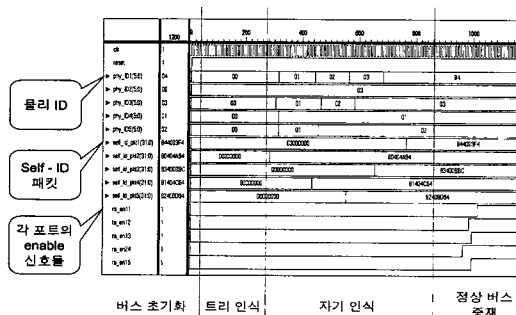


그림 7. 버스 중재 블록의 모의 실험 결과
Fig. 7. Simulation result of bus arbitration block.

2. 전체 시스템의 모의 실험 결과

그림 8은 버스 중재 과정에서 이긴 노드 2의 호스트로부터 케이블 포트에 데이터가 전달된 후 노드 1의 케이블 포트에서 호스트로 그 데이터가 전달되는 과정을 보여준다. 그림 6과 같은 네트워크 모델에서 노

드 2와 노드 5가 동시에 데이터를 보내기 위해서 버스 중재를 참여하려고 할 때, 버스 중재 결과 노드 2가 이겼음을 그림 7로부터 알 수 있다. 따라서 노드 2로부터 노드 1로 데이터가 전송되고 있는 과정이 그림 8에 나타나 있다. 그림 8에서 노드 1의 버스 중재 클래스 arb_class1은 01 인데 이는 CYCLE_MAS-TER 가 되기 위해서 버스 중재에 참여할 것을 의미한다. 노드 2와 노드 5의 버스 중재 클래스 arb_class2와 arb_class5는 10 인데 이는 ISOCHRO-NOUS 데이터를 전송하기 위해서 버스 중재에 참여함을 의미한다. 노드 3과 노드 4의 버스 중재 클래스 arb_class3 와 arb_class4는 00 인데 이는 버스 중재 방법을 FAIR 로 할 것임을 의미한다. 그림 8의 모의 실험을 할 때 노드 2와 노드 5가 동시에 버스를 잡으려 해서 버스 중재가 시작되는 상황을 설정하였으므로 isochronous 데이터 전송을 동시에 모의 실험한 것이다. 그림 8에서 tpa1과 b_tpa1는 스트로브를 나타내는 차동 쌍이고, tpb1 과 b_tpb1는 데이터를 나타내는 차동 쌍이다. 또한 그림 8에서 rx_data 와 rx_strb는 노드 1의 케이블 포트를 통해 받아들인 데이터와 스트로브를 나타낸다. 그림 8에서 data2는 노드 2의 호스트로부터 보내고자 32 비트 데이터이다.

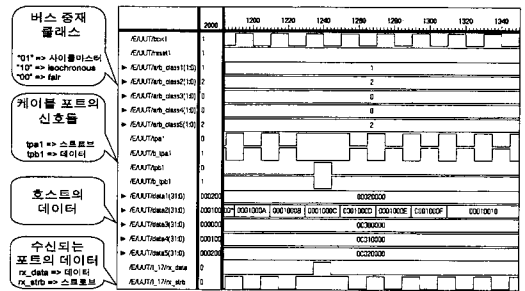
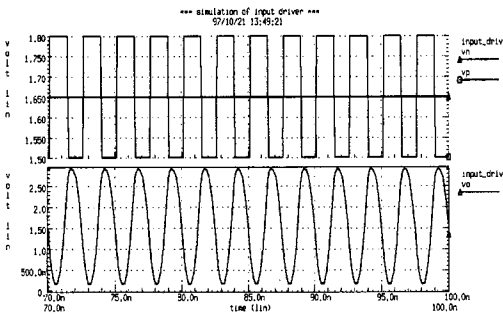


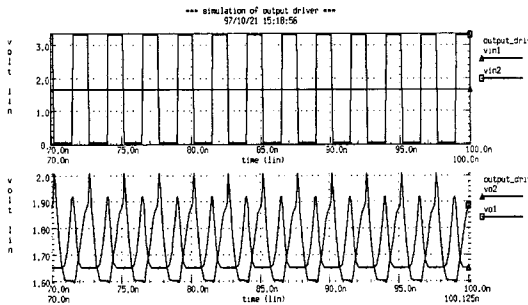
그림 8. 전체 시스템의 모의 실험 결과
Fig. 8. Simulation result of entire system.

3. 입력 드라이버와 출력 드라이버에 대한 모의 실험 설계한 P1394 시리얼 버스 칩은 아날로그 부분과 디지털 부분으로 크게 나눌 수 있는데 이 두 부분을 연결해주는 역할을 하는 블록이 케이블 미디어 인터페이스이다. 케이블 미디어 인터페이스에서 필요한 입력 드라이버와 출력 드라이버의 모의 실험 결과는 그림 9와 같다. 공통 모드 입력 전압은 1.65 V이고 차동 입력 전압은 150 mV 이다. 따라서 입력 전압의 범위는 1.5 V와 1.8 V 사이이다. 공통 모드 출력 전압은 1.8

V 이고 차동 출력 전압은 200 mV이다. 따라서 출력 전압의 범위는 1.6 V 와 2.0 V 사이이다. 그림 9의 (a) 에서 vn 과 vp 는 입력 드라이버의 두 입력이고 vo 는 입력 드라이버의 출력이다. 그림 9의 (b) 에서 vin1 과 vin2 는 출력 드라이버의 두 입력이고 vo1 과 vo2 는 출력 드라이버의 두 출력이다. 그림 9로부터 입력 드라이버와 출력 드라이버는 400 MHz 에 동작함을 알 수 있다.



(a)



(b)

그림 9. (a) 입력 드라이버의 모의 실험 결과
(b) 출력 드라이버의 모의 실험 결과
Fig. 9. (a) Simulation result of input driver.
(b) Simulation result of output driver

4. 합성 및 레이아웃

동작 모의 실험으로 동작의 정확성을 검증한 후 VHDL 코드로부터 schematic을 합성하였다. 또한 이 schematic을 바탕으로 하여 레이아웃을 합성했다. 그림 10는 전체 시스템의 schematic을 보여 주고 있다. VHDL 코드로부터 schematic을 합성할 때 최적화를 하였다. 표 3은 최적화된 schematic의 각각의 블록의 Cell의 수를 나타내고 있다. 표 3로부터 cell의 총수가 21,005 개임을 알 수 있다. 버스 중재 블록은 Tree_ID, Self_ID 와 Normal_Arb 블록 등 3 개의

부 블록으로 이루어져 있는데 이들 블록의 cell의 수의 합이 10,407 개이다. 따라서 버스 중재 블록의 cell 수가 전체의 49.5 % 를 차지 함을 알 수 있다.

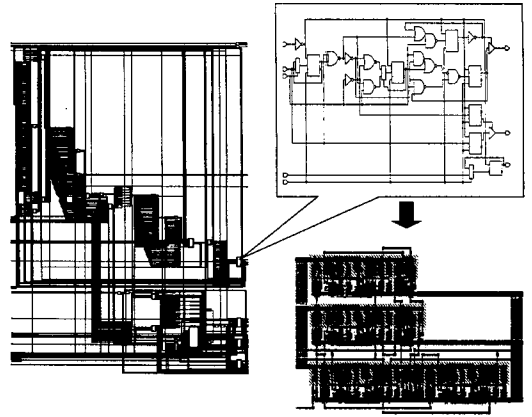


그림 10. 합성된 전체 시스템의 schematic
Fig. 10. Schematic of synthesized entire system.

표 3. 최적화된 schematic의 cell의 수
Table 3. Number of cells of optimized schematic.

블록의 이름	Cell의 수	블록의 이름	Cell의 수
ITF	926	Data_R_FIFO	235
Normal_Arb	2,945	Data_T_FIFO	269
Self_ID	3,836	GRF	522
Cable_Port 1	48	Host_Interface	510
Cable_Port 2	48	Line_States	207
Cable_Port 3	48	Link_Interface	1,377
T_Pkt_FIFO	344	Mux_1_2	3
ATF	926	Phy_Interface	382
Decoder & Retimer	260	Phy_Pkt_FIFO	179
Data Encoder	9	Phy_Register	255
Tree_ID	3,626	R_Pkt_FIFO	294
Arb_Timer	112	Receiver	1,251
Cycle_Monitor	6	Transmitter	1,272
CRC	818		
Cycle_Timer	297	총 Cell 의 수	21,005

평균적으로 1 개의 cell 은 5 개의 NAND와 동등한 복잡도를 가지는 게이트에 해당되므로 설계한 칩의 총 게이트 수는 약 105,025 개이다. 또한 NAND 게이트는 4 개의 트랜지스터로 이루어져 있으므로 예상되는 트랜지스터의 총 수는 420,100 개이다.

IV. 결론 및 향후 과제

앞으로 멀티미디어 환경이 우리의 생활에 더욱 깊은 연관을 가질수록 본 논문에서 설계한 P1394 시리얼 버스 칩의 isochronous 전송 모드와 400 Mbps의 높은 데이터 전송율이 점점 더 필요할 것이다. 기존의 버스 인터페이스 구조에서는 어떤 노드가 데이터를 보낼 때 대역폭을 보장할 수 없는 경우가 많았으므로 멀티미디어 데이터를 제 시간에 보낼 수 없었지만, P1394 시리얼 버스 칩을 이용하면 대역폭을 보장할 수 있다. 또한 멀티 미디어 디바이스에 의해서 요구되는 대역폭도 점점 증가하는 추세이므로 400 Mbps의 데이터 전송율을 지원하는 P1394 시리얼 버스 칩을 이용하면 고 음질이나 고 화질의 멀티미디어 데이터를 전송할 수 있다. 또 시스템 전원을 켜면 자동으로 각 디바이스의 ID가 결정되고 Plug & Play 기능이 지원되므로 사용자들이 복잡한 셋업을 할 필요가 없어서 사용자들이 더욱더 편리할 것이다. P1394 시리얼 버스용 케이블과 커넥터들은 기존의 것들보다 부피도 작고 가늘어서 특히 PC에 사용될 경우 복잡한 케이블과 커넥터 문제를 해결할 수 있다. 설계한 P1394 시리얼 버스 칩을 이용하면 컴퓨터, 하드 디스크, 디지털 카메라, 스캐너, 프린터 등을 함께 연결할 수 있으므로 SCSI와 같은 기존의 버스 인터페이스 구조의 제한된 연결성의 문제를 해결하였다. 지금까지의 연구에서는 P1394 시리얼 버스 칩을 VHDL로 모델링해서 이의 동작을 검증하고 이를 바탕으로 레이아웃을 하였지만 앞으로는 이를 실제 칩으로 제작하고 테스트 할 계획이다. 또한 현재까지는 400 Mbps의 데이터 전송율 밖에 나오지 않았지만, 앞으로는 800 Mbps 이상의 데이터 전송율을 갖는 칩을 만들 계획이다. 이 연구에서는 모든 노드들이 3 개의 포트를 가

지고 있다고 가정했다. 따라서, 지금은 4 포트 이상을 필요로 하는 노드들에 대해서는 확장성이 없으므로 앞으로의 연구에서는 좀 더 확장성을 고려한 설계를 할 계획이다.

참 고 문 헌

- [1] David B. Gustavson, "Computer Buses - A Tutorial", in IEEE Micro, Aug. 1984, pp. 7-12.
- [2] Rob Wilson, "The physics of driving backplane buses" in Microprocessors and Microsystems, vol. 10, no. 2, March 1986.
- [3] IEEE Standard of a High Performance Serial Bus, P1394/Draft 8.0v4, November 21, 1995.
- [4] Adam J. Kunzman, Alan T. Wetzel, "The Digital Interface for ATV" IEEE Trans. Consumer Electronics, vol. 14, pp 893-900, August 1995.
- [5] ISO/IEC 13213 (ANSI/IEEE 1212-1991) CSR Architecture.
- [6] I.A.Young, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," IEEE Journal of Solid-State Circuits, vol. 27, no. 11, pp. 1599-1607, Nov. 1992.
- [7] Kyeongho Lee, Sungjoon Kim, Gijung Ahn, Deog-Kyoon Jeong., "A CMOS Serial Link For 1 Gbaud Fully Duplexed Data Communication," Symposium on VLSI Circuits, Digest of Technical papers, pp 125-126, June 1994.

저 자 소 개



李康潤(正會員)

1972년 5월 14일생. 1996년 2월 서울대 전기 공학부 졸업(공학사). 1996년 3월 ~ 현재 서울대학교 대학원 전기공학부 석사과정 재학중. 주관심분야는 마이크로프로세서 및 고속 회로 설계 등임

鄭德均(正會員) 第 33卷 第 11號 參照