

# 고속 듀얼 모서리 천이 D형 플립-플롭의 설계

## (Design of a Fast Double Edge Triggered D-Type Flip-Flop)

朴永秀 \*

(Young Soo Park)

### 요 약

본 논문은 클럭의 양 및 음의 모서리 천이 모두에서 출력 상태를 변화시키는 새로운 구조의 듀얼 모서리 천이 플립-플롭을 제안한다. 듀얼 모서리 천이 플립-플롭은 단일 모서리 천이 플립-플롭과 비교하여 속도 및 전력 소비면에서 장점을 가진다. 제안된 듀얼 모서리 천이 플립-플롭은 12개의 트랜지스터로만 구현되었으며, 500MHz의 속도를 갖는다. 또한 전력 소모는 기존의 단일 모서리 천이 플립-플롭에 비해 33% 정도 감소하였다.

### Abstract

In this paper a double edge triggered (DET) flip-flop is proposed which changes its output state at both the positive and the negative edge transitions of the triggering input. DET flip-flop has advantages in terms of speed and power dissipation over single edge triggered (SET) flip-flop. The proposed DET flip-flop needs only 12 MOS transistors and can operate at clock speed of 500 MHz. Also, the power dissipation has decreased about 33% in comparison to SET flip-flop.

### I. 서 론

기존의 단일 모서리 천이(SET : Single Edge Triggered) 플립-플롭은 클럭 신호가 high 값에서 low 값 또는 low 값에서 high 값으로 천이할 때 출력의 상태가 변한다. 이러한 단일 모서리 천이 플립-플롭은 데이터의 셋업 타임이 클럭 신호의 폭에 독립적이기 때문에 VLSI 회로 설계가 간단해지고 신호의 노이즈에 강한 장점이 있다. 그러나 단일 모서리 천이 플립-플롭은 한 주기의 클럭 신호 동안에 한번의 천이에서 동작하기 때문에 설계자가 속도에 대한 설계 사양을 만족시키지 못하는 경우가 발생한다. 또한

VLSI 회로에서 요구하는 속도가 점점 증가함에 따라 동작 주파수에 비례하여 전력 소모도 증가하기 때문에 VLSI 회로 설계에서 소비 전력은 점차 중요한 요소가 되고 있다.

이러한 문제를 개선하기 위하여 클럭 신호의 양 및 음의 천이 모두에서 출력 상태를 변화시키는 듀얼 모서리 천이(DET : Double Edge Triggered) 플립-플롭<sup>[1]</sup>이 제안되었다. 듀얼 모서리 천이 플립-플롭은 기존의 단일 모서리 천이 플립-플롭<sup>[2-5]</sup>과 비교하여 두 가지의 장점을 갖는다. 첫째, 소비 전력이 감소된다. 기존의 단일 모서리 천이 플립-플롭에서는 두개의 클럭 천이 중 하나의 천이에서는 실질적인 상태의 전달이 일어나지 않지만 플립-플롭의 내부 노드의 전압을 변화시키므로 내부 노드의 충전 또는 방전을 위해 에너지가 불필요하게 소비된다. 이런 불필요한 전력 소모는 동적인 소비 전력이 전체 소비 전력의 대부분을 차지하는 CMOS 회로에서 상당한 부분을 차지한

\* 正會員, 韓國電子通信研究院

(Electronics and Telecommunications Research Institute)

接受日字:1997年4月16日, 수정완료일:1997年12月15日

다. 들뜬, 회로의 속도가 빨라진다. 두개의 클럭 천이에서 상태의 전달이 가능하기 때문에 같은 클럭 주파수에 대해 클럭 주파수가 2배가 되는 효과를 얻을 수 있다.

본 논문은 기존의 동적 듀얼 모서리 천이 플립-플롭에 비해 적은 수의 트랜지스터로 구현한 새로운 동적 듀얼 모서리 천이 플립-플롭을 제안한다. 제안된 플립-플롭은 0.8mm CMOS 공정의 파라미터를 이용하여 Spectre로 시뮬레이션한 결과 500MHz의 동작 속도를 갖는 것을 확인하였다. 또한 실제 회로에 적용하여 듀얼 모서리 천이 플립-플롭의 동작을 검증하였다.

## II. 새로운 동적 DET 플립-플롭 회로

### 1. 회로의 구조와 동작

제안된 동적 듀얼 모서리 천이 플립-플롭의 회로는 그림 1과 같다. 회로는 clocked inverter와 output inverter의 두 부분으로 구성된다. Gago<sup>[4]</sup>의 경우 클럭 신호에 의하여 enable/disable되는 두개의 clocked inverter를 사용했지만, 제안된 회로는 inverting 및 non-inverting된 클럭 신호에 따라서 동작하는 clocked inverter를 사용하였다. 그리고 출력 부분의 output inverter는 클럭 신호 대신 clocked inverter의 출력에 의하여 동작한다.

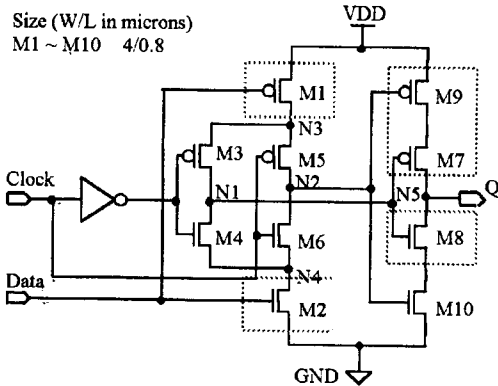


그림 1. 제안된 동적 DET D형 플립-플롭의 회로도  
Fig. 1. The proposed dynamic DET D-type flip-flop.

그림 1 회로의 동작을 살펴 보면, 클럭 신호가 low인 경우 M4와 M5 트랜지스터가 동작된다. 내부 노드

N1과 N2의 값은 입력 data 값에 따라서 변한다. Data가 low인 경우 노드 N2는 high로, 노드 N1은 하이 임피던스 상태가 된다. Data가 high인 경우 M2 트랜지스터가 동작되어 노드 N2는 low로, 노드 N1은 하이 임피던스 상태가 된다. 클럭 신호가 high인 경우 M3와 M6 트랜지스터가 동작된다. Data가 low인 경우 노드 N1는 high로, 노드 N2는 하이 임피던스 상태가 된다. Data가 high인 경우 노드 N2는 low로, 노드 N1은 하이 임피던스 상태가 된다. 따라서 클럭의 천이에 따라서 노드 N1, N2의 논리 값이 결정되면 출력 Q가 정해진다. 즉, N1 및 N2가 모두 high인 경우 출력 Q는 low, N1 및 N2가 모두 low인 경우 출력 Q는 high, 그리고 다른 경우는 이전 값을 유지하게 된다. 표 1은 듀얼 모서리 천이 플립-플롭의 논리 동작을 보여 주며 클럭 신호의 두 개의 음 및 양 모서리 천이 모두에서 듀얼 모서리 천이 플립-플롭이 동작됨을 보여준다.

표 1. 제안된 DET 플립-플롭의 동작

Table 1. The operation of the proposed DET flip-flop.

Time	Data	Clock	N1	N2	Q
1	0	0	1	1	0
1T	0	1	1	1	0
2T	1	1	1	0	0
3T	1	0	0	0	1
4T	0	0	0	1	1

DET 플립-플롭의 동작에서 나타날 수 있는 clocked inverter 출력 단에서의 전하 재분포 문제는 천이 동작 범위를 짧게 함으로써 해결할 수 있다. 또한 clock skew에 의한 race 문제는 일반적으로 올바르게 동작하는 회로에서는 2.5ns 정도의 skew interval을 허용하기 때문에 제안된 DET 플립-플롭 회로에서 내부 인버터에 의하여 반전된 클럭 신호의 실제 스큐는 허용 스큐보다는 매우 작기 때문에 문제가 되지 않는다.

그림 2는 0.8mm CMOS 공정 파라미터를 이용하여 제안한 듀얼 모서리 천이 플립-플롭을 Spectre로 시뮬레이션한 결과이다. 시뮬레이션에 사용된 클럭 주파수 500MHz는 단일 모서리 천이 플립-플롭의 1GHz에 해당된다.

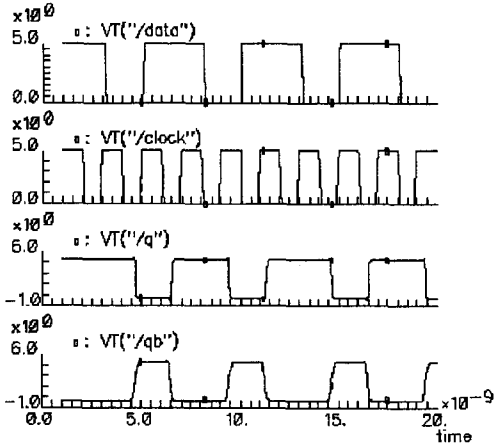


그림 2. 제안된 플립-플롭 회로의 시뮬레이션 결과  
Fig. 2. Simulation result of the proposed circuit.

2. 기존 동적 DET 플립-플롭과의 비교

표 2는 제안된 플립-플롭과 다른 듀얼 모서리 천이 플립-플롭의 트랜지스터의 수, 동작 주파수 등에 대한 비교 결과이다. 이 표에서와 같이 본 논문에서 제안한 동적 듀얼 모서리 천이 플립-플롭은 기존의 동적 듀얼 모서리 천이 플립-플롭에 비해 면적과 동작 속도 면에서 우수함을 알 수 있다. 그리고 소모 전력은 일반적으로 트랜지스터 수에 비례하므로 소모 전력에서도 우수하다고 추정할 수 있다.

표 2. 여러 동적 DET 플립-플롭의 비교  
Table 2. The comparison of the several DET flip-flop circuits.

	Number of transistor	Load clock signal	Load of data input	Max. clock frequency
Afghahi[3]	20	8C <sub>g</sub>	4C <sub>g</sub>	350MHz
Gago[4]	14-60	4C <sub>g</sub>	4C <sub>g</sub>	400MHz
Hossain[5]	12-14	4C <sub>g</sub>	4C <sub>g</sub>	154MHz data rate
제안 회로	12	4C <sub>g</sub>	2C <sub>g</sub>	500 MHz

\* C<sub>g</sub> : gate capacitance

3. 동적 DET 플립-플롭의 확장

동적 듀얼 모서리 천이 플립-플롭의 low-active인 reset 또는 set이 가능한 회로의 구현은 reset이 가능한 플립-플롭의 경우 reset과 data 입력의 AND 논리 결과를 입력으로 한다. 여기서 data 입력은

reset 신호가 non-active가 된 후 클럭 신호의 천이에 의하여 입력되는 data 값이 입력되도록 회로를 설계한다. Set이 가능한 플립-플롭은 set과 data 입력의 OR 논리 결과를 입력하면 된다. Reset 기능의 플립-플롭과는 달리 set active인 경우 high 값과 현재 출력의 OR 논리 값을 출력하면 된다. 듀얼 모서리 천이 플립-플롭이 reset 및 set 기능 동작을 하기 위해서는 그림 1에서 점선으로 표시된 회로 부분이 그림 3과 같이 변경된다.

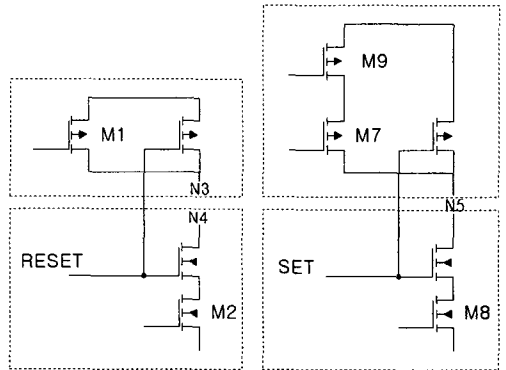
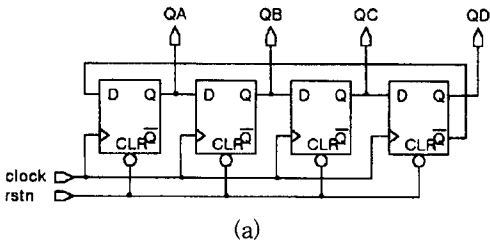


그림 3. DET 플립-플롭용 reset 및 set 회로  
Fig. 3. Reset and set circuits for DET flip-flop.

III. 실험 결과

듀얼 모서리 천이 플립-플롭은 클럭에 동기하여 데이터를 처리하는 동기 회로에 사용하면 속도 및 소비 전력에 있어서 장점이 있다. 이들 장점을 갖을 수 있는 동기 회로로는 카운터, 시프트 레지스터 등이다. 실제 회로에서의 동작을 보기 위한 예제 회로는 그림 4 (a)의 modulo-8 Johnson 카운터의 회로이다. 카운터의 동작은 그림 4 (b)와 같은 순서로 카운트한다. 그림 4 (c)는 듀얼 모서리 천이 및 단일 모서리 천이 플립-플롭을 각각 사용했을 때의 동작 및 출력 파형이다. 단일 모서리 천이 플립-플롭 셀은 상업용 셀 라이브러리의 것을 이용하였다. 듀얼 모서리 천이 플립-플롭을 사용한 경우 출력(qa\_d, qb\_d, qc\_d, qd\_d)과 단일 모서리 천이 플립-플롭을 사용한 경우 출력(qa\_s, qb\_s, qc\_s, qd\_s)을 비교하면 듀얼 모서리 천이 플립-플롭을 사용한 경우 보다 빠르게 카운트함을 알 수 있다.



QA	QB	QC	QD
0	0	0	0
1	0	0	0
1	1	0	0
1	1	1	0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1

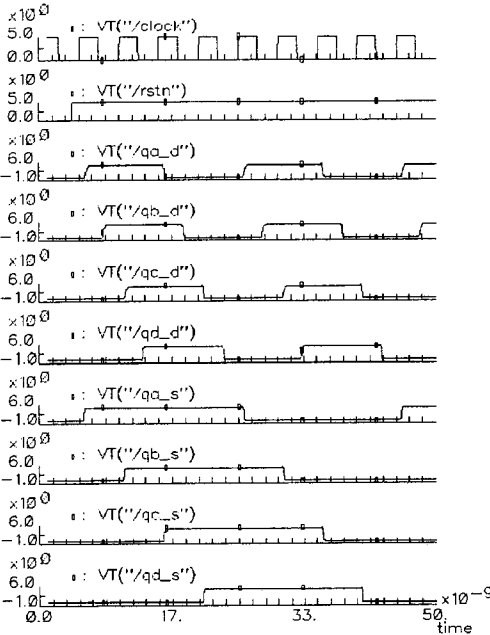


그림 4. Modulo-8 Johnson 카운터 회로 및 시뮬레이션 결과

(a) Modulo-8 Johnson 카운터 회로 (b) 카운트 순서 (c) 시뮬레이션 결과

Fig. 4. Modulo-8 Johnson counter circuit and simulation result.

(a) Modulo-8 Johnson counter with clear (b) Count Sequence (c) Simulation result

또한 소비되는 전력을 비교하기 위하여 사용된 에너지를 측정하였다. 에너지는 단위 시간에 흐르는 전류의 양과 인가되는 전압의 곱으로 전류제어전류소스와 RC로 구성된 회로를 이용하여 측정하였다. 예제 회로 [6]들에 대하여 듀얼 모서리 천이 및 단일 모서리 천이 플립-플롭을 각각 적용할 경우 사용된 에너지 값은 표 3과 같다. 주어진 시뮬레이션 시간 동안에 듀얼 모서리 천이 플립-플롭을 사용한 회로의 전류 소모가 더 크지만 예제 회로의 출력 파형에서 보면 카운터 동작이 훨씬 빨리 수행된 것을 알 수 있다. 그러므로 같은 동작을 수행하는데 듀얼 모서리 천이 플립-플롭을 사용한 경우 단일 모서리 천이 플립-플롭이 사용한 시간의 1/2만 필요하기 때문에 소모되는 에너지는 1/2 정도 값으로 예상된다. 시뮬레이션하여 얻은 값은 약 33% 정도 감소한다.

표 3. DET 및 SET 플립-플롭 사용 회로의 사용 에너지 비교 [nJ]

Table 3. The comparison of energy dissipated in the several circuits.

Circuit	SET F/F	DET F/F	증감율[%]
CB4C	0.170	0.163	4.0
CM3B	0.084	0.051	38.5
CM4J	0.071	0.045	36.7
CM5SR	0.102	0.062	38.6
CM6J	0.095	0.060	36.8
CM8J	0.122	0.074	38.9
CM8SR	0.118	0.077	34.5
CM9SR	0.107	0.068	36.7
C2G	0.158	0.102	35.5
C5LSR	0.190	0.123	35.4
M163D	0.443	0.308	30.3
R41	0.205	0.119	42.0
SR41	0.184	0.151	17.8
SR42	0.197	0.108	45.1
SR44	0.553	0.283	48.9
SR47	0.1888	0.169	9.9
평균치	0.187	0.123	33.1

#### IV. 결 론

제안한 동적 듀얼 모서리 천이 플립-플롭은 기존의 동적 듀얼 모서리 천이 플립-플롭에 비해 적은 수의 트랜지스터를 사용하여 구현하였다. 또한 0.8mm

CMOS 공정 기술의 경우 500 MHz 이상의 동작 속도를 갖으며 소비하는 에너지도 단일 모서리 천이 플립-플롭에 비해 33% 정도 감소하는 장점이 있다. 그리고 제안된 동적 듀얼 모서리 천이 플립-플롭은 저전력 및 고속의 VLSI 설계에 사용될 수 있다.

#### 참 고 문 헌

- [ 1 ] S. H. Unger, Double-edge-triggered flip-flops, *IEEE Trans, on Computers*, vol. C-30, no. 6, pp. 447-451, June 1981.
- [ 2 ] S. H. Lu and M. Ercegovac, A novel CMOS implementation of double-edge-triggered flip-flops, *IEEE Journal of Solid-State Circuits*, vol. 25, no. 4, pp. 1008-1010, Aug. 1990.
- [ 3 ] M. Afghahi and J. Yuan, Double edge-triggered D-flip-flops for high-speed CMOS circuits, *IEEE Journal of Solid-State Circuits*, vol. 26, no. 8, pp. 1168-1170, Aug. 1991.
- [ 4 ] A. Gago, R. Escano, and J. A. Hidalgo, Reduced implementation of D-type DET flip-flops, *IEEE Journal of Solid-State Circuits*, vol. 28, no. 3, pp. 400-402, March 1993.
- [ 5 ] R. Hossain, L. D. Wronski, and A. Albicki, Low power design using double edge triggered flip-flops, *IEEE Trans. on Very Large Scale Integration Systems*, vol. 2, no. 2, pp. 261-265, June 1994.
- [ 6 ] LSI Logic Corporation, The HCMOS Compacted Array Products Databook, Feb. 1987.

---

#### 저 자 소 개



朴 永 秀(正會員)

1962년 8월 7일생. 1985년 2월 중앙대학교 전자공학과 학사. 1987년 2월 중앙대학교 전자공학과 석사. 1990년 2월 ~ 현재 한국전자통신연구원 연구원. 주 관심분야는 셀라이브러리, CAD 및 VLSI 설계 등임