

論文98-35C-8-6

# 고속 위상 동기 루프를 위한 새로운 구조의 위상/주파수 검출기

## (New Phase/Frequency Detectors for High-Speed Phase-Locked Loop Application)

全 商 吾 \* , 鄭 泰 植 \*\* , 金 在 錫 \*\* , 崔 佑 榮 \*\*

(Sang-O Jeon, Tae-Sik Cheung, Jae-Seok Kim, and Woo-Young Choi)

### 요 약

본 논문에서는 위상 동기 루프의 기본 블록 중 하나인 위상/주파수 검출기(Phase-Frequency Detector)의 리셋 시간과 전달 시간을 최소화할 수 있는 새로운 구조의 위상/주파수 검출기를 제안한다. 제안된 위상/주파수 검출기를 0.8 $\mu$ m CMOS 공정 파라미터를 이용하여 SPICE 시뮬레이션을 통해 수행한 결과, 0.32 nsec 와 주파수 획득 과정에서 0.030 nsec의 리셋 시간을 갖고 최대 동작 주파수는 1.5GHz 로 나타났다. 따라서, 제안된 위상/주파수 검출기는 고속 위상 동기 루프에 사용될 수 있다.

### Abstract

New types of PFD(Phase-Frequency Detector) are proposed with reset time and propagation delay reduced. The performance of our proposed PFDs are confirmed by SPICE simulation with 0.8  $\mu$ m CMOS process parameter. As a result of simulation, the reset time of PFDs are 0.32 nsec and 0.030 nsec in capture-process. The proposed PFDs can be used in high-speed Phase-Locked Loop(PLL).

### I. 서 론

위상 동기 루프는 주파수 합성, 클럭 및 데이터 복원 등의 기능을 수행하기 위해 통신 시스템에서 필수적으로 필요한 회로이다. 최근의 통신 시스템의 고속화에 따라 이에 포함되는 위상 동기 루프는 고 주파수의 수신 신호에서 클럭을 복구하고 기저 대역의 주파수로 변환하기 위하여 고 주파수에서 동작하여야만 한다. 이를 위해 고 주파수 대역에서 안정적으로 동작할 수 있는 위상 동기 루프 구조에 관한 연구가 국·내외적으로 활발히 진행되고 있다.<sup>[1]-[3]</sup>

위상 동기 루프는 그림 1과 같이 네 가지 블록으로 구성되어 있다. 위상/주파수 검출기는 외부에서 입력되는  $V_{in}$ 과 전압 제어 발진기(Voltage-Controlled Oscillator)의 출력 신호인  $V_{vco}$ 를 입력으로 받아들인다.  $V_{in}$ 의 위상 및 주파수가  $V_{vco}$ 보다 앞 설 경우에는 논리 '1'이  $U_p$ 에 출력되고 반대로  $V_{vco}$ 신호가 앞 설 경우에는  $D_n$ 에 논리 '1'이 출력된다.  $V_{in}$ 과  $V_{vco}$ 의 위상 및 주파수 차가 없는 경우에는  $U_p$ 과  $D_n$  출력단에 논리 '0'의 신호를 발생하여 이를 전하펌프 루프필터(Charge Pump Loop Filter)에 전달한다. 전하펌프 루프필터는 일반적으로 루프필터의 커패시터를 충전시키거나 방전시키는데 필요한 두 개의 전류원과 논리 '1'의 값을 가질 경우에 도통되는 두 개의 스위치로 구성되어 있다. 이와 같은 구조의 전하펌프 루프필터는 입력된 값의 상태에 따라서 전압 제어 발진기의 출력 주파수를 제어하는 전압인  $V_c$ 를 발생시키고 이

\* 學生會員, \*\* 正會員, 延世大學校 電子工學科

(Dept. of Electronic Eng., Yonsei University)

본 연구는 1997년도 학술 진흥 재단 대학 부설 연구소 과제 연구비에 의해 연구되었음

接受日字:1998年4月20日, 수정완료일:1998年6月27日

의 크기를 조절하는 역할을 한다. 전압 제어 발전기는  $V_c$ 의 크기에 비례하여 출력 신호인  $V_{vco}$ 의 주파수를 조절한다. [4] - [5]

SPICE 시뮬레이션을 통해 검증하였다. 끝으로 IV장에서는 결론을 맺는다.

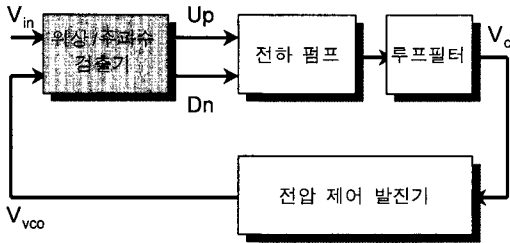


그림 1. 위상 동기 루프의 블럭도  
Fig. 1. Block Diagram of Phase-Locked Loop.

이상적으로 위상/주파수 검출기는 두 입력 신호인  $V_{in}$ 과  $V_{vco}$ 의 위상 및 주파수 차이가 발생하는 경우에만 Up 또는 Dn 신호를 출력하고, 위상 및 주파수 차이가 없는 경우에는 논리 '0'의 신호를 출력하여야 한다. 그러나, 일반적으로 사용되는 위상/주파수 검출기는 다음과 같은 문제점을 가지고 있다.  $V_{in}$ 과  $V_{vco}$ 의 두 입력 신호가 어느 정도의 위상 차이를 가지고 논리 '0'에서 논리 '1'로 변할 때 그 차이만큼의 간격을 두고 Up과 Dn의 두 출력 신호가 논리 '1'로 상승한다. 이때 Up과 Dn이 동시에 논리 '1'의 값을 가지는 경우가 발생하고 이를 리셋하는데 필요한 시간만큼 유지된다. 이 시간동안 전하펌프의 두 개의 스위치가 동시에 도통되어 두 개의 전류원이 하나의 경로에 위치하여 전류가 흐르게 되고 이러한 회로의 단락으로 인한 제어 전압의 왜곡이 지터(Jitter) 잡음을 야기시킨다. [1], [2]

<sup>1</sup> 또한, 위상/주파수 검출기에서 입력이 출력으로 나타나기까지의 시간인 전달 시간이 길어지면 전체 위상 동기 루프의 루프 지연이 증가하여 입력 신호의 주파수 획득 과정과 위상 고정된 상태에서 위상 동기된 상태에 영향을 미치게 된다. 본 논문에서는 고 주파수에서 동작하며 안정적인 위상 동기 루프를 구현하기 위하여 리셋 시간과 전달 시간을 효과적으로 감소시킨 새로운 구조의 위상/주파수 검출기를 제안하며 이를 시뮬레이션을 통해 검증한다.

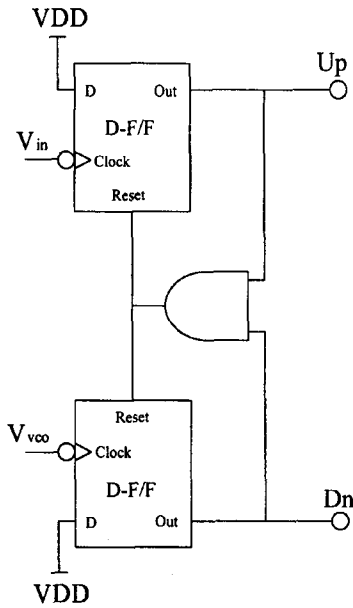
II장에서는 기존의 위상/주파수 검출기와 새로 제안된 구조의 위상/주파수 검출기에 대한 동작원리와 구조에 대한 설명을 다루었고, III장에서는 위상/주파수 검출기를 제외한 위상 동기 루프의 나머지 부분을 이상적으로 설계하여 지연 시간과 전달 시간이 개선됨을

## II. 제안된 구조의 위상/주파수 검출기 동작원리

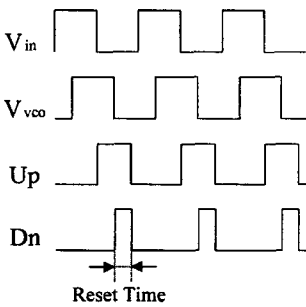
### 1. 기존의 위상/주파수 검출기의 구조(PFD1)

가장 간단한 위상/주파수 검출기는 입력되는 두 신호를 서로 곱함으로써 위상차이에 비례하는 신호를 제공하는 구조를 가진다. 이와 같은 구조의 위상/주파수 검출기는 입력에 대해서 출력이 반으로 줄어들며, 위상차 역시 0에서  $\pi$ 까지만을 검출할 수 있다. 따라서, 위상 동기 루프의 전체 이득이 감소하며 입력되는 두 신호의 위상차를 검출할 수 있는 범위가 제한된다. 위의 문제점을 극복하여 0에서  $2\pi$ 까지의 위상차를 검출하고 전하펌프와 함께 사용하여 정적인 위상 잡음을 제거할 수 있는 위상/주파수 검출기 구조가 그림 2(a)에 나타나있다. (PFD1) [1], [6] 하강 시점에서 동작하는 두 개의 D-F/F(D Flip-Flop)의 클럭 입력단에는  $V_{in}$ 과  $V_{vco}$  신호가 각각 입력되고 D입력에는 논리 '1'의 값을 가하여서  $V_{in}$ 이나  $V_{vco}$ 가 논리 '1'에서 '0'으로 하강하는 시점에서 입력값을 외부에 출력한다. 동작 원리를 살펴보기 위해  $V_{in}$ 과  $V_{vco}$ 가 어느 정도의 위상차를 가지게 될 경우의 임출력 관계를 그림 2(b)에 나타내었다. 입력  $V_{in}$ 이 하강하는 시점에서 논리 '1'의 신호가 D-F/F의 출력 Up에 나타나고  $V_{vco}$ 가 하강하는 시점에서는 출력 Dn에 논리 '1'의 신호가 나타난다. 이 때, Up과 Dn신호가 동시에 논리 '1'이 되면 AND 게이트의 출력이 논리 '1'의 값을 갖고 리셋 단자를 동작시켜서  $V_{in}$ 과  $V_{vco}$ 신호를 논리 '0'으로 하강시킨다. 두 입력 신호의 위상차는 전하펌프에 위상차만큼의 Up신호가 전달되어 전압 제어 발전기의 주파수를 증가시킴으로써 감소된다. 천이 되는 순간에서만 동작하기 때문에 위상차에 관계없이 0에서  $2\pi$ 까지 검출이 가능하고 위상차가 미세하여 검출해 낼 수 없는 영역인 Dead Zone을 피할 수 있다. [6]

그러나, PFD1 구조의 문제점은 Up과 Dn 신호들이 동시에 논리 '1'이 되는 경우가 존재한다는 것이다. 이는 위상/주파수 검출기 다음 단인 전하펌프의 두 스위치를 동시에 도통시켜서 전류 경로를 야기시킨다. 루프 필터의 제어 전압은 단락된 회로에 의해서 순간적으로 변하게 되고 리셋에 필요한 시간동안 왜곡된다.



(a)



(b)

그림 2. 기존의 위상/주파수 검출기(PFD1)

(a) PFD1의 구조 (b) PFD1의 입출력 특성

Fig. 2. Conventional Phase/Frequency Detector (PFD1).

(a) Structure of PFD1 (b) Input & Output Characteristics of PFD1

제어 전압의 변화에 따라 전압 제어 발전기의 출력 주파수는 왜곡되어 지터 잡음이 발생하게 된다. 그리고 위상 동기 루프가 위상 고정된 이후에도 위상/주파수 검출기와 전하 펌프의 선형성에 영향을 주게 되는 문제를 야기시킨다. 또한, 위상/주파수 검출기 회로의 입계 경로가 커서 두 입력 신호의 위상차를 검출하여 Up이나 Dn의 출력 신호가 나오기까지의 전달 시간이 길게 되면 전체 위상 동기 루프의 지연 시간이 길어지기 때문에 주파수 획득 과정에서의 반응 시간이 길어지거나 위상 동기된 상태에서 리플을 야기시킬 수

있다. 따라서, 위상/주파수 검출기의 출력 특성을 최적화하여 제어 전압의 왜곡을 최소화하며 전달 시간을 감소시키고 전체 위상 동기 회로가 동기된 상태에서 Dead Zone내의 위상차를 인식하지 못하게 되어 발생하는 잡음을 줄일 수 있는 새로운 구조를 필요로 한다.

2. 리셋 시간을 감소하여 개선된 위상/주파수 검출기 구조(PFD2)

그림 3에는 PFD1의 회로도가 나타나 있다.<sup>[1], [3]</sup> 이 구조는 그림에 나타난 바와 같이 7 게이트의 상당히 긴 리셋 시간과 전달 시간이 소요되기 때문에 앞에서 언급한 바와 같이 고 주파수 영역의 동작에 문제가 될 수 있다. 그림 4에 제안된 위상/주파수 검출기 (PFD2)는 리셋 시간을 감소시키기 위해 회로 구성을 단순하게 구성하여 전달 시간과 리셋 시간이 3 게이트 지연 시간으로 감소된 구조이다.

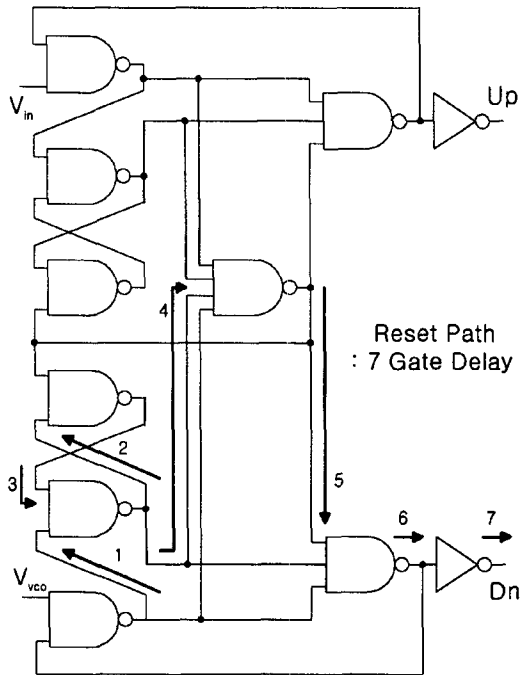


그림 3. PFD1 구조의 회로도

Fig. 3. Schematic Diagram of PFD1.

PFD2의 동작 원리는 다음과 같다. PFD2에서는 그림 4(a)로부터 알 수 있듯이 MN1의 입력으로 가해지는 V\_in 신호가 논리 '1'이 되는 경우에 MP1의 입력이 출력되지 않고 VCC에 가까운 전압이 출력 n1에 전달 되도록 MP2의 W/L비를 MP1의 W/L 비보다 4배

이상 크게 설계되어 있다. 이럴 경우,  $V_{in}$  신호가 논리 '0'이 되면 MP1의 입력이 논리 '0'이 될 경우에만 VDD에 가까운 전압이 n1에 전달되고, MP1의 입력이 논리 '1'이라면 출력 n1의 값이 MN2를 도통시키지 않을 정도의 전압값을 가지도록 설계되어 있다. 구조를 간단히 하기 위하여 위상/주파수 검출기에 포함되는 Latch는 Dynamic D-Latch<sup>[7]</sup>를 사용하여 MP2와 MN2의 W/L 비를 앞에서 설계한 바와 같이 결정하면 MN2가 도통될 경우에 Up신호는 논리 '0'으로 고정된다. 만일,  $V_{in}$ 신호가 논리 '1'이라면 MP1의 입력에 관계없이 출력값이 일정하게 유지되고,  $V_{in}$ 신호가 논리 '0'이고 MP1의 입력이 논리 '1'이라면 Up 신호에는 VDD에 가까운 값이 출력되고 반대로 MP1의 입력이 논리 '0'이라면 Up신호에는 VCC에 가까운 값이 출력되도록 설계한다.

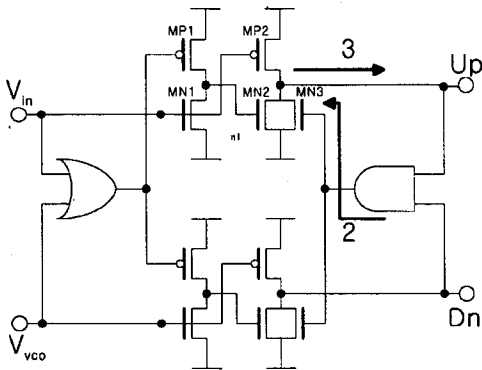
위와 같이 설계하면 그림 4(b)에 나타나있듯이 입력  $V_{in}$  신호가 논리 '1'의 값으로 상승될 때, 출력이 이전의 값으로 유지된다. 따라서, 초기에는 논리 '0'의 값이 입력으로 가해져서 논리 '0'의 값이 출력되도록 한다. 어느 정도의 위상차를 가지고  $V_{vco}$ 신호가 논리 '1'의 값으로 상승하여도 역시 마찬가지로 초기값인 논리 '0'이 출력에 전달된다. 다음으로  $V_{in}$  신호가 논리 '0'으로 하강하게 되면 이 때 MP1의 입력에는  $V_{in}$ 과  $V_{vco}$ 의 OR 게이트 조합에 의한 논리 '1'의 값이 전달되어 출력 신호인 Up에 나타난다. 다음으로  $V_{vco}$ 신호가 논리 '0'으로 하강하면 마찬가지로 Dn에 논리 '1'의 값이 나타난다. 이와 같이 실선으로 나타나는 Up과 점선으로 나타나는 Dn신호가 동시에 논리 '1'이 되면 이 때 AND 게이트의 출력값은 논리 '1'의 값으로 상승하고 이 값이 MN3에 전달되어 Up과 Dn신호를 논리 '0'의 값으로 하강시키는 구조를 갖는다. 이 때, 논리 '0'상태에서  $V_{in}$ 과  $V_{vco}$ 의 값이 변화하게 되면 출력값에 그대로 전달되기 때문에 본 논문에서는 NOR 게이트를 추가하여 이를 제거하였다.

PFD2 구조는 PFD1 구조와 비교하여 상당히 간단하며 게이트의 수 역시 감소되고, 그림 4(a)에 나타나듯이 리셋 시간이 3 게이트 지연 시간으로 50%이상 감소 되었다. PFD2 구조에서 전달 시간은 입력이 하강하는 시점에서 출력 값이 논리 '1'의 값으로 상승하기 시작하는 시점에서 전하 펌프의 스위치인 MOSFET이 도통될 수 있는 문턱 전압까지 상승하는데 필요한 시간만큼 소요된다. 따라서, 출력단의 부하에 전하를 충전시키는데 필요한 시간만큼의 전달 시간이 소요되기 때문에 출력 전류를 큰 값으로 설계함으로써 이를 최소화하였다.

3. 두 가지 리셋 경로를 가지는 새로운 위상/주파수 검출기의 구조(PFD3)

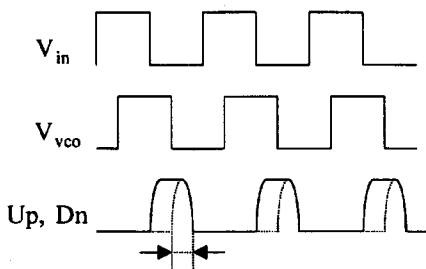
PFD2 구조를 제안하여 리셋 시간을 감소시켰지만 Up과 Dn 신호가 3 게이트 지연 시간동안 동시에 논리 '1'이 되어 유지되기 때문에 계속해서 지터 잡음이 나타날 수밖에 없다. 따라서, Up과 Dn신호가 동시에 논리 '1'이 될 경우에만 리셋되는 구조를 개선하여 그림 5(a)와 같이 새로운 구조의 위상/주파수 검출기(PFD3)를 제안하였다.

PFD3의 동작 원리를 살펴보기 위해서 그림 5(b)에 입력 특성을 나타내었다. 여기서  $V_{in}$ 신호가 논리 '0'



Reset Path: 3 Gate Delay

(a)



Reset Time : 3 Gate Delay

(b)

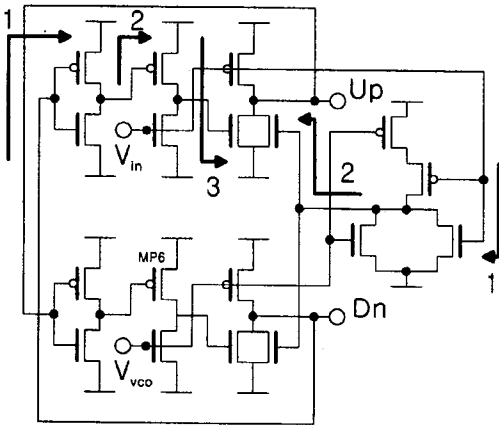
그림 4. 리셋 시간을 감소시킨 위상/주파수 검출기의 구조(PFD2)

(a) PFD2의 회로도(b) PFD2의 입출력

Fig. 4. Structure of Phase/Frequency Detector with reduced reset time(PFD2).

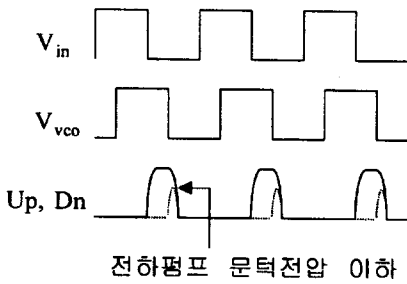
(a) Schematic Diagram of PFD2(b) Input & Output Characteristics of PFD2

으로 하강하는 시점에서 Up신호가 논리 '1'로 상승한다. 이 때, 실선으로 나타나는 Up신호의 반전된 신호가 MP6에 입력으로 가해져서 V<sub>vco</sub>의 하강시점에서 Dn신호는 논리 '0'의 값을 출력하도록 한다. 그럼에 나타난 바와 같이 점선으로 나타난 Dn신호는 전하펌프의 게이트를 도통시키는 문턱전압 이하의 전압을 갖게 된다. 두 번째 리셋 경로는 V<sub>in</sub>과 V<sub>vco</sub>를 조합하여 두 신호 모두 논리 '0'에 존재할 경우에 Up신호를 논리 '0'으로 하강시키는 역할을 한다.



Critical Reset Path : 3 Gate Delay

(a)



(b)

그림 5. 리셋 시간이 제거된 위상/주파수 검출기의 구조(PFD3)

(a) PFD3의 회로도(b) PFD3의 입출력 특성

Fig. 5. Structure of Phase/Frequency Detector without reset time(PFD3).

(a) Schematic Diagram of PFD3(b) Input & Output Characteristics of PFD3.

따라서, Up과 Dn신호가 동시에 논리 '1'로 상승하여 리셋에 필요한 지연 시간을 최소화하였다. 리셋에 필요한 경로를 두 부분으로 나누어서 리셋으로 인한 잡음을 제거하도록 한 새로운 구조는 V<sub>in</sub>이 V<sub>vco</sub>보다 위

상차가 π만큼 앞설 경우에 PFD1 구조와는 달리 NOR 게이트가 포함된 리셋 단자를 동작시키지 않아서 계속해서 Up신호가 논리 '1'의 값을 갖게 되어 주파수 획득에 필요한 시간이 짧아진다.

주파수 획득 과정동안에는 위에 언급한 바와 같이 리셋으로 인한 잡음이 없어지지만 위상 동기된 상태에서 미세한 위상차가 발생할 경우에 Up신호가 반전되어 Dn신호를 없애 주는 경로에 필요한 지연 시간보다 짧아져서 PFD2 구조가 가지는 3 게이트 지연 시간 정도의 리셋 시간이 걸리게 된다. 또한 전하펌프에 충분하지 못한 출력 전류의 값이 전달되면 미세한 위상차에 반응하지 못하여 Dead Zone을 야기시키기 때문에 본 논문에서 제안된 PFD3에서는 부하를 충전시키는 출력 전류를 크게 함으로써 Dead Zone을 최소화 하였다.

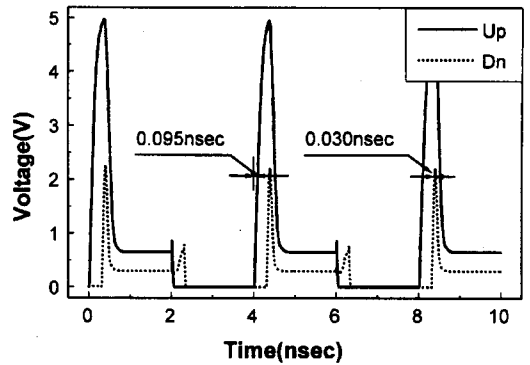
### III. 시뮬레이션을 통한 검증

새롭게 제안된 위상/주파수 검출기(PFD2, PFD3)의 성능 향상을 검증 하기 위해서 0.8μm CMOS 공정 파라미터를 이용하여 SPICE 시뮬레이션을 수행하였다. 제안된 구조의 위상/주파수 검출기와 비교하기 위해서 PFD1의 구조는 그림 3과 같이 구성하였고 각각의 게이트는 시뮬레이션을 통하여 입력력을 최적으로 설계하였으며 새로 제안된 PFD2, PFD3와 중복되는 것은 동일하게 구성하여 시뮬레이션에 적용하였다.

먼저, 그림 6은 입력 V<sub>in</sub>과 V<sub>vco</sub>의 동작 주파수가 250MHz이고 V<sub>in</sub>이 V<sub>vco</sub>보다 0.3 nsec의 위상차만큼 앞설 경우를 시뮬레이션한 결과이다. 리셋 시간과 전달 시간의 성능을 측정하기 위하여 기준 전압을 2V로 정하였다. 위상/주파수 검출기의 다음 단인 전하 펌프는 실제 회로로 구성할 때 온도와 공정상에서 안정된 특성을 가지도록 차동 구조로 설계되었다. 따라서, 전하펌프의 스위치를 단게 하기 위하여 위상/주파수 검출기의 Up신호와 Dn신호는 차동 구조의 입력 FET을 스위칭하는 2V 정도의 전압까지 상승하여야 하기 때문에 이와 같이 정하였다.

이 때, 위상차에 대한 선형적인 출력 전압 이득은 차이가 없었으며 PFD1에서 필요한 리셋 시간은 0.45 nsec이고 전달 시간은 약 4.91 nsec의 시간이다. 이에 반하여 PFD2에서는 약 0.32 nsec의 리셋 시간이 소요되었으며, 입력이 출력으로 나타나는 데 필요한 시

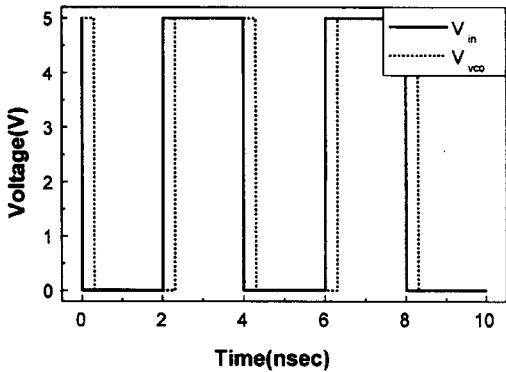
간은 0.11 nsec로 나타났다. 전류를 출력으로 하기 때문에 출력에 부하를 충전시키기 위하여 필요한 상승 시간이 어느 정도 소요되었지만 시뮬레이션 상에서 나타나듯이 극히 작아서 문제가 되지 않았다. PFD3는 2V의 문턱전압에 도달하기 이전에 논리 '0'으로 감소하기 때문에 전하 펌프의 스위치를 동시에 닫히게 하는 부분을 효과적으로 제거할 수 있어서 리셋 시간은 0.030 nsec이고 전달 시간은 0.095 nsec에 불과하였다.



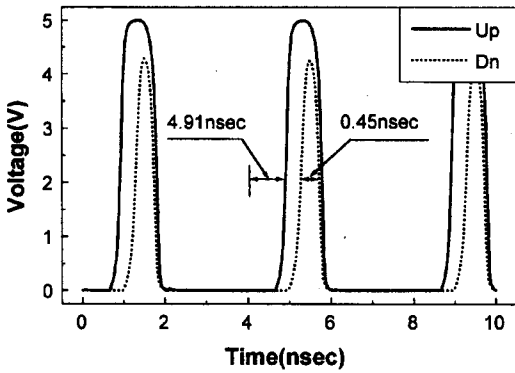
(d)

그림 6. 위상/주파수 검출기의 리셋과 전달 시간 시뮬레이션 (a) 0.3 nsec의 위상차를 갖는  $V_{in}$ 과  $V_{vcc}$ 신호 (b) PFD1 구조의 Up과 Dn신호 (c) PFD2 구조의 Up과 Dn신호 (d) PFD3 구조의 Up과 Dn신호

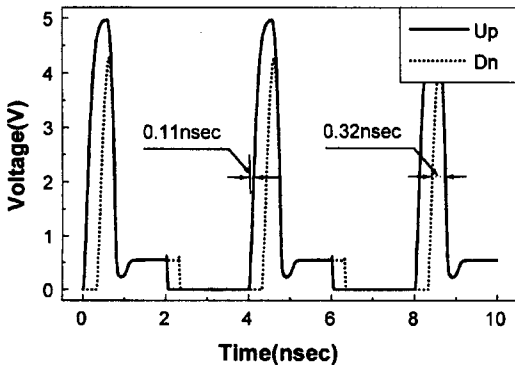
Fig. 6. Simulated reset and propagation times for PFDs. (a)  $V_{in}$  and  $V_{vcc}$  signals with phase difference of 0.3 nsec (b) Up and Dn signals of PFD1 (c) Up and Dn signals of PFD2 (d) Up and Dn signals of PFD3



(a)



(b)



(c)

동작 주파수의 범위를 측정하기 위해서 위상/주파수 검출기를 제외한 부분은 이상적인 모델로 구성된 위상 동기 루프를 설계하였다. 전하펌프 루프필터는 두 개의 전류원과 두 개의 스위치, 그리고 저항과 커패시터로 구성하였다. 전압 제어 발전기의 주파수 이득은 200MHz/V로 정하였다. 이와 같이 구성하고 그림 3의 PFD1에 대해 시뮬레이션한 결과가 그림 7(a)에 나타나 있다. 이는 전압 제어 발전기의 제어전압인  $V_c$ 의 시간에 대한 변화를 살펴봄으로써 전체 위상 동기 루프의 주파수 획득 과정을 확인해 볼 수 있다. 이를 위해 전압 제어 발전기의 자유 동작 주파수  $f_0$ 가 600MHz, 900MHz, 1.2GHz, 1.5GHz이고 입력 주파수  $f_{in}$ 은 각각의  $f_0$ 보다 5MHz, 10MHz, 15MHz, 그리고 20MHz만큼 더 큰 주파수를 입력으로 가하여 시뮬레이션을 수행하였다. 전압 제어 발전기의 이득을 200MHz로 정하였기 때문에 제어 전압  $V_c$ 가 0.025V, 0.05V, 0.075V, 그리고 0.1V가 될 때 위상이 고정되어야만 하는데 GHz 이상의 주파수에서는 PFD1이 동작하지 않는 것을 확인할 수 있었다. 반면에, PFD2에서는 900MHz 이상의 주파수에서 정상적으로 동작하며 최대 동작 주파수는 그림 7(b)에서 볼 수 있듯이 1.5GHz이고 주파수 획득에 소요되는 시간은 2.2  $\mu$

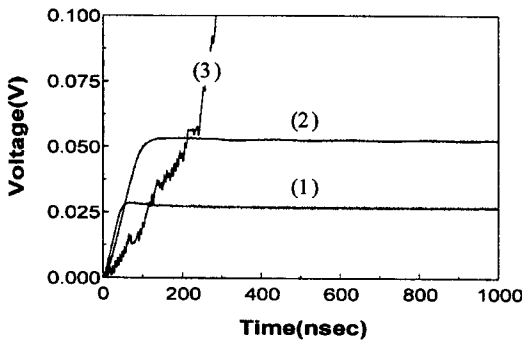
sec 이상이며 입력 주파수가 커짐에 따라 증가하였다. 다음으로 PFD3는 모든 주파수에서 동작하며 그림 7(c)에서 볼 수 있듯이 위상이  $\pi$  만큼 차가 났을 경우에 PFD1과는 달리 Up 신호를 계속해서 전하펌프 루프 필터에 전달한다. 따라서, 루프 필터의 커패시터에 충전되는 전압을 급격히 상승시켜서 앞의 시뮬레이션 결과와 같이 고 주파수에서 증가하는 주파수 획득 시간을 180 nsec로 감소시키며 세밀한 주파수를 추적하는 위상 고정된 상태에서도 정상적으로 동작하는 것을 확인할 수 있었다.

그림 7. 세가지 구조의 위상/주파수 검출기가 각각 포함된 위상 동기 루프의  $V_c$ .

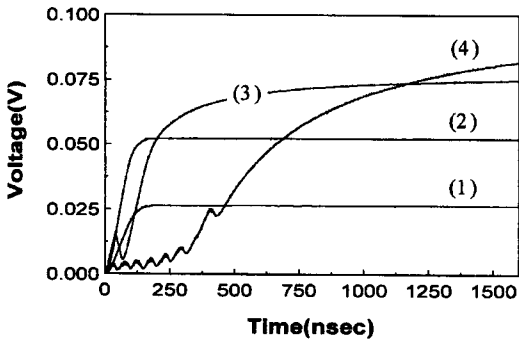
- (a) PFD1 [(1)  $f_o=600\text{MHz}$ ,  $f_{in}=605\text{MHz}$  (2)  $f_o=900\text{MHz}$ ,  $f_{in}=910\text{MHz}$  (3)  $f_o=1200\text{MHz}$ ,  $f_{in}=1215\text{MHz}$ ]
- (b) PFD2 [(1)  $f_o=600\text{MHz}$ ,  $f_{in}=605\text{MHz}$  (2)  $f_o=900\text{MHz}$ ,  $f_{in}=910\text{MHz}$  (3)  $f_o=1200\text{MHz}$ ,  $f_{in}=1215\text{MHz}$  (4)  $f_o=1500\text{MHz}$ ,  $f_{in}=1520\text{MHz}$ ]
- (c) PFD3 [(1)  $f_o=600\text{MHz}$ ,  $f_{in}=605\text{MHz}$  (2)  $f_o=900\text{MHz}$ ,  $f_{in}=910\text{MHz}$  (3)  $f_o=1200\text{MHz}$ ,  $f_{in}=1215\text{MHz}$  (4)  $f_o=1500\text{MHz}$ ,  $f_{in}=1520\text{MHz}$ ]

Fig. 7.  $V_c$  of PLL including each PFD of three types.

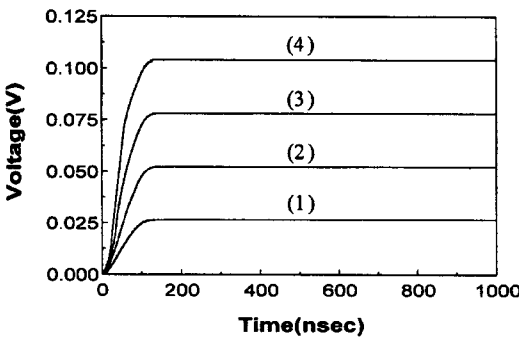
- (a) PFD1 [(1)  $f_o=600\text{MHz}$ ,  $f_{in}=605\text{MHz}$  (2)  $f_o=900\text{MHz}$ ,  $f_{in}=910\text{MHz}$  (3)  $f_o=1200\text{MHz}$ ,  $f_{in}=1215\text{MHz}$ ]
- (b) PFD2 [(1)  $f_o=600\text{MHz}$ ,  $f_{in}=605\text{MHz}$  (2)  $f_o=900\text{MHz}$ ,  $f_{in}=910\text{MHz}$  (3)  $f_o=1200\text{MHz}$ ,  $f_{in}=1215\text{MHz}$  (4)  $f_o=1500\text{MHz}$ ,  $f_{in}=1520\text{MHz}$ ]
- (c) PFD3 [(1)  $f_o=600\text{MHz}$ ,  $f_{in}=605\text{MHz}$  (2)  $f_o=900\text{MHz}$ ,  $f_{in}=910\text{MHz}$  (3)  $f_o=1200\text{MHz}$ ,  $f_{in}=1215\text{MHz}$  (4)  $f_o=1500\text{MHz}$ ,  $f_{in}=1520\text{MHz}$ ]



(a)



(b)



(c)

### IV. 결 론

본 연구에서는 기존의 위상/주파수 검출기(PFD1)의 동작 주파수 한계를 분석하여 이를 극복할 수 있는 새로운 구조의 위상/주파수 검출기(PFD2, PFD3)를 제안·검증하였다. PFD2는 위상/주파수 검출기의 동작 한계를 결정짓는 리셋 시간을 최소한으로 줄이기 위하여 단순하고 최적화된 구조로 구성되었다. PFD3는 위상/주파수 검출기의 출력을 리셋시키는 경로를 두 부분으로 나누어서 주파수 획득 과정에서 리셋 시간을 제거하여 전체 회로에 미치는 잡음을 최소화 할 수 있다. 제안된 구조를 PFD1의 성능과 비교해보기 위하여 0.8 $\mu\text{m}$  CMOS 공정 파라미터를 이용한 SPICE 시뮬레이션 결과, PFD2의 리셋 시간은 PFD1에 비하여 28% 이상 향상되었으나 고 주파수에서의 주파수 획득에 필요한 시간이 2.2  $\mu\text{sec}$  이상이었지만, PFD3는 리셋 시간과 전달 시간이 0.03 nsec와 0.095 nsec로 거의 나타나지 않으면서 고 주파수에서 주파수 획득에 필요한 시간 역시 180 nsec로 고정된 성능을 나타내었다. 따라서, 본 논문에서 새롭게 제안된 위상/주파수 검출기 구조는 고속 주파수 합성, 클럭 및 데이터 복원등의 기능을 수행하는 통신 시스템에 사용이 가능하리라 판단된다.

## 참 고 문 헌

- [1] Vincent von Kaenel, Daniel Aebischer, Christian Piguet, and Evert Dijkstra, "A 320MHz, 1.5mW@1.35V CMOS PLL for Microprocessor Clock Generation," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1715-1722, 1996.
- [2] John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques," *IEEE J. Solid-State Circuits*, vol. 31, no. 11, pp. 1723-1732, 1996.
- [3] Sungjoon Kim, Kyeongho Lee, Yongsam Moon, Deog-Kyoon Jeong, Yunho Choi, and Hyung Kyu Lim, "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL," *IEEE J. Solid-State Circuits*, vol. 32, no. 5, pp. 691-700, 1997.
- [4] F.M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Trans. on Comm.*, vol. 28, no. 11, pp. 1849-1858, 1980.
- [5] R.E. Best, *Phase-Locked Loops: Theory, Design and Applications*, McGraw-Hill New York, pp. 93-171, 1984.
- [6] B. Razavi, *Monolithic Phase-Locked Loops And Clock Recovery Circuits - Theory and Design*, IEEE Press, pp. 21-28, 1996.
- [7] Byungsoo Chang, Joonbae Park, and Wonchan Kim, "A 1.2GHz CMOS Dual-Modulus Prescaler Using New Dynamic D-Type Flip-Flops," *IEEE J. Solid-State Circuits*, vol. 31, no. 5, pp. 749-752, 1996.

## 저 자 소 개

## 全 商 吾(學生會員)

1973년 7월 23일생. 1996년 2월 연세대학교 전자공학과 졸업. 1998년 8월 동대학원 석사학위취득. 현재 LG 산전 연구소 연구원. 주관심분야는 아날로그 집적회로 설계, PLL IC 설계

## 金 在 錫(正會員)

1977년 2월 연세대학교 전자공학과 학사. 1979년 pv2월 한국과학원전기 및 전자공학과 석사. 1988년 8월 Rensselaer Polytechnic Institute 박사. 1979년 2월~1984년 4월 전자기술연구소 선임연구원. 1988년 8월~1993년 5월 AT&T Bell Lab. 1993년 5월~1996년 2월 한국전자통신연구소. 1996년 3월~현재 연세대학교 전자공학과 부교수. 주관심분야는 VLSI 설계와 CAD, 디지털 통신 및 영상압축용 ASIC 설계. DSP 설계

## 鄭 泰 植(正會員)

1970년 11월 5일생. 1993년 2월 연세대학교 전자공학과 졸업. 1995년 8월 동 대학원 석사 학위 취득. 1995년 9월 ~ 현재 동 대학원 박사과정. 주관심분야는 아날로그 회로설계, PLL IC 설계

## 崔 佑 榮(正會員)

1988년 5월 Massachusetts Institute of Technology 의 EECS Department B.S. 및 M.S. 취득. 1994년 5월 동대학원 Ph.D 취득. 1994년 10월부터 1995년 8월까지 일본 NTT 광전자 연구소 Post-Doctoral Fellow. 1995년부터 현재까지 연세대학교 전자공학과 조교수. 주관심 분야는 초고속 시스템 설계 및 해석과 이의 구현을 위한 소자 연구