

# 최적 회로 연결선 구조를 위한 설계 및 해석도구 (DATOIS)

## (Design and Analysis Tool for Optimal Interconnect Structures (DATOIS))

白宗欽 \* , 金竣熙 \* , 金錫潤 \*

(Jong-Humm Baek, Joon-Hee Kim, and Seok-Yoon Kim)

### 요 약

요즈음의 썬브마이크론(submicron) IC설계에서는 트랜지스터의 최적화 못지않게 회로연결선(interconnect)의 최적 설계가 차지하는 비중이 크다. 회로 연결선은 회로 성능의 두 주요 요소라고 할 수 있는 전력 소모 및 동작 속도 모두와 직결되므로, 이의 최적 설계 및 이를 위한 설계 보조 도구는 회로 및 소자 엔지니어들의 큰 관심사이다. 일반적으로 소자 및 회로 연결선이 주어지면(구조 및 매질 정보포함) 이를 회로적으로 해석하는 과정도 무시할 수 없는 난도를 가지지만, 역으로 주어진 회로 성능을 갖는 소자 및 연결선을 설계하는 것은 더욱 어렵다. 본 논문은 지금까지 문제의 복잡도 등에 기인하여 소홀히 되어온 후자의 과정을 체계적으로 접근하고 이를 위한 설계 보조도구(DATOIS)를 기술한다. 이 도구는 연결선 기하구조를 정규화하여 해석된 회로 성능 변수들을 저장하고 있다. 사용 모드는 두가지로서 해석 모드에서는 주어진 기하구조에 대해 내부의 데이터베이스를 탐색·보간하여 회로 변수를 출력하고, 합성 모드에서는 주어진 회로 성능 변수를 만족하는 일련의 기하구조를 출력한다.

### Abstract

As the packing density of ICs in recent submicron IC design increases, interconnects gain importance. Because interconnects directly affect on two major components of circuit performance, power dissipation and operating speed, circuit engineers are concerned with the optimal design of interconnects and the aid tool to design them. When circuit models of interconnects are given(including geometry and material information), the analysis process for the given structure is not an easy task, but conversely, it is much more difficult to design an interconnect structure with given circuit characteristics. This paper focuses on the latter process that has not been focused on much till now due to the complexity of the problem, and presents a design aid tool(DATOIS) to synthesize interconnects. This tool stores the circuit performance parameters for normalized interconnect geometries, and has two operational modes: analysis mode and synthesis mode. In the analysis mode, circuit performance parameters are obtained by searching the internal database for a given geometry and interpolates results if necessary. In the synthesis mode, when a given circuit performance parameter satisfies a set of geometry condition in the database, those geometry structures are printed out.

### I. 서 론

\* 正會員, 崇實大學校 電子計算學科

(Soongsil University, Graduate School, School of Computing)

※ 본 연구는 1997년도 교육부 학술연구조성비(반도체) 97-100)에 의하여 연구되었음

接受日字:1998年4月20日, 수정완료일:1998年5月27日

현 사회가 정보화 사회가 되어감에 따라 정보기기 및 하드웨어의 기능 및 성능에 대한 요구조건도 계속적으로 강화되고 있으며, 이들 기기 및 하드웨어에 사용되는 반도체 칩들 또한 제조 기술의 발달에 힘입어 고집적화, 고속화되어 가고 있다. 미국 SIA(Semi-

conductor Industries Association)의 연례 보고서에 의하면 향후 10년 이내에 회로선폭 0.1 $\mu\text{m}$  이내, 2GHz의 칩내부 클럭속도(on-chip clock rate)를 가진 반도체 소자시대가 도래할 것이라고 예측하고 있다<sup>[1]</sup>. 이 수준의 집적도에서는 현재의 VLSI 소자 설계기술도 그에 상응한 변화가 필요하다. 예를 들어, 기초 트랜지스터의 크기 축소와 더불어 저전력 요구 추세에 따른 공급전압의 저하에 기인하여 트랜지스터의 동작 특성(문턱(threshold) 전압 저하 등)도 변하게 된다. 따라서, 회로 설계시 회로 해석에 필요한 기초 소자 모델링도 새롭게 할 필요가 있다.

소자 및 회로연결선의 설계 및 제조는 논리설계의 마지막 단계인 물리설계(Physical Design)와 연결되며, 후단 설계(Back-end design)라고 불려지는 이 과정은 대부분의 논리 설계자들의 전문 분야 밖인 동시에 소자 설계 엔지니어 입장에서 다루기 힘든 분야이다. 그러나, 현재 급속히 발전하고 있는 반도체 기술은 논리 설계와 제조의 분리라는 지금까지의 관행을 극복하고 이 과정을 통합함으로써 최대한의 성능상의 이점을 얻고자 이 연계부분을 주목하고 있다. 일반적으로 볼 때, 소자가 주어지면(구조 및 매질 정보 포함) 이를 회로적으로 해석하는 과정도 무시할 수 없는 난도를 가지지만, 역으로 주어진 회로 성능을 가진 소자를 설계하는 것은 더욱 어렵다.

본 논문에서 추진하고자 하는 방향은 지금까지는 문제의 복잡도 등에 기인하여 소홀히 되어온 후자의 과정을 체계적으로 접근함으로써 최대의 설계 질의 향상을 위한 가용자원의 최적화를 이루자는 것이다. 설계 단계에서 설계의 질은 온-스케줄(On-schedule), 설계 정확성(Design correctness), 동작 속도(Operating speed), 전력소모(Power consumption), 다이 밀집도(Die density) 등의 측면에서 얼마만큼 설계목표를 달성했는가 하는 척도이다. 이 중에서 온-스케줄과 설계 정확성은 소자 설계 엔지니어가 직접적으로 기여하기는 힘든 부분이지만, 동작 속도와 전력소모 그리고 다이 밀집도 등의 항목은 소자 설계부분과 직접적으로 관련된다고 볼 수 있다. 문제는, 이들 동작 속도, 전력소모, 그리고 다이 밀집도 항목들이 소자들의 구조, 배치 및 매질 정보에 어떻게 영향을 미치는지에 관한 관계가 정량적으로, 또는 민감도 분석(Sensitivity analysis) 등의 방법론을 통한 연구활동이 많이 이루어지지 않았다는 점이다.

본 논문에서 다룰 문제는 능동 소자보다 써브마이크론(submicron)시대에서 특히 부각되고 있는 수동 회로연결선에 초점을 두어, 신호선 내부의 잡음 및 시간 지연을 최소화하는 방안을 모색하고, 이를 위하여 연결선 구조는 어떻게 만들어져야 하는가 하는, 궁극적으로 연결선 합성(Interconnect synthesis)의 문제이다. 본 논문은 연결선의 물리적 구조와 신호 반사 및 결합 계수(Coupling coefficient) 등의 회로 성능 변수와의 정량적 관계를 해석적 및 시뮬레이션 방법을 통하여 유도하고 이를 성능 데이터베이스화함으로써, 주어진 기하구조에 대하여 회로 성능 변수가 필요한 경우(해석적 흐름)와 거꾸로 회로 성능 요구 조건을 만족시키는 기하구조를 찾는 경우(합성적 흐름)에 대하여 도움을 줄 수 있는 소자 설계 보조 도구를 개발하는데 목적이 있다.

물리 설계에서 설계의 질을 극대화하기 위하여 소자 설계 측면에서 시급한 부분은 신뢰성 있는 연결선 제조 기술일 것이며, 다음은 주어진 요구조건을 만족시키기 위하여 그 구조 및 배치를 어떻게 할 것인지의 문제일 것이다. 즉, 종래의 분석적 접근 방법으로는 주어진 연결선의 구조 및 매질 정보로부터 전자기적 변수를 추출(extraction)한 후, 이를 회로 모형으로 구성하여 해석하는 흐름을 따랐으나, 앞으로의 반도체 기술은 모든 부분에서 유희되고 있는 한계 용량(marginal capacity)을 찾아서 최대도 활용하자는 추세인 만큼, 이의 역흐름을 따라서 주어진 회로 성능을 위한 최적 구조를 합성해 보자는 것이 본 연구의 의도이다.

연결선은 회로 측면에서 볼 때 전송선 시스템을 구성하게 되는데, 선로 매질의 저항률(resistivity)의 대소에 따라 RC-부류(RC-class) 및 RCL-부류(RCL-class)로 나눌 수 있고, 이들을 다시 단일 전송선로와 복수 결합 전송선로로 나눌 수 있다. RC-부류 연결선의 예로는 폴리 라인(polysilicon line)이 속하며, RCL-부류의 예로는 메탈라인(metal line)을 들 수 있다. RCL-부류의 경우는 특히, 신호 반사가 문제되며 이를 최소화하기 위하여 회로 레벨에서 직렬 종단 및 병렬 종단 등의 방법이 제시되고 있다. 그러나, 이들 방법들은 연결선의 구조가 단순할 경우는 쉽게 적용할 수 있으나, 일반적인 3차원 구조를 가질 경우 여러 불연속(discontinuity)지점에서의 복합적인 신호반사를 최소화하기는 어렵다. 이러한 불연속성의 유형

은 전송 매질이 달라지는 곳, 즉 버스상의 스템브(stub)등을 포함하며, 두 점이상의 위치에서 파동반사가 생기고, 이들 반사파가 다시 다른 위치에서 재반사되므로 최적 종단망을 어느 한곳에서 정의하기란 현실적으로 어렵다.

이 과정에 필요한 연구로서, 변수 추출(parameter extraction)에 반대되는, 전기적 변수가 주어질 때 이를 기하구조로 변환하는 구조합성(structure synthesis)기술이 필요하다. 지금의 변수 추출기법들은 맥스웰(Maxwell) 방정식을 바탕으로 유한 요소법(Finite element method)이나 경계 요소법(Boundary element method)을 적용하고 있다<sup>[7,8]</sup>. 구조합성기술 개발을 위해 이러한 방법을 그대로 적용하는 것은 효율성이 뒤지므로 각 차원(dimension)별로 변수를 정의한 다음, 이들의 함수로써 전기적 변수들을 표현하는 방법을 모색하는 것이 효과적이다. 전기적 변수와 구조변수들 사이의 관계가 정립되면 각 구조변수의 지연(delay) 및 신호 기울기(slope) 등과 같은 회로성능에 대한 민감도(sensitivity)를 구할 수 있으므로 주어진 회로 성능을 최적화하는 구조변수 값을 찾을 수 있게 된다.

이상의 논의는 주로 단일 전송선로인 경우에 대해 신호반사를 최소화하는 소자 설계방법으로서 적용 가능하다. 복수 결합 전송 선로(multiple, coupled transmission line)인 경우는 신호반사외에도 이웃한 도체간에 전자적 결합으로 인한 신호 간섭현상을 최적화하는 구조 및 배치 문제에 대한 연구가 필요하다. 결합된 신호 전송선로간에는 결합신호의 크기를 나타내는 결합 상수(Coupling coefficient)들을 정의할 수 있으며, 이 전기적 변수들은 결국 선로의 단면구조 및 매질상수의 함수이므로 결합상수들과 구조 변수들과의 관계는 복합 함수로써 근사적으로 표현할 수 있다. 이렇게 되면 앞의 신호반사를 최적화 하는 경우처럼, 구조변수들의 결합상수에 대한 민감도(Sensitivity)정보로부터 결합률을 일정이하로 하는 연결선 구조를 찾을 수 있게 된다. 서론에 이어 제II절에서는 본 연구의 접근방법과 회로연결선 설계를 위한 보조 도구의 개요 및 구조에 대해 기술한다. 제III절에서는 이 설계보조 도구 상의 성능 데이터베이스와 실제의 설계공간과의 매핑에 대해 설명하며, 제IV절에서는 설계공간에서의 데이터 추출방법 및 보간법을 밝힌다. 설계보조도구의 내부 흐름은 제V절에서 기술하며, 실험결과 및 결론

은 VI 및 VII절에서 요약한다.

## II. 회로 연결선 보조 도구의 개요와 구조

칩 상에서 회로의 집적도와 복잡도가 증가함으로 인해 추가적으로 신호 연결의 수와 집적도가 증가하게 되었다. 이 같은 회로 연결선의 증가는 선들의 폭을 감소시키고 그들간의 간격을 더욱 줄이게 만든다. 이러한 경향은 회로 연결선 상호간에 누화현상(crosstalk)을 증가시키고 심지어는 신호에 상당한 왜곡(distortion) 현상을 야기시킨다. 이러한 문제점을 해결하기 위하여 회로연결선 시스템은 매우 정확하게 설계되어야 하고 최적화되어야 하며, 이 목적을 달성하기 위해서는 연결선을 위한 효율적 CAD 시스템이 반드시 필요하게 되었다. 실질적으로 소자 설계 엔지니어의 입장에서는 주어진 회로 성능 기준을 만족시킬 수 있는 연결선 구조의 범위를 파악하는 것이 중요하다.

본 논문에서는 연결선의 물리적 구조와 신호 반사 및 결합 계수(coupling coefficient) 등의 회로 성능 변수와의 정량적 관계를 해석적 및 시뮬레이션 방법을 통하여 유도하고 이를 성능 데이터베이스화함으로써, 주어진 기하구조에 대하여 회로 성능 변수가 필요한 경우(해석적 흐름)와 거꾸로 회로 성능 요구 조건을 만족시키는 기하 구조를 찾는 경우(합성적 흐름)에 대하여 도움을 줄 수 있는 소자 설계 보조 도구에 관해서 기술한다.

DATOIS(Design and Analysis Tool for Optimal Interconnect Structures)라 칭한 이 도구는 연결선 기하구조를 정규화하여 해석된 회로 성능 변수들을 저장하고 있다. 사용 모드는 두가지로서 해석 모드에서는 주어진 기하구조에 대해 내부의 데이터베이스를 탐색·보간하여 회로 변수를 출력하고, 합성 모드에서는 주어진 회로 성능 변수를 만족하는 일련의 기하구조를 출력한다.

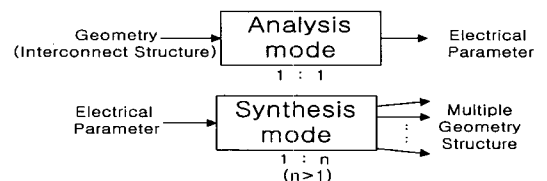


그림 1. DATOIS의 동작 모드

Fig. 1. DATOIS Operation Modes

그림 1은 DATOIS의 동작모드이다. 이 CAD 시스템은 두 개의 기능을 수행할 수 있게 구성되어 있다. 첫째, 이 도구는 설계자로 하여금 다양한 선 기하구조들의 전기적인 파라미터들을 비교적 쉽고 빠르게 결정해 준다. 도구에서는 이 동작 모드(operation mode)를 해석 모드(analysis mode)라 부른다. 둘째, 이 도구는 설계자에게 미리 주어진 전기적 파라미터에 대한 연결선의 기하구조를 효율적으로 결정하는데 도움을 준다. 도구에서는 이 동작 모드를 합성 모드(synthesis mode)라 부른다. 해석 모드에서의 기능은 유일한 해(unique solution)를 가지고 있고, 또한 적절한 프로그램을 이용할 수 있지만 이러한 해석 과정은 상당히 느리다. 한편, 합성 모드에서는 해가 유일하지 않은(nonuniqueness) 문제 때문에 고려해야 할 점이 많다. 즉 전기적 파라미터를 만족시키는 많은 종류의 선 기하 구조가 존재할 수 있으므로 여러 번의 반복적인 과정을 통하여 해결되어야 한다.

본 논문에서의 접근 방법은 선의 기하구조들에 대한 전기적 파라미터들을 미리 계산해 데이터베이스에 저장하고 그것을 탐색하는 방법으로 수행된다. 먼저, 스트립라인 설계를 위한 데이터베이스는 개념적으로 다차원 공간 안에 존재하는 점들의 배열로서 구현되고, 이 다차원 공간 안에 존재하는 점들의 좌표는 독립적인 변수나 인자들의 값을 나타낸다. 각각의 점에서 계산된 의존 변수나 함수들의 집합은 프로그램에서 다차원 배열로서 구성되고 저장된다. 전기적 파라미터(R,L,C)들은 LINPAR 프로그램 [6]으로 추출(extraction)하였고 2차적 파라미터인  $Z_{ML}$ (matched load impedance)와  $K$ (coupling ratio)는 아래의 식을 이용하였다. 식 (1)에서  $\tau$ 는 전달지연시간(propagation delay)이다. 아래의 식에 대한 설명은 [2] 및 [3]에 자세히 기술되어 있다.

$$\tau = \sqrt{L_{11}C_{11} + L_{12}C_{12}} \quad (1)$$

$$Z_{ML} = \sqrt{(L_{11}^2 - L_{12}^2) / (L_{11}C_{11} + L_{12}C_{12})} \quad (2)$$

$$K = \frac{(L_{12}/\tau)Z_{ML}}{[(L_{11}/\tau) + Z_{ML}]^2 - (L_{12}/\tau)^2} \quad (3)$$

LINPAR 프로그램을 위한 초기 조건(initial condition)은 아래와 같다. 도전율(conductivity)은  $5.6e+$

07, 주파수(reference frequency)는  $1.0e+10$ Hz, 상대 유전율(relative permittivity)은 3.9로 하였다.

그림 2는 DATOIS의 블록 도형이다.

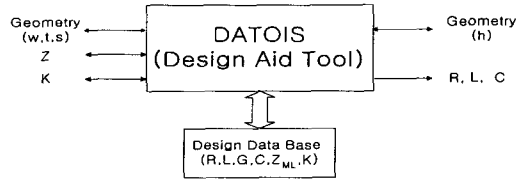


그림 2. DATOIS의 블록 도형  
Fig. 2. DATOIS Block Diagram.

스트립 라인과는 달리 마이크로스트립 선로는 스트립과 도체판 사이의 전자계 분포가 기판안에 완전히 제한되어 있지 않기 때문에 비 균질 전송 선로(inhomogeneous transmission line)이다<sup>[4]</sup>. 그러므로 마이크로 스트립을 따라 전파하는 모드는 순수한 TEM이 아닌 준 TEM(quasi-TEM)이다. 이에 대한 해석적 및 수치적 해를 다룬 문헌<sup>[5]</sup>은 대단히 많다.

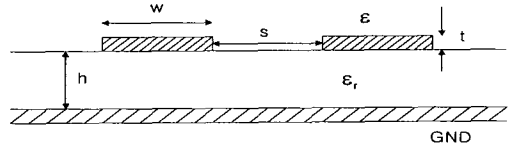


그림 3. 두개의 도체의 마이크로스트립라인 구조  
Fig. 3. Two-Conductor Microstrip Line Structure.

일반적으로 1차 전기적 파라미터인 L과 C는 전류 벡터 및 전압 벡터를 이용하여 계산되고 이 1차 파라미터를 통해서 2차 파라미터인 특성 임피던스와 전파 상수, 결합계수등을 유도 할 수가 있다. 본 논문에서는 그림 3과 같은 간단한 2개의 병렬 마이크로 스트립라인을 예로 들었으며 두 선은 완전하게 대칭을 이루는 구조이다. 즉, L과 C값을 표현하는 행렬이 아래와 같다면 두 대각 원소들의 값은 같다.

$$L = \begin{bmatrix} L_{11} & L_{12} \\ L_{21} & L_{22} \end{bmatrix}, \quad C = \begin{bmatrix} C_{11} & -C_{12} \\ -C_{21} & C_{22} \end{bmatrix} \quad (4)$$

일반적으로 전기적 파라미터들을 추출하는데 있어서 대부분의 계산 시간은 L과 C값을 구하는데 소모된다. 또한, 합성 모드를 위하여 L과 C로부터 유도된 2차 파라미터들도 같이 저장되어야 한다. 왜냐하면 이들 2차 파라미터들로부터 L과 C값으로의 사상(mapping)

도 반드시 일대일로 대응하지는 않기 때문이다. 대개 전송선(transmission line)에서 단위 길이당 L과 C는 기하구조의 스케일링 하에서 거의 변하지 않는다. 결국 L은 투자율(permeability)에 비례하고 C는 유전율(permittivity)에 비례한다. 이러한 특성은 데이터베이스의 크기를 감소시키므로 설계 공간을 구축하는데 드는 비용을 줄일 수 있다.

III. 설계 공간과 실제 데이터베이스

다차원 공간에서의 좌표들은 설계 공간(design space)으로서 간주되어 질 것이다. 설계 공간의 좌표(argument)들은 선의 기하학적 차원(geometry dimension)이다. 반면에 계산된 전기적 파라미터들은 설계 공간내의 한 점으로서 선의 기하구조(line geometry)가 선택될때 이 점과 관련된 전기적 파라미터들의 유일한 집합이 결정된다.

그림 3에서 보듯이 선의 기하구조는 다음의 4가지 변수들, 즉 (w, t, s, h)에 의하여 정의되어진다. 그러나, 선의 비례축소(scaling)하에서 L과 C값의 무변화(invariance)는 그 중에 한 변수로 정규화(normalization)가 가능하게 하므로 4변수 중에 하나를 소거할 수 있게 해준다. 따라서 설계공간은 4차원에서 3차원으로 감소된다. 즉, 아래와 같이 h에 의하여 나눔으로써, 세 개의 정규화된 인자들을 만들어낸다.

$$W = \frac{w}{h}, \quad T = \frac{t}{h}, \quad S = \frac{s}{h} \quad (5)$$

차원의 감소로 말미암아 계산하여야할 함수(L, C, R, Z<sub>ML</sub>, K)들을 위한 수많은 점들이 상당히 감소하게 된다. 본 논문에서 데이터베이스를 위해 선택한 기하구조의 범위는

$$1\mu < w < 6\mu, \quad 0.5\mu < t < 3\mu \quad (6)$$

$$0.5\mu < s < 3\mu, \quad 2\mu < h < 10\mu \quad (7)$$

이고, 정규화된 좌표들의 범위는

$$0.1 < W < 3, \quad 0.05 < T < 1.5, \quad 0.05 < S < 1.5 \quad (8)$$

이 된다.

원칙적으로 h에 의하여 나누는 것은 다른 좌표들에 대한 각각의 경우에 대하여 두 개의 차원에서 하나의 차원으로 사상하는 과정이다. 이것에 대한 설명은 그림 4에 잘 나타나 있다.

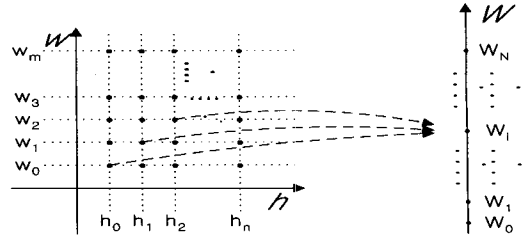


그림 4. w와 h 평면에서 W 축으로의 사상  
Fig. 4. Mapping from w-h space into W axis.

그림 4에서 정규화 과정을 직관적으로 보면 좌표축 상에서 점(discrete point) 개수가 상당히 증가한 것처럼 보이지만 실제로는 그렇지 않다. 정규화에 의한 이점은 분명히 점들의 개수가 줄었다는 것이고 그에 대한 수식적 표현은 다음과 같다(w의 점의 개수는 a, t는 b, s는 c, h는 d이다). 정규화 후의 전체 점의 수는 식 (9)로 주어진다.

$$a \times b \times c \times d \Rightarrow (a+d-1) \times (b+d-1) \times (c+d-1) \quad (9)$$

아래의 식 (10)~(12)는 그림 4를 설명해주는 식이다.

$$W_k = \frac{w_i}{h_j} = \frac{w_{i+1}}{h_{j+1}} \quad (10)$$

$$W_{k+1} = \frac{w_{i+1}}{h_j} = \frac{w_{i+2}}{h_{j+1}} \quad (11)$$

$$\frac{W_{k+1}}{W_k} = \frac{w_{i+1}}{w_i} = \frac{h_{j+1}}{h_j} = r \quad (12)$$

또한 바람직한 한 사상을 달성하기 위해서는 r(scaling ratio)값의 선택이 매우 중요하다.

즉, 점들은 r의 비율로 기하 급수적으로 선택되어지고, r의 값이 작으면 점들 사이에 존재하는 함수 값들을 위한 보간의 정확성은 향상되지만 데이터베이스의 크기는 증가한다. 따라서 메모리의 요구(memory requirement)와 응답시간(response time)이 증가하게 된다. 본 연구에서는 r값을 1.5로 하였다.

그림 5에서 보듯이 설계 공간 내에 존재하는 임의의 점에 대한 데이터베이스 정의역(domain)은 육면체 내에 있는 격자(lattice) 모양의 점들로서 나타나고, 여기서 그 육면체는 (W, T, S)의 범위에 의하여 주어 진 공간이다. 하지만, 실제의 데이터베이스 도메인은 더 복잡한 모양이고 그 부피(volume)의 반 보다 더 작게 사용한다. 그러한 이유는 데이터베이스 내에 속

한 모든 점들의 좌표들은 일반적인 h값으로 정규화 되어지기 때문이다. 따라서 앞에서 언급한 점 개수,  $(a+d-1) \times (b+d-1) \times (c+d-1)$ 은 위의 이유로 말미암아 다음과 같이 축소되어 진다.

$$\text{전체 점의 개수} = a \times b \times c + (d-1) \quad (13)$$

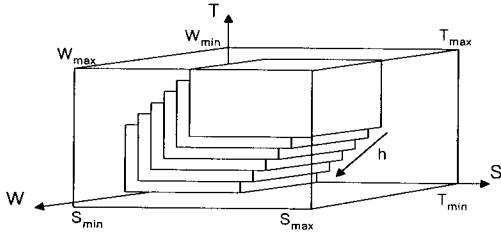


그림 5. h의 변화에 따른 데이터베이스 정의역의 변화  
Fig. 5. Change of Database Domain by Change of h

#### IV. 설계 공간에서 데이터 추출과 보간법

해석 모드에서 사용자는 DATOIS에 선의 기하구조 집합, 즉 (w,t,s,h) 값을 제공하고, DATOIS는 주어진 h 값으로 나머지 기하구조를 나누는 정규화 작업을 수행한다. 일반적으로 구하고자 하는 점은 설계 공간 내에 존재하는 격자 위의 한 점으로 위치하지는 않는다. 그러므로, DATOIS는 이웃하는 가장 가까운 8개 점을 위한 함수 값들을 추출하고, 그 8개 함수 값들 사이에서 보간 연산을 수행한 후, 결과를 화면에 디스플레이 한다. 이용된 보간 연산은 3차원 공간상에서의 선형 보간법을 사용하였다.

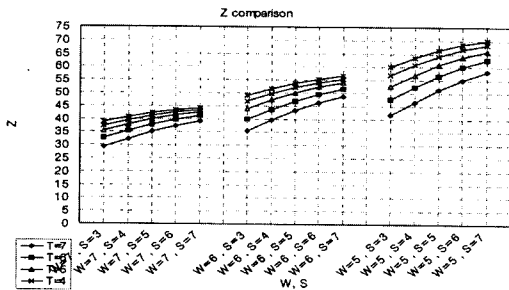


그림 6.  $Z_{ML}$ 값의 변화  
Fig. 6. Change of  $Z_{ML}$  values.

위의 그림 6은 (W,T,S)에 따른  $Z_{ML}$ 값의 변화를 나타낸 것이며, 이러한 전기적 특성이 합성을 가능하게 해준다. 합성 모드에서 입력으로 받아들일 수 있는 방

법은 세 가지 경우가 있다. 첫째는,  $Z_{ML}$ 과 h 값이고, 둘째는, K와 h 값이고, 셋째는  $Z_{ML}$ 과 K 와 h 값이다. 세 번째 방법에서 고려해야 할 점은 사용자의 경험이 요구되어진다. 즉,  $Z_{ML}$ 과 K 값이 식 2, 3에서 보듯이 바람직한 값으로 입력되어야 한다. 본 논문에서는 T 값은 고정시키고 주어진 입력 값( $Z_{ML}$  혹은 K)에 대하여 W와 S 값을 변화시킬 때 기율기의 변화가 심하지 않은  $Z_{ML}$  값을 입력으로 받아들이는 첫 번째 방법을 선택하였다.

사용자가 입력으로  $Z_{ML}$ 과 h 값을 입력하면 DATOIS는 주어진 입력 값에 대하여 선택 가능한 기하 구조의 범위, 즉, (w, t, s)의 범위를 화면에 디스플레이 한다. 사용자는 주어진 범위를 보고 기하 구조의 한 요소를 선택한 다음 그 요소의 값을 입력한다. 여기서 요소의 값을 입력받는 것은 3개의 축을 가진 공간상에서 하나의 축을 고정시킨다는 것을 의미한다. 프로그램은 주어진 입력 값에 대하여 데이터베이스를 다시 조사하여 기존의 기하구조 범위를 갱신한다. 프로그램은 위의 과정을 반복적으로 수행함으로써 원하는 기하 구조의 값을 출력한다.

해석 모드와 마찬가지로 합성 모드에서도 주어진 입력 값은 일반적으로 3차원 좌표 상의 한 점으로 표현되지는 않는다. 즉, 이 모드에서도 보간 연산이 요구되어지고 일반적인 보간 방법은 선형 보간이다. 본 연구에서 사용한 방법은 주어진 입력 값에 대하여 좌표 상의 바람직한 점(합성 모드에서의 격자 위의 점)들을 화면에 출력하고 사용자는 그 점들 중의 한 점을 선택하게 한다. 프로그램은 한 점을 고정시키고 출력된 기하구조의 범위를 갱신한다. 프로그램은 반복적인 작업을 수행하고 마지막 기하구조의 값은 선형 보간을 사용하여 구한 다음 그 값을 화면에 출력하게 한다.

#### V. DATOIS의 내부 흐름

그림 7은 설계 보조 도구의 내부 흐름도를 나타내고 각 단계의 설명은 아래에 있다.

① wtsh\_WTS\_generate();

(w,t,s,h)로 이루어진 네 개의 좌표축에 대한 좌표 점들을 생성하기 위하여 주어진 범위를 가지고 r(scaling ratio=1.5)의 비율로 좌표점들을 생성한 후에, 그 점들의 값을 사용하여 정규화해서 (W,T,S)의 세 좌표축으로 이루어진 설계 공간을 생성한다.

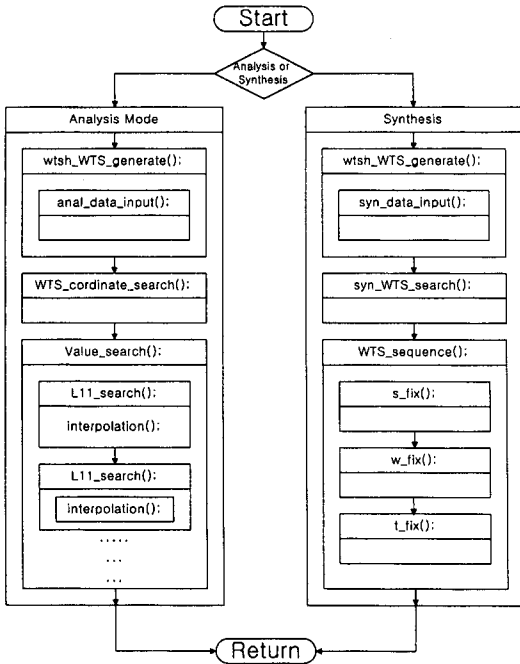


그림 7. DATOIS의 내부 흐름도  
Fig. 7. Flow Diagram of DATOIS.

- ② anal\_data\_input();  
(w,t,s,h)의 네 값을 입력으로 받아서 정규화를 수행한다.
- ③ WTS\_coordinate\_search();  
네 개의 입력에 대하여 설계 공간상에서의 위치를 찾는다. 즉, 구하고자하는 점과 가장 가까운 여덟 개의 점을 찾는다.
- ④ value\_search();  
설계 공간에서 표현되는 점에 대한 전기적 파라미터 값들을 계산해내는 과정을 수행하고, 이 과정에서 interpolation(); 을 사용하여 보간 연산이 이루어진다. 출력되는 함수들은 L<sub>11</sub>, L<sub>12</sub>, R<sub>11</sub>, R<sub>12</sub>, C<sub>11</sub>, C<sub>12</sub>, Z<sub>ML</sub>, K의 값들이다.
- ⑤ syn\_data\_input();  
Z<sub>ML</sub>과 h 값을 입력으로 받는다.
- ⑥ syn\_WTS\_search();  
입력받은 Z<sub>ML</sub>의 값을 사용하여 (W,T,S)가 합리적으로 가질 수 있는 범위를 구하고, h를 사용하여 비정규화(denormalization)함으로써 (w,t,s)의 범위를 출력한다.
- ⑦ WTS\_sequence();  
(W,T,S)의 세 개의 변수에 대하여 어떤 변수를 고정할 것인지를 결정하는 과정이다.

⑧ s\_fix();  
기하구조 s를 고정시키고, 다시금 설계 공간을 조사(scan)하여 나머지 기하구조 T와 W가 가질 수 있는 좌표점을 구한 후에 그 값들을 비정규화함으로써 (t,s)의 범위를 출력한다.

⑨ w\_fix();  
기하구조 s를 고정시킨 후에 w 값을 고정하는 것이고 과정은 s\_fix();와 같다.

⑩ t\_fix();  
s와 w를 고정한 후에 주어진 t 값에 대하여 선형 보간을 수행한 후에 마지막으로 (w,t,s)의 값을 출력한다.

### VI. 실험 결과

DATOIS는 데이터베이스 작동(DB driven)방식의 설계 보조 도구이다. 따라서 데이터베이스 내에 있지 않은 점들은 보간을 이용해 값을 추출 해낸다. 아래 표 1은 선형 보간의 정확성을 보여 주기 위한 보간 오차를 보여주는 표이다.

표 1. R, L, C값의 상대 오차율(L<sub>11</sub>: 자기 인덕턴스; L<sub>12</sub>: 상호 인덕턴스; C<sub>11</sub>: 자기 커패시턴스; C<sub>12</sub>: 상호 커패시턴스; R<sub>11</sub>: 자기 레지스턴스; R<sub>12</sub>: 상호레지스턴스)

Table 1. Relative Error Ratio of R, L and C values. (L<sub>11</sub>: self inductance; L<sub>12</sub>: mutual inductance; C<sub>11</sub>: self capacitance; C<sub>12</sub>: mutual capacitance; R<sub>11</sub>: self resistance; R<sub>12</sub>: mutual resistance)

요소 \ ij	11	12
Lij	2.9 %	6.2 %
Cij	1.3 %	2.9 %
Rij	31.4 %	95 %

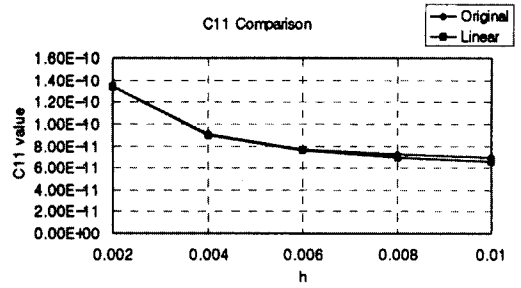
r이 1.5인데도 불구하고 C나 L값은 어느 정도 좋은 결과를 보였지만 R값은 상당한 차이를 보였다. 이러한 이유는, 주어진 기하구조에 대하여 각 변수들에 대한 값을 같은 비율로 스케일링할때는 C나 L값은 거의 변화가 없지만 R값은 GND와의 거리에 관계없이 선의 단면적에 반비례하므로 변화율이 상당히 크다. 그러므로, R<sub>11</sub>는 오차를 줄이기 위하여 시뮬레이션을 통해 구한 별도의 보정 계수를 사용하였고, R<sub>12</sub>를 구하기 위해 사용한 보간법은 선형보간법이 아니고 평균값을 사

용하였다. 아래의 표 2는 시뮬레이션에  $R_{12}$ 값의 오차가 큰 경우를 추출하여 만든 것이고 단위가  $\mu\Omega$ 인 점을 감안하면 실제 차이값은 그렇게 크지 않으며 실제 설계시에  $R_{12}$ 의 값은 거의 사용하지 않는다는 점을 고려할 수 있다.

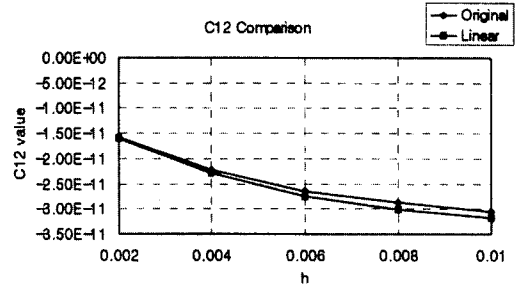
표 2.  $R_{12}$ 에서 오차가 큰 값들  
Table 2. High Error Values in  $R_{12}$

Original Data( $\mu\Omega$ )	DATOIS를 통해 얻은 값( $\mu\Omega$ )	두 값의 차이( $\mu\Omega$ )
0.0075000	0.0011520	0.0063480
0.0069950	0.0016230	0.0053720
0.0051190	0.0019645	0.0031545
0.0037350	0.0013875	0.0023475
0.0003533	0.0020690	0.0017157
0.0003677	0.0020610	0.0016933
0.0003678	0.0020530	0.0016852
0.0002323	0.0018830	0.0016507
0.0002437	0.0018808	0.0016371
0.0005556	0.0021528	0.0015972

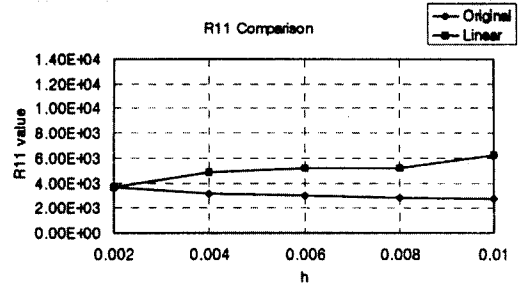
그림 8은  $w$ 를  $5\mu m$ ,  $t$ 를  $2.5\mu m$ ,  $s$ 를  $2.5\mu m$ 로써 값을 고정시킨 후에  $h$ 값의 변화에 따른 시뮬레이션 값과 DATOIS를 통해 나온 값의 차이를 그래프로 나타낸 것이다. 그래프에서 보듯이 전기적인 특성들이 비례적인 관계를 가지고 있으므로  $r$ 의 값을 1.3이하로 하면 상당한 정확도를 얻을 수 있다.



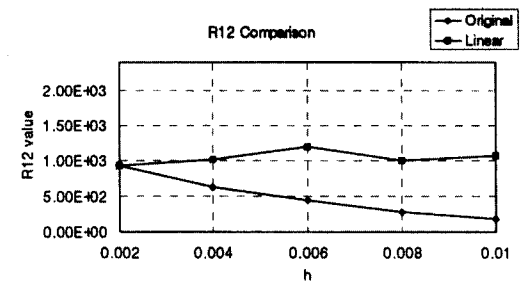
(c)  $C_{11}$



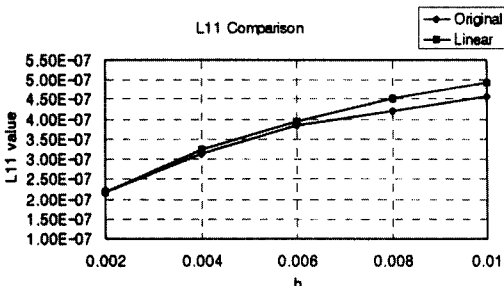
(d)  $C_{12}$



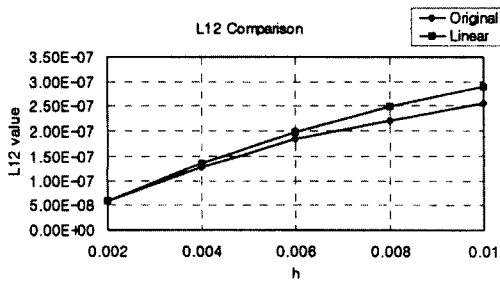
(e)  $R_{11}$



(f)  $R_{12}$



(a)  $L_{11}$



(b)  $L_{12}$

그림 8. 실제값과 실험치의 비교 그래프

Fig. 8. Comparison of Real Values and Extracted Values Using DATOIS

표 3은  $Z_{ML}$ 과  $h$ 를 DATOIS에 입력한 후에 합성 과정을 거쳐서 나오게 되는  $w, t, s$  값을 다시 LINPAR 프로그램에 입력하여 나온 값과 비교해 놓은 표이다.



표 3. 사용자가 입력한  $Z_{ML}$ 과 DATOIS에 의해 합성된  $Z_{ML}$ 과의 비교 ( $h$ 는  $3\mu m$ )

Table 3. Comparison of Given  $Z_{ML}$  by User and Calculated  $Z_{ML}$  Using Synthesized Geometry ( $h$  is  $3\mu m$ ).

입력값	DATOIS로부터 얻은 합성(synthesis) 값			합성된 기하구조를 사용하여 계산된 $Z_{ML}$ 값	오차율(%)
	$w(\mu m)$	$s(\mu m)$	$t(\mu m)$		
47	5.062	1.741	1.125	46.541168	0.976238
48	3.375	2.478	0.750	47.914146	0.178862
49	5.062	1.284	1.125	48.912228	0.179127
50	5.062	1.067	1.125	49.565247	0.869506
51	5.062	1.451	1.687	50.865902	0.262937
52	5.062	1.184	1.687	51.505886	0.950219
53	3.375	1.650	0.750	52.407883	1.117202
54	5.062	1.156	2.531	53.495502	0.934256
55	3.375	2.066	1.125	54.374359	1.137529
Total Average					0.733986

VII. 결 론

반도체 칩의 크기가 작아지고 고집적화 되어감에 따라 소자의 크기가 감소하는 것과 함께 회로 연결선의 폭 및 간격도 작아지게 되었다. 이로 인하여 회로 소자의 특성보다는 연결선의 특성에 의해서 칩의 성능을 좌우하게 되었고 그 중요성이 높아져 감에 따라 연결선의 해석 및 구조에 대한 연구가 점점 증가하고 있다. 본 논문에서 다룬 문제는 회로 연결선 합성으로서 지난한 문제로 여겨지고 있지만, DATOIS와 같은 데이터베이스적 접근을 함으로써 주어진 회로 성능 조건을 만족시키는 일련의 기하 구조를 찾아낼 수 있음을 보였다. 앞으로는 DATOIS의 접근 방법을 다층, 다선 구조로 확장하는 문제와 여러 변수의 정확도를 개선하는 문제가 남아 있다.

표 1에서 보듯이 L과 C의 오차는 최고 6.2%이다. 하지만 r의 값을 1.5 이하로 한다면 오차는 1% 이하로 충분히 낮아질 수 있다<sup>[2]</sup>. 또한  $R_{11}$ 값도 그림 4에서 보는 대각선상의 점들간에 나타나는 변화율을 적용한다면 오차의 폭은 작아 질 것이고, 이 변화율에 대한 연구는 향후 과제이다. 물론 데이터베이스의 크기와 정확도를 높이기 위해 r 값을 요소마다 다르게 하는 방법도 향후 연구 과제의 하나이다. 아울러 강조해

야 할 점은 데이터 추출을 위한 알고리즘과 데이터베이스의 복잡도를 최소화 해야 실용성이 크다는 점이다.

참 고 문 헌

- [1] SIA(Semiconductor Industries Association), Annual Report, 1994.
- [2] Jakob H. Hohl, Olgierd A. Palusinski, Karol F. Menezes, Hitesh N. Patel, Shabe M. Smith. "A Design Database for Stripline Interconnections," *IEEE 13-th IEMT, Baltimore*, Sept. 28-30, 1992.
- [3] C. W. Ho, "Theory and Computer-Aided Analysis of Lossless Transmission Lines," *IBM Journal of Research and Development*, pp. 249-255, 1973.
- [4] 陳年綱, "마이크로파 공학," 清文閣, pp. 237-243, 1994.
- [5] K. C. Gupta, R.Garg and I.J. Bahl, "Microstrip Lines and Slot Lines," Artech House, Dedham, Mass., 1979.
- [6] A. R. Djordjevic, M. B. Bazar, T. K. Sarkar and R. F. Harrington, LINPAR for Windows: Matrix Parameters for Multiconductor Transmission Lines S/W and User's Manual, Artech House Pub., 1989.
- [7] F. Olyslager, C. Laermans, and D. De Zutter, "Rigorous Quasi-TEM Analysis of Multiconductor Transmission Lines in Bi-Isotropic Media - Part I: Theoretical Analysis," *IEEE Trans. Microwave Theory & Tech.*, vol. 43, no. 7, Jul. 1995.
- [8] M. Kamon, M. J. Tsuk, C. Smithisler, and J. White, "Efficient Techniques for Inductance extraction of Complex 3-D Geometries," *In Proc. of ICCAD'92*, Nov. 1992.

## 저 자 소 개



白宗欽(正會員)

1996년 2월 수원대학교 전자계산학과 학사. 1998년 2월 숭실대학교 전자계산학과 석사. 1998년 2월 ~ 현재 숭실대학교 전자계산학과 박사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계



金俊熙(正會員)

1997년 2월 호서대학교 컴퓨터공학과 학사. 1997년 2월 ~ 현재 숭실대학교 전자계산학과 석사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계



金錫濶(正會員)

1980년 서울대 공대 전기공학과 학사. 1990년 University of Texas at Austin 전기, 컴퓨터공학과 석사. 1993년 University of Texas at Austin 전기, 컴퓨터공학과 박사. 1982년 ~ 1987년 한국 전자통신연구소 연구원. 1993년 ~ 1995년 Motorola Inc., Senior Staff Engineer. 1995년 ~ 현재 숭실대학교 컴퓨터학부 교수. 주관심분야는 설계 자동화, VLSI 회로 해석 및 설계, 통신 시스템