

論文98-35C-7-2

CMOS 집적회로에서 스위칭 노이즈에 의한 신호선의 전압변동 해석 및 모델링

(Signal Line Potential Variation Analysis and Modeling due to Switching Noise in CMOS Integrated Circuits)

朴映準*, 金龍柱**, 魚瀛善*, 鄭周榮***, 權五敬*

(Young-Jun Park, Yong-Ju Kim, Yung-seon Eo, Ju-Young Jeong, and Oh-Kyong Kwon)

요 약

본 논문에서는 CMOS 집적회로 시스템에서 델타-I 노이즈로 인해 유발되는 신호선의 전압변동에 대하여 해석하였다. 기준 전압변동의 주요한 원인이 되는 델타-I 노이즈가 신호선에 미치는 영향 분석을 위하여 신호선을 분할된 RC 집중정수회로를 사용한 등가회로로 모델링하였다. 스위칭에 의한 신호선의 전압변화는 제시된 등가회로로부터 정확히 해석적으로 구할 수 있었다. 제시된 해석적 모델은 0.35 μ m CMOS 디바이스 모델 파라미터를 사용하여 범용회로 시뮬레이터인 HSPICE 시뮬레이션을 통해 검증하였으며 시뮬레이션 결과와 모델식이 매우 잘 일치함을 보였다. 따라서 제안된 모델은 고성능 집적회로 설계 및 패키지 설계에서 유용하게 적용 할 수 있다.

Abstract

A signal line potential variation due to the delta-I noise was physically investigated in CMOS integrated circuits. An equivalent circuit for the noise analysis was presented. The signal line was modeled as segmented RC-lumped circuits with the ground noise. Then the equivalent circuit was mathematically analyzed. Thereby a new signal line potential variation model due to the switching noise was developed. The model was verified with 0.35 μ m CMOS device model parameters. The model has an excellent agreement with HSPICE simulation. Thus the proposed model can be directly employed in the industry to design the high-performance integrated circuit design as well as integrated circuit package design.

I. 서 론

최근의 고성능 VLSI 칩은 수십GHz 영역의 클럭 밴드위드스와 수백개 이상의 I/O단자를 요한다. 따라서 집적회로 내부회로의 스위칭시 패키지선에서 발생하는 그라운드 노이즈는 시스템 전체에 심각한 문제를 야기시키고 있다^[1,2,3,4,5]. 고밀도 고속 디지털 시스템에서 델타-I 노이즈는 노이즈 마진의 감소, 시스템의 성능저하 및 신호의 지연에 의한 시스템의 오동작과 같은 심각한 문제를 야기시키기 때문에 설계의 초기단

* 正會員, 漢陽大學校 電子工學科

(Dept. of Electronic Eng., Hanyang University)

** 正會員, 漢陽大學校 物理學科

(Dept. of Physics, Hanyang University)

*** 正會員, 水源大學校 電子工學科

(Dept. of Electronic Eng., University of Suwon)

※ 본 연구는 97년도 교육부 반도체 분야 학술연구조성비(ISRC 97-E-195)에 의해 연구되었음.

接受日字:1997年12月29日, 수정완료일:1998年6月5日

계에서부터 예측해야 할 대단히 중요한 문제다. 따라서 고성능 시스템 설계자를 위하여 총 가능한 I/O 단자중 최적의 파워 단자 및 그라운드 단자를 할당하고 패키지의 인덕턴스를 줄일 수 있는 설계방법 및 구동회로를 최적 설계하여 스위칭 노이즈를 최소화할 수 있는 새로운 회로설계 방법이 필수 불가결하게 되었다.

현재까지 게이트의 스위칭에 대한 그라운드 노이즈에 관한 예측모델 및 이를 근거로 한 설계방법과 노이즈를 감소시킬 수 있는 구동회로 및 수신단의 설계방법 혹은 패키지 설계방법이 제시되었다^[3,4,5]. 최근에 Vaydianath는 CMOS 집적회로에서 부하의 캐패시턴스가 대단히 커서 스위칭 시간동안에 트랜지스터가 새 튜레이션 모드에 있다고 가정하고 소자의 모델 파라미터 및 입력신호의 상승시간을 사용하여 델타-I 노이즈를 모델하였다^[1]. 그러나 Vaydianath식은 롱 채널(long channel)을 가정하고 유도한 식이기 때문에 현재와 같은 딥 서브마이크론 공정을 사용하는 칩에서는 상당히 과장된 노이즈 값을 예측한다. 이와 같은 문제를 보완하기 위하여 최근 Vemuru는 Sakurai의 α -power-law^[6]를 적용하여 서브마이크론 소자를 사용한 구동회로의 경우에 대하여 델타-I 노이즈를 모델하였다^[2]. 또한 Senthinathan은 출력 구동 회로를 tri-state-logic을 사용하여 전류의 슬루 레이트 즉, di/dt 를 감소시키는 구동회로를 설계하는 방법을 제시하고 있다^[3]. Yang과 Brews는 velocity overshoot를 고려하여 델타-I 노이즈의 제약조건하에서 시스템을 설계하는 방법을 제안하였다^[4]^[5]. 그러나 문헌에서 제시하고 있는 방법은 모두 신호선의 영향을 고려하지 않은 단순한 모델이기 때문에 실제 값보다 보수적인 설계방법이다. 더욱이 델타-I 노이즈가 신호선에 어떠한 영향을 주는지에 대한 해석적인 모델은 고속회로 설계시 대단히 중요함에도 불구하고 아직까지 제시되지 않았다.

본 논문에서는 CMOS회로에서 델타-I 노이즈 즉, 스위칭 노이즈에 기인한 신호선의 전압변동 해석을 위하여 칩 내부의 그라운드에서 패키지의 인덕턴스를 공유하는 칩내 신호선의 인터컨넥트 라인 임피던스를 RC-사다리형 네트워크로 모델링하였고 이로부터 델타-I 노이즈가 신호선에 미치는 영향을 예측할 수 있는 새로운 해석적 모델을 유도하였다.

본 논문은 다음과 같이 구성하였다. 먼저 델타-I 노이즈에 대한 모델과 인터컨넥트의 라인 임피던스 및

신호선의 전압변동에 관한 회로 모델을 제시한다. 다음에 제시된 회로모델을 해석하여 신호선의 전압변동을 예측할 수 있는 새로운 모델을 제시하였다. 마지막으로 시뮬레이션을 통하여 본 논문에서 제시한 모델에 대한 타당성을 검증하였다.

II. 인터컨넥트 회로모델

1. CMOS 회로에서의 델타-I 노이즈

델타-I 노이즈는 근원적으로 칩 내부의 회로소자들이 스위칭 할 때 실제의 그라운드 혹은 파워공급 지점과 칩 내부의 그라운드선 혹은 파워선 간의 인덕턴스에 유기되어 기준전압이 변동하여 발생하는 노이즈이다. 일반적으로 델타-I 노이즈는 파워선과 그라운드선에서 동시에 발생하는 노이즈이지만 칩 캐패시터 혹은 시스템 내의 기생 캐패시터들이 많이 있기 때문에 상대적으로 그라운드에서의 포텐셜 변화가 파워선에서 보다 더욱 심각하다. 이들 노이즈는 간단히 그림 1과 그림 2와 같은 CMOS 회로에서 그라운드 선의 인덕턴스에 유기되는 전류 변화와 인덕턴스 값으로부터 다음과 같은 수식으로 표현할 수 있다.

$$V_{sm} = mL_{vss} \frac{di}{dt} \tag{1}$$

식(1)에서 m은 동시에 스위칭하는 게이트 갯수이고 di/dt 는 시스템 속도에 관련되는 전류의 슬루 레이트이다. 본 논문에서는 이를 CMOS회로에서 해석하기 위하여 가장 기본적인 게이트 회로인 인버터를 이용한 회로모델에 대하여 해석하였다. 더 복잡한 회로분석은 인버터로 구성된 간단한 구조를 변형함으로써 쉽게 계산할 수 있다. 인버터는 근사적으로 인터컨넥트의 구동부에서는 저항으로 모델링할 수 있고, 수신부에서는 캐패시턴스로 모델링할 수 있다.

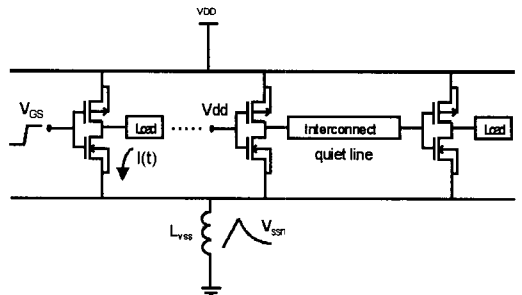
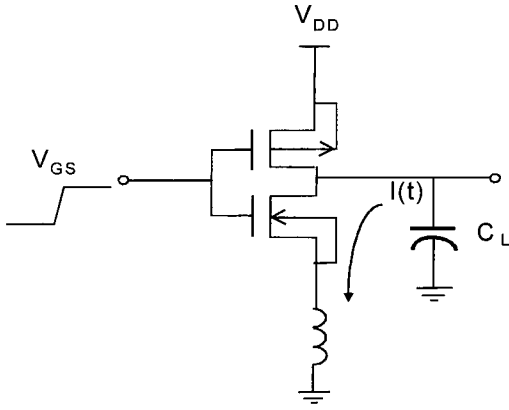
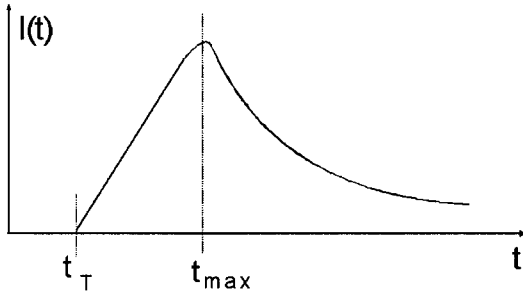


그림 1. 신호선의 전압변동에 관한 회로 모델
Fig. 1. Circuit model for signal line potential variation.



(a)



(b)

그림 2. 델타-I 노이즈에 관한 CMOS 인버터 회로 모델: (a) CMOS 인버터 회로; (b) 출력 전류

Fig. 2. CMOS inverter circuit model for delta-I noise: (a) CMOS inverter circuits; (b) Output current

MOS 트랜지스터의 저항은 다음식과 같이 근사적으로 모델할 수 있다.

$$R_{tr} \cong \frac{1}{\mu C_{ox} \left(\frac{W}{L}\right) (V_{dd} - V_D)} \quad (2)$$

식(2)에서 $C_{ox} = C_{gate} + C_{fringe}$ 이다.

2. RC-사다리형 네트워크에서의 라인 임피던스

NMOS 트랜지스터의 저항 (R_{tr})은 식(2)를 사용하여 근사적으로 계산하여 구할 수도 있으나 본 논문에서는 정확한 값을 위해 시뮬레이션으로부터 구한 값을 사용한다. 게이트가 스위칭 하였을 때 델타-I 노이즈가 발생하는 인덕턴스를 공유하는 인접한 인터컨넥트는 그림 3과 같이 분할된 집중정수회로 모델로 표시할 수 있다.

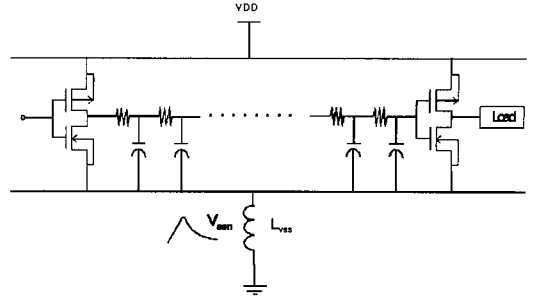


그림 3. RC 인터컨넥트 라인 모델
Fig. 3. RC interconnect model.

라인 전체의 저항과 캐패시턴스를 각각 R_{int} 및 C_{int} 라고 하면, 라인을 n개의 섹션으로 나누었을 때 각 섹션의 저항과 캐패시턴스 값은 각각 $R = R_{int}/n$ 와 $C = C_{int}/n$ 이 된다. 따라서 라인을 n개로 나누었을 때의 라인 전체의 임피던스는

$$Z_n = \frac{s^{n-1} C^{n-1} (b_n R^n + a_n' R^{n-1} R_{tr}) + \dots}{s^n C^n (a_{n+1} R^n + b_n R^{n-1} R_{tr}) + \dots} \quad (3)$$

$$\frac{\dots + sC (b_2 R^2 + a_2' R R_{tr}) + b_1 R + a_1' R_{tr}}{\dots + sC (a_2 R + b_1 R_{tr}) + a_1}$$

이 된다. 식(3)에서 a_1, a_2, \dots, a_{n+1} 과 b_1, b_2, \dots, b_n 그리고 a_1', a_2', \dots, a_n' 은 회로의 분할 개수 n을 갖고 표시되는 상수값이다. 일반적으로, RC 인터컨넥트 라인은 10개의 분할 집중정수회로로 구성된 RC 네트워크로 모델하면 위상과 크기 모두에 있어서 분포정수 회로와 유사한 값을 얻을 수 있다^[7]. 식(3)은 복잡한 식이기 때문에 지배적인 요소만을 고려하면 분자와 분모부분을 단순화시킬 수 있다. 예를 들어 인터컨넥트 라인의 길이를 1mm로 했을 때 10개의 집중 정수-RC회로로 구성된 회로망에서 R은 약 10^1 의 크기(order)를 갖고 C는 10^{-14} 의 크기를 갖는다. 또한, 라인 길이의 변화에 대하여 R과 C값의 크기도 상대적으로 변하게 된다. 따라서, 신호성분의 대부분을 차지하는 주파수가 0~1GHz사이의 값에 대하여 지배적으로 영향을 미치는 요소만 고려하여 식(3)을 근사할 수 있다. 결국 식(3)에서 분자 및 분모에 지배적으로 영향을 미치는 요소는 각각 $b_1 R + a_1' R_{tr}$ 과 $sC (a_2 R + b_1 R_{tr}) + a_1$ 이므로 인터컨넥트 라인의 임피던스는 다음과 같이 근사할 수 있다.

$$Z_n \cong \frac{b_1 R + a_1' R_{tr}}{sC (a_2 R + b_1 R_{tr}) + a_1} \quad (4)$$

식(4)에서 $a_1=1$, $a_2=n(n+1)/2$, $b_1=n$, $a'_1=1$ 이다. 또한 $R_{int}=nR$ 이고 $C_{int}=nC$ 이다. 따라서,

$$Z_n \cong \frac{R_{int} + R_{tr}}{sC_{int} \left(\frac{n+1}{2n} R_{int} + R_{tr} \right) + 1} \quad (5)$$

으로 표현할 수 있다. 식(5)는 델타-I 노이즈에 의한 신호선의 전압변동을 모델링하는데 있어서 인덕턴스를 공유하는 인접한 인터컨넥트 라인의 임피던스이다.

3. CMOS 트랜지스터의 캐패시턴스

그림 3에서 인터컨넥트 라인 끝의 CMOS 인버터를 PMOS 트랜지스터 캐패시턴스와 NMOS 트랜지스터 캐패시턴스 및 기생 캐패시턴스로 구성되어있는데, 부하단의 일부 캐패시턴스(C1)는 인덕턴스를 공유하고 다른 일부(C2)는 그라운드와 연결되었다고 모델링할 수 있다. 즉, 인덕턴스에 발생하는 델타-I 노이즈를 새로운 전원으로 하는 등가회로는 그림 4와 같이 모델링할 수 있다.

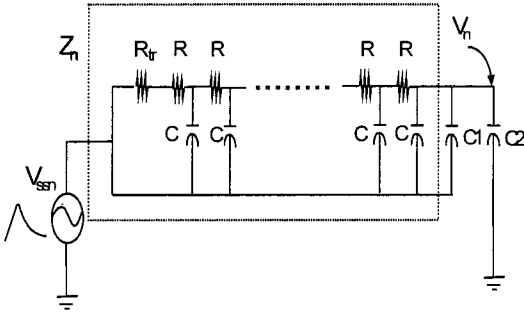


그림 4. 신호선의 전압변동에 대한 등가회로 모델
Fig. 4. Equivalent circuit model for signal line potential variation.

그림 4에서 C1은 NMOS 트랜지스터의 캐패시턴스 이고, C2는 PMOS 트랜지스터의 캐패시턴스라고 하면, NMOS 트랜지스터의 캐패시턴스 C1은

$$C1 = C_{gate} + C_{g_extrinsic} \quad (6)$$

이다. 식(6)에서 C_{gate} 및 $C_{g_extrinsic}$ 은 각각 다음과 같이 계산할 수 있다.

$$C_{gate} = C_{ox} W_n L \quad (7)$$

$$C_{g_extrinsic} = W_n C_{gso} + W_n C_{gdo} + 2LC_{gbo} \quad (8)$$

식(8)에서 C_{gso} , C_{gdo} , C_{gbo} 는 HSPICE 모델 파라미터

값이다. 같은 방법으로 PMOS 트랜지스터의 캐패시턴스 C2 값도 구할 수 있다. 따라서 C1 값과 C2 값은 인터컨넥트 라인 끝의 CMOS 인버터의 크기(aspect ratio)에 따른 함수라고 생각할 수 있다.

III. 델타-I 노이즈에 의한 신호선의 전압 변동

그림 4에서 인터컨넥트 라인의 임피던스를 Z_n 이라고 하면 그림 5와 같이 간단한 등가회로로 표시할 수 있다.

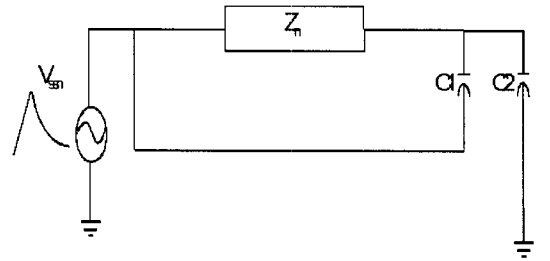


그림 5. 신호선의 전압변동에 대한 근사화된 모델
Fig. 5. Simplified circuit model for signal line potential variation.

따라서 칩 내부의 그라운드에서 발생하는 델타-I 노이즈 $V_{sn}(s)$ 로 인한 신호선의 전압변동 V_n 은 주파수 영역에서 다음과 같이 나타낼 수 있다.

$$V_n(s) = \frac{Z_n s C1 + 1}{Z_n (s C1 + s C2) + 1} V_{sn}(s) \quad (9)$$

여기서 $V_{sn}(s)$ 는 델타-I 노이즈다. $V_{sn}(s)$ 에 대하여 슛 채널 효과를 고려한 모델은 다음과 같다^[21].

$$V_{sn}(t) = S_r m K_{sn} L_{vss} f (1 - e^{-\frac{t-t_n}{m K_{sn} L_{vss}}}) \quad (t_n \leq t \leq t_r) \quad (10)$$

여기서 K_{sn} , t_n , S_r , f , 는 각각

$$K_{sn} = \mu_n C_{ox} \frac{W}{2L}$$

$$t_n = \frac{V_{tn}}{S_r}$$

$$S_r = \frac{V_{dd}}{t_r}$$

$$f = \alpha_n (V_{in} - V_{tn} - V_n)^{\alpha_n - 1}$$

이고 L_{vss} 는 패키지 인덕턴스 값이다. 식(10)은 슛 채널

널(shot channel)에서 전류가 입력전압 변화에 따라 2차식으로 변하지 않고 [6]에서 제시한 α -power-law에 따라 선형적으로 변한다는 실험 데이터에 근거한 식이기 때문에 숫 채널 소자에 대하여 타 모델보다 비교적 정확한 예측을 하지만 0.35 μm CMOS의 경우 HSPICE를 사용한 시뮬레이션 결과와는 상당한 오차를 갖기 때문에 [3]에서 유도한 식(10)은 근원적인 오차를 갖고 있다. 따라서 본 논문에서는 처음에 식(10)에 의해 발생하는 근원적인 오차만큼 보상을 해주면 델타-I 노이즈에 의한 신호선의 전압변동에 관한 정확한 해석적 모델의 타당성을 검증할 수 있다.

인터컨넥트는 주파수 영역에서 쉽게 모델링할 수 있기 때문에 시간영역의 모델인 델타-I 노이즈 모델(10)을 주파수 영역으로 변환하기 위해서 시간변수의 구간을 $(0, \infty)$ 로 만들어야 한다. 즉 원래 식(10)은 t_n 에서 ∞ 까지의 식이지만 t_r 까지만 취한 식이다. 따라서 주파수 영역으로의 변환을 위하여 $t - t_n = t'$ 로 하고 시간변수 t' 의 구간을 ∞ 로 확장하면,

$$V_{sn}(t') = S_r m K_{sn} L_{vss} f (1 - e^{-\frac{t'}{m K_{sn} L_{vss} f}}) \quad (0 \leq t' \leq \infty) \quad (11)$$

이 된다. 식(11)은 주파수 영역으로 변환하여 해석을 한 후 시간영역으로 변환한 후 값은 $(t_n \leq t \leq t_r)$ 만 취한다. 식(11)을 라플라스 변환하여 주파수 영역으로 변환된 식 $V_{sn}(s)$ 은 다음과 같다.

$$V_{sn}(s) = S_r A \left(\frac{1}{s} - \frac{1}{s + 1/A} \right) \quad (12)$$

식(12)에서 $A = m K_{sn} L_{vss} f$ 인 상수이다. 따라서 신호선의 전압변동 $V_n(s)$ 는 식(5)와 식(12)를 식(9)에 대입하여 정리하면 다음과 같이 나타낼 수 있다.

$$\begin{aligned} V_n(s) &= \frac{Z_n s C1 + 1}{Z_n (s C1 + s C2) + 1} V_{sn}(s) \\ &= S_r A \frac{\tau_2}{\tau_1} \left[\frac{\tau_1}{\tau_2} - \left\{ 1 + \frac{A}{\tau_2} \left(\frac{\tau_1 - \tau_2}{A - \tau_1} \right) \right\} \frac{1}{s + 1/A} \right. \\ &\quad \left. + \left\{ \left(1 - \frac{\tau_1}{\tau_2} \right) - \frac{A}{\tau_2} \left(\frac{\tau_2 - \tau_1}{A - \tau_1} \right) \right\} \frac{1}{s + 1/\tau_1} \right] \quad (13) \end{aligned}$$

여기서 τ_1 과 τ_2 는 각각 다음과 같다.

$$\tau_1 = C_{int} \left(\frac{n+1}{2n} R_{int} + R_r \right) + C1 (R_{int} + R_r) + C2 (R_{int} + R_r) \quad (14)$$

$$\tau_2 = C_{int} \left(\frac{n+1}{2n} R_{int} + R_r \right) + C1 (R_{int} + R_r) \quad (15)$$

따라서, 신호선의 응답을 얻기 위하여 식(13)을 다시 시간영역으로 변환하면

$$\begin{aligned} V_n(t') &= S_r A \frac{\tau_2}{\tau_1} \left[1 + \frac{\tau_3}{\tau_2} - \left(1 + \frac{\tau_3}{\tau_2} B \right) e^{-t'/A} \right. \\ &\quad \left. - \frac{\tau_3}{\tau_2} (1 - B) e^{-t'/\tau_1} \right] \quad (0 \leq t' \leq \infty) \quad (16) \end{aligned}$$

이 된다. 여기서 τ_3 는

$$\tau_3 = \tau_1 - \tau_2 \quad (17)$$

이고, 수식을 간단하게 표현하기 위하여 $B = A / (A - \tau_1)$ 로 하였다. 식(16)에서 $t' = t - t_n$ 이고 신호선의 전압변동의 전원으로 사용되는 델타-I 노이즈는 시간변수 t 가 t_r 에서 최대값을 가지므로 시간변수 t 를 t_r 까지만 취하면

$$\begin{aligned} V_n(t) &= S_r A \frac{\tau_2}{\tau_1} \left[1 + \frac{\tau_3}{\tau_2} - \left(1 + \frac{\tau_3}{\tau_2} B \right) e^{-(t-t_n)/A} \right. \\ &\quad \left. - \frac{\tau_3}{\tau_2} (1 - B) e^{-(t-t_n)/\tau_1} \right] \quad (t_n \leq t \leq t_r) \quad (18) \end{aligned}$$

이 된다. 식(18)에서 최대 노이즈는 최대 슬루레이트를 갖을 때 즉, $t = t_r$ 에서 발생하므로 신호선의 끝지점에서의 $V_n(t_r)$ 값은 다음과 같다.

$$\begin{aligned} V_n(t_r) &= S_r A \frac{\tau_2}{\tau_1} \left[1 + \frac{\tau_3}{\tau_2} - \left(1 + \frac{\tau_3}{\tau_2} B \right) e^{-(t_r-t_n)/A} \right. \\ &\quad \left. - \frac{\tau_3}{\tau_2} (1 - B) e^{-(t_r-t_n)/\tau_1} \right] \quad (19) \end{aligned}$$

식(19)는 델타-I 노이즈가 발생했을 때 칩 그라운드와 실제 그라운드 사이에 인덕턴스를 공유하는 인접한 신호선의 전압변동을 나타낸다. 따라서 식(19)을 이용하면 수신단에서 스위칭에 기인한 노이즈 변화를 예측하여 신호선의 전압변동에 기인한 시그널 인테그리티(signal integrity)를 정확하게 예측할 수 있기 때문에 고속회로 설계에서 시스템의 오동작을 방지할 수 있는 구동회로의 설계 혹은 패키지 설계에 직접적으로 이용이 가능하다.

IV. 시뮬레이션을 통한 검증

전 절에서 유도한 스위칭에 기인한 신호선의 전압변동 모델을 검증하기 위해서 HSPICE를 사용하여 시

물레이션 하였다. 시물레이션은 그림 1의 회로모델을 사용하였으며 인터컨넥트 라인은 10개의 집중정수-RC 회로 모델을 사용하였다. 인터컨넥트 라인은 MAX-WELL 시물레이션을 통해 구한 저항이 $1071.43\Omega/cm$ 이고 캐패시턴스가 $0.726pF/cm$ 인 값을 사용하였다. 본 논문에서 사용한 인버터는 $0.35\mu m$ CMOS 공정에 대한 BSIM3모델(HSPICE Model level 49)을 사용하였다. 여기서 $t_{ox}=7nm$ 이고 $V_m\cong 0.64V$, 그리고 $V_{da}=3.3V$ 이다. 또한 수신단의 캐패시턴스들 C_{gso} , C_{gdo} , C_{gbo} 는 NMOS의 경우 각각 $0.218fF/\mu m$, $0.218fF/\mu m$, 0 이고 PMOS의 경우 $0.258fF/\mu m$, $0.258fF/\mu m$, 0 이다. 시물레이션에서 구동단의 트랜지스터 크기는 본 논문에서 사용한 $0.35\mu m$ 공정에서 SPICE 모델의 적용범위가 PMOS의 경우 폭이 $150\mu m$ 이고 NMOS의 경우 $80\mu m$ 이기 때문에 이들 값을 구동회로의 최대라고 가정하였다. 즉 최대 PMOS 트랜지스터 크기는 $(W/L)_p = (150/0.35)$ 으로 하고 최대 NMOS 트랜지스터 크기는 $(W/L)_n = (80/0.35)$ 으로 하였다. 이러한 조건에서 $S_n=21.5mA/V^2$ 이다. 위의 조건을 바탕으로 스위칭시 발생하는 델타-I 노이즈를 신호선의 전압변동에 대한 전원으로 사용하여 입력신호의 상승시간, 그라운드 라인의 인덕턴스 변화, 그리고 신호선의 끝인 수신단의 크기변화에 대해서 라인의 길이를 변수로 하여 시물레이션을 수행하였다.

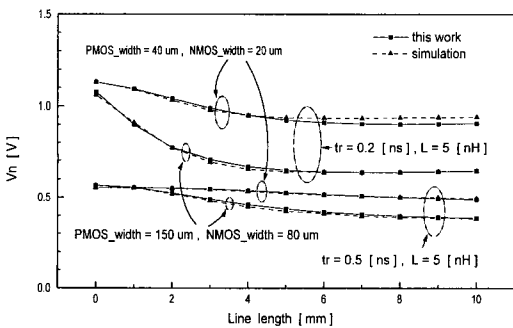


그림 6. 수신단의 캐패시턴스 변화와 상승시간 변화에 따른 신호선의 전압변동

Fig. 6. Signal line potential variation due to variation of load capacitance and rising time.

본 연구에서 전원으로 사용하는 전송선이 없는 경우에 게이트 스위칭시 발생하는 델타-I 노이즈 모델과 이에 대한 시물레이션 결과와의 오차는 신호선의 전압

변동과 관계없는 근원적인 오차이므로 식(10)은 신호선이 없을 때의 시물레이션 값을 초기조건으로 하여 사용하였다.

그림 6은 그라운드의 인덕턴스 값을 $5nH$ 라고 가정하고 신호선의 끝부분인 수신단의 캐패시턴스 값의 변화, 즉 트랜지스터 크기가 $(W/L)_p = (150/0.35)$ 이고 $(W/L)_n = (80/0.35)$ 일 때와 $(W/L)_p = (40/0.35)$ 이고 $(W/L)_n = (20/0.35)$ 일 때, 서로 다른 입력신호의 상승시간($0.2nsec$, $0.5nsec$)에 대하여 본 논문에서 제시한 모델식과 HSPICE 시물레이션 결과를 비교한 것이다. 그림 6에서 보듯이 신호선의 길이가 길어질수록 수신단의 입력으로 사용되는 신호선의 끝지점에서의 노이즈는 처음에 감소하다가 어느정도 길이 이후에는 변화가 없음을 알 수 있다. 이는 라인의 길이가 길어질수록 부하단이 차지하는 임피던스가 신호선의 길이가 작을 때에 비해 상대적으로 작아지기 때문이다. 또한, 수신단의 크기를 변화시켰을 경우 트랜지스터 크기가 크면 트랜지스터 크기가 작을때에 비해 노이즈가 크게 감소함을 알 수 있다. 이러한 결과는 수신단의 트랜지스터 크기가 커지면 수신단의 캐패시턴스 값 C_2 가 커지게 되고 이는 모델식에서 τ_1/τ_2 가 커지게 되어 캐패시턴스에 의한 영향이 커지기 때문이다. 즉 τ_1/τ_2 는 신호선의 길이와 수신단의 캐패시턴스 크기의 변화가 신호선의 전압변동에 얼마나 영향을 미치는가를 나타내는 파라미터이다. 따라서 인터컨넥트의 길이에 따라서 τ_1/τ_2 를 표현하면 인터컨넥트와 수신단의 상관관계를 알 수 있다. 그 결과를 그림 7에 나타내었다. 그림 7에서(실선의 경우) 라인의 길이가 짧은 경우($1mm$)에 τ_1 이 τ_2 에 비해 약 2.7배정도가 되어 수신단의 캐패시턴스의 영향이 인터컨넥트의 영향보다 훨씬 크지만 라인의 길이가 길어질수록 수신단의 캐패시턴스보다는 라인의 영향이 더 커진다는 것을 알 수 있다. 또한 길이가 길어질수록 발생한 노이즈에 영향을 주는 요소도 감소하게 되어 결국 신호선 끝지점에서의 노이즈의 감소폭이 줄어들게 된다.

그림 8은 입력신호의 상승시간을 $0.3nsec$ 로 가정하고 수신단의 크기를 $(W/L)_p = (150/0.35)$ 이고 $(W/L)_n = (80/0.35)$ 일 때와 $(W/L)_p = (40/0.35)$ 이고 $(W/L)_n = (20/0.35)$ 인 경우에 대하여 인덕턴스 값의 변화 ($2nH$, $5nH$)에 따라 신호선의 전압변동 시물레이션 결과를 모델식과 비교한 것이다. 그림 8에서 보듯이 수신단의 크기변화와 신호선의 길이변화에 따라 부하

단에서 차지하는 임피던스의 변화로 인해 노이즈가 감소하는 현상에 대하여 제시한 모델과 HSPICE 시뮬레이션 결과가 일치함을 알 수 있다. 또한 그림 6과 그림 8로부터 입력신호의 상승시간 및 패키지 인덕턴스에 따라 구동단에서 초기에 발생하는 노이즈와의 관계를 본 논문에서 제시한 모델로부터 알 수 있고 HSPICE 시뮬레이션과 잘 일치한다. 이는 모델식(16)에서 인터컨넥트와 수신단의 영향이 없을 때 즉, $\tau_1 = \tau_2$ 일 때는 식(18)은 초기의 구동단에서의 델타-I 노이즈인 식(10)이 된다는 것과 일치한다.

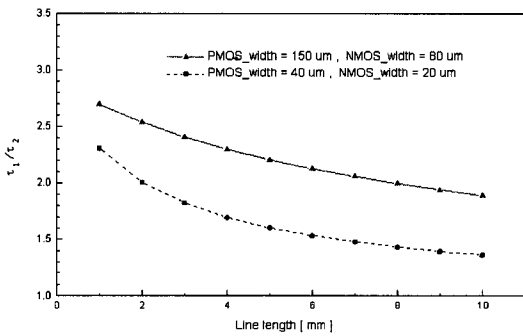


그림 7. 신호선의 길이와 수신단 크기와의 상관관계 (τ_1/τ_2)

Fig. 7. τ_1/τ_2 : The relative index for the effect between line length and receiver size.

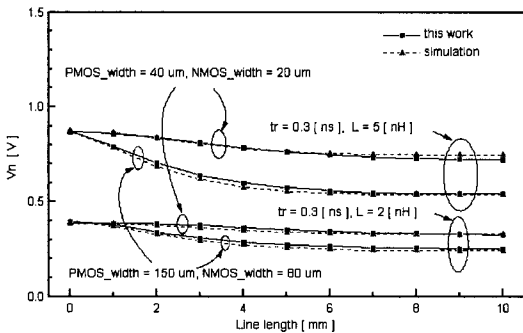


그림 8. 수신단의 캐패시턴스 변화와 인덕턴스 변화에 따른 신호선의 전압변동

Fig. 8. Signal line potential variation due to variation of load capacitance and inductance.

본 논문에서 제시한 모델은 구동단에서 동시에 스위칭하는 게이트가 많이 있는 경우(예를 들면 버스라인 구조)에 쉽게 적용할 수 있다. 구동단에서의 노이즈는 기존의 모델^[2]을 이용하여 쉽게 예측할 수 있으므로 인터컨넥트의 영향을 고려한 수신단에서의 노이즈는

본 논문의 모델을 사용하여 예측할 수 있다. 그림 9는 입력신호의 상승시간이 0.3nsec, 인덕턴스가 1nH이고 라인의 길이를 5mm로 가정했을 때 구동단에서 동시에 스위칭하는 드라이버의 갯수를 변수를 하여 시뮬레이션한 결과와 본 논문에서 제시한 모델을 비교한 것이다. 그림 9의 결과에서 보듯이 본 논문의 모델은 HSPICE를 사용한 시뮬레이션 결과와 대단히 잘 일치한다.

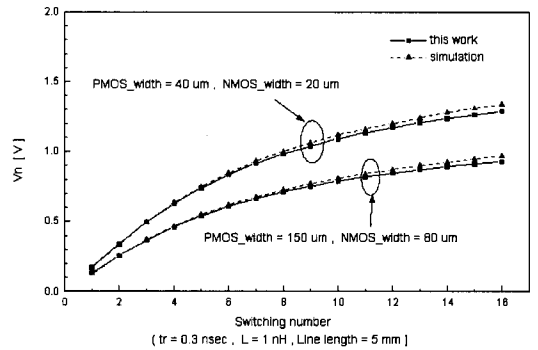


그림 9. 동시에 스위칭하는 드라이버 갯수에 따른 신호선의 전압변동

Fig. 9. Signal line potential variation due to the number of simultaneous switching drivers.

이들 결과에서 보듯이 본 논문에서 제시하는 모델은 게이트의 스위칭시 발생하는 델타-I 노이즈로 인한 그라운드선의 인덕턴스를 공유하는 인접한 신호선의 전압변동을 정확하게 예측할 수 있다. 최근의 고밀도 고속회로에서는 노이즈 마진이 더욱 감소 할 뿐 아니라 저전력의 회로설계를 위하여 바이어스 전원의 크기를 감소하기 때문에 회로설계자는 회로의 정확한 시그널 인테그리티를 예측하지 않으면 최악의 상황을 상정한 회로설계를 해야만 하며 이는 많은 설계비용을 감수해야 하고 그렇지 않은 경우 회로의 성능을 급격하게 저하시킬 수 있다. 본 논문에서 제시한 델타-I 노이즈가 인접한 신호선에 미치는 영향에 관한 새로운 모델을 적용하면 신호선에서의 전압변동을 정확하게 예측할 수 있기 때문에 고속 디지털 시스템의 시그널 인테그리티를 확보한 고성능 시스템을 보다 정확하고 효과적으로 설계할 수 있다.

V. 요약 및 결론

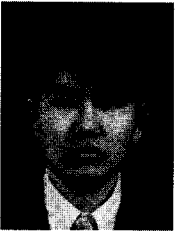
고밀도 고속 디지털 시스템에서 패키지에서 발생하

는 스위칭 노이즈는 전체 시스템의 오동작을 일으키는 주요인 중의 하나이다. 따라서 델타-I 노이즈에 의한 신호선의 전압변동에 관한 해석은 대단히 중요하다. 이러한 신호선의 전압변동은 실제로 크로스톡 노이즈와 같은 다른 스위칭 노이즈와 결합할 수 있기 때문에 시스템의 오동작을 배가시킬 수 있다. 본 논문에서는 패키지에 의해 발생하는 노이즈가 신호선에 주는 영향에 관하여 스위칭 현상을 표시하는 등가회로 모델을 제시하고 신호선을 분할된 RC 집중정수회로로 모델링하여 신호선에서 패키지 노이즈가 미치는 영향을 수학적으로 해석하였다. 이로부터 신호선의 전압변화를 정확히 예측할 수 있는 새로운 해석적 모델을 제시하였다. 제시된 모델은 범용회로 시뮬레이터인 HSPICE를 이용하여 시뮬레이션 결과와 모델식이 거의 완벽하게 일치한다는 것을 보였다. 따라서 고성능 VLSI 설계 혹은 패키지를 설계시 본 논문에서 제시한 모델을 사용하면 정확히 시그널 인테그리티를 예측할 수 있기 때문에 산업체에서 유용하게 활용할 수 있다.

참 고 문 헌

- [1] A. Vaidyanath, B. Thoroddsen, and J. L. Prince, "Effect of CMOS driver loading conditions on simultaneous switching noise," *IEEE Trans. CPMT.*, vol. 17, pp. 480-485, Nov. 1994.
- [2] S. R. Vemuru. "Accurate simultaneous switching noise estimation including velocity-Saturation effects," *IEEE Trans. CPMT.*, vol. 19, pp. 344-349, May. 1996.
- [3] R. Senthinathan and J. L. Prince, "Application Specific CMOS Output Driver Circuit Design Techniques to Reduce Simultaneous Switching Noise," *IEEE JSSC.*, vol. 28, no. 12, pp. 1383-1388, Dec. 1993.
- [4] Y. Yang and J. R. Brews, "Design for Velocity Saturated, Short-Channel CMOS Drivers with Simultaneous Switching Noise and Switching Time Considerations," *IEEE JSSC.*, vol. 31, no. 9, pp. 1357-1360, Sep. 1996.
- [5] Y. Yang and J. R. Brews, "Design Trade-Offs for the Last Stage of an Unregulated, Long-Channel CMOS Off-Chip Driver with Simultaneous Switching Noise and Switching Time Consideration," *IEEE Trans. CPMT-PART B.*, vol. 19, no. 3, pp. 481-486, Aug. 1996.
- [6] T. Sakurai and R. Newton, "Alpha-Power Law MOSFET Model and Its Applications to CMOS Inverter Delay and Other Formulas," *IEEE JSSC.*, vol. 25, no. 2, pp. 584-594, April. 1990.
- [7] R. J. Antinone and G. W. Brown, "The Modeling of Resistive Interconnects for Integrated Circuits" *IEEE JSSC.*, SC-18(2), 1983.
- [8] A. J. Rainal, "Computing Inductive Noise of CMOS Drivers," *IEEE Trans. CPMT-Part B.*, vol. 19, no. 4, pp. 789-802, Nov. 1996.
- [9] T. Sakurai, "Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI's," *IEEE Trans. ED.*, vol. 40, no. 1, pp. 118-124, Jan. 1993.
- [10] J. P. Uyemura, *Fundamentals of MOS Digital Integrated Circuits.* Reading, MA: Addison-Wesley, pp. 158-227, 1988.
- [11] N. H. E. Weste and K. Eshraghian, *Principle of CMOS VLSI Design.* Reading, MA: Addison-Wesley, pp. 180-205, 1988.
- [12] H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI.* Reading, MA: Addison-Wesley, pp. 281-337, 1990.

저 자 소 개



朴 映 準(正會員)

1972년 11월 21일생. 1997년 2월 한양대학교 전자공학과(B.S). 1997년 3월 ~ 현재 한양대학교 대학원 전자공학과(M.S). 주관심분야는 High-speed VLSI Circuits, Interconnects, Packaging

金 龍 柱(正會員)

1992년 2월 한양대학교 물리학과(B.S). 1995년 2월 한양대학교 대학원 물리학과(M.S). 1996년 3월 ~ 현재 한양대학교 물리학과(Ph.D). 주관심분야는 High-speed VLSI Circuits, Interconnects, Packaging

魚 瀛 善(正會員) 第 33卷 A編 第 10號, pp. 123-129, 1996. 10

鄭 周 榮(正會員) 第 33卷 A編 第 10號, pp. 123-129, 1996. 10

權 五 敬(正會員) 第 33卷 A編 第 10號, pp. 123-129, 1996. 10