

論文98-35C-5-5

전류증폭기를 이용한 BJT 저전압 저주파 필터 설계

(Design of a BJT Low-Voltage Low-Frequency Filter Using Current Amplifier)

安庭徹*, 崔碩佑**, 尹暢焄**

(Joung-Chul Ahn, Seok-Woo Choi, and Chang-Hun Yun)

요 약

본 논문에서는 상보형 바이폴라 전류 미러를 이용하여 저전압으로 구동이 가능하고 저주파 응용이 가능한 전류모드 연속시간 필터를 설계하였다. 제안된 전류모드 필터는 단순한 구조를 갖는 바이폴라 전류 미러와 커패시터로 구성되어 있기 때문에 모노리식 집적에 적합한 구조를 갖는다. 또한 제안된 전류모드 필터 설계법은 기본 구성 소자로 적분기를 사용하였기 때문에 응용 범위가 광범위하다. 본 논문에서 설계한 바이폴라 전류미러는 입력 임피던스가 작기 때문에 저주파 전류모드 필터를 실현하기 위하여 부귀환 전류증폭기를 이용하였다. 설계예로 제안된 기본 블록을 이용하여 5차 버터워스 저역통과 필터를 중속연결법으로 실현하였고, 필터의 차단주파수가 60kHz에서 120kHz까지 DC 전류에 의해 간단히 제어될 수 있도록 설계하였다. 설계된 전류모드 필터는 표준 바이폴라 파라미터를 이용하여 SPICE 시뮬레이션한 후 필터의 특성을 검토하였다.

Abstract

In this paper, a design of current-mode continuous-time filters for low voltage and low frequency applications using complementary bipolar current mirrors is presented. The proposed current-mode filters consist of simple bipolar current mirrors and capacitors and are quite suitable for monolithic integration. Since the design method of the proposed current-mode filters are based on the integrator type of realization, it can be used for a wide range of applications. Since the input impedance of simple bipolar current mirror is small, in this paper, negative feedback amplifier is used to realize current-mode low-frequency filters. As a design example, the 5th order Butterworth low-pass filter is designed by cascade method. The cutoff frequency of the designed filter can be easily tunable by the DC controlling current from 60kHz to 120kHz. The characteristics of the designed current-mode filters are simulated and examined by SPICE using standard bipolar transistor parameters.

I. 서 론

집적회로 기술의 발전으로 혼성 아날로그/디지털 신

호처리(Mixed A/D signal processing)에 대한 연구가 활발히 진행되고 있다.^[1,2] 혼성 A/D 신호처리는 동일 칩상에 디지털 회로와 아날로그 회로를 함께 집적하여 고품질, 저가격의 VLSI를 실현하는 기술로서 단일 전원 전압으로 구동하기 위해서는 아날로그 회로도 디지털 회로와 함께 저전압으로 구동되어야 한다. 또한 이동통신용 단말기, 휴대용 의용장비등과 같이 저전압 구동 및 저소비 전력이 요구되는 장비의 경우에는 1.5V 또는 그 이하의 전압으로 구동되는 아날로그 회로를 설계할 필요가 있다.

* 正會員, 韓國電子通信研究院

(Electronics and Telecommunications Research Institute)

** 正會員, 全北大學校 附屬 電氣電子回路合成研究所

(Electrical Circuits and Systems Research Institute Chonbuk National University)

接受日字:1997年10月1日, 수정완료일:1998年4月9日

전압을 신호원으로 하는 전압 모드로 저전압 구동 회로를 설계할 경우, 낮은 전원 전압은 최대 입력 전압의 진폭에 직접적으로 영향을 주어 동적범위(Dynamic range)와 대역폭이 줄어든다. 그러나 입력 신호원과 출력 신호를 전류로 사용하는 전류모드 신호 처리는 저전압 구동이 가능하고 넓은 대역폭을 사용할 수 있다.^[3] 전류모드 신호처리에는 CMOS 기술을 이용한 경우^[4-8]와 바이폴라 기술을 이용한 경우^[9-13]가 있으나 각각 장단점을 가지고 있다. CMOS 기술을 이용하는 경우 바이폴라 기술과 비교하여 집적이 용이하지만 저전압 구동이 어렵다. 따라서 본 논문에서는 바이폴라 전류미러를 이용하여 저전압 구동이 가능하고 신호의 변동폭을 보다 넓게할 수 있는 연속시간 필터 설계를 제안한다.

바이폴라를 이용한 전류모드 능동 필터의 차단주파수는 전류 미러의 바이어스 전류와 커패시터에 의해 결정되는데 이는 필터의 DC 바이어스 전류에 비례한다.^[11] 따라서 저주파용 필터를 설계하기 위해서는 전류 미러의 입력 임피던스를 크게하기 위해 DC 바이어스 전류를 nA 단위까지 감소시켜야 하는데 이때 트랜지스터가 바르게 동작하지 않는다는 문제점을 갖는다.

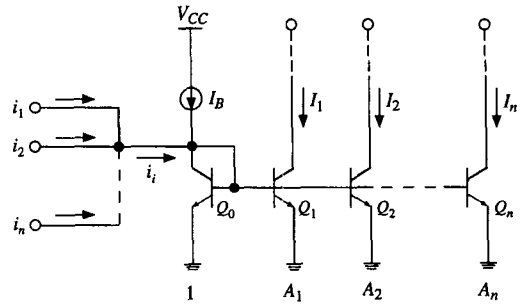
본 논문에서는 부귀환 전류증폭기를 이용하여 시정수를 크게하는 방법으로 바이폴라 저주파용 전류모드 필터를 설계할 때 발생하는 문제점을 제거하였다. 제안된 전류모드 필터는 기본 블록으로 전류 가산기와 전류 미러를 사용함으로써 구조가 간단하고, 1.5V 이하의 저전압으로도 구동할 수 있어 휴대용 장치에 응용이 가능하다. 또한 본 논문에서는 집적화하기 어려운 저항 소자를 사용하지 않기 때문에 집적회로의 패턴을 간략화할 수 있고 칩 면적을 적게 할 수 있다. 설계 예로서 5차 버터워스(Butterworth) 저역통과 필터를 종속연결법으로 실현하였고, 차단 주파수가 60kHz에서부터 120kHz까지 DC 전류에 의해 쉽게 조절되도록 설계하였으며 SPICE 시뮬레이션으로 특성을 검토하였다.

II. 저주파용 전류모드 능동 필터의 기본 블록

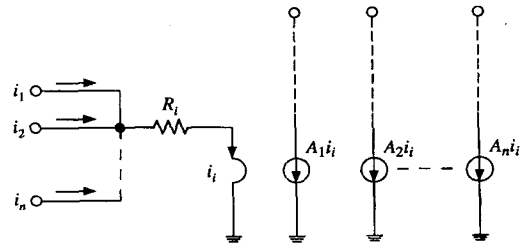
1. 전류 가산기

그림 1(a)는 npn 전류미러를 이용한 다출력 전류

가산기이다.



(a) 트랜지스터 회로



(b) 소신호 등가회로

그림 1. 전류 가산기

Fig. 1. Current adder.

그림 1에서 $i_k(k=1, 2, 3, \dots, n)$ 는 입력 신호 전류, I_B 는 바이어스 전류이고, A_k 는 입력 트랜지스터 Q_0 에 대한 k 번째 출력 트랜지스터 Q_k 의 에미터 면적 비이다. 이때 모든 트랜지스터가 같은 값의 에미터 전류 증폭도(이득) β 를 갖는다면 k 번째 출력 전류 I_k 는 식(1)과 같다.

$$I_k = A_i (I_B + i_i), \tag{1}$$

식(1)에서 i_i 는 전체 입력 전류의 합, A_i 는 출력 트랜지스터의 총 에미터 면적으로 다음과 같다.

$$i_i = i_1 + i_2 + \dots + i_n, \tag{2}$$

$$A_i = \frac{A_k}{1 + (1 + A_i)/\beta} \tag{3}$$

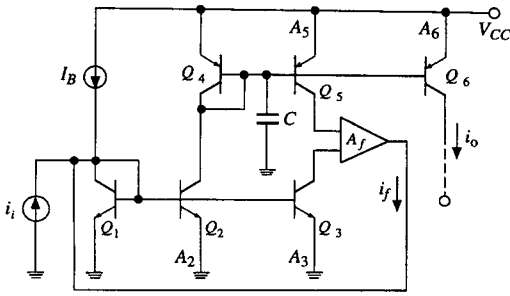
식(1)~(3)에서 알 수 있듯이 전류 가산기의 이득은 에미터 면적 비에 의해 결정된다. 그림 1(b)는 그림 1(a)의 소신호 등가회로로 전류 가산기의 입력 저항 R_i 는 트랜지스터 Q_0 의 하이브리드- π 모델에서 r_e 와 근사적으로 일치하고 식(4)로 구할 수 있다.

$$R_i = \frac{kT}{q} \frac{1}{I_E} \cong \frac{kT}{q} \frac{1}{I_B} \tag{4}$$

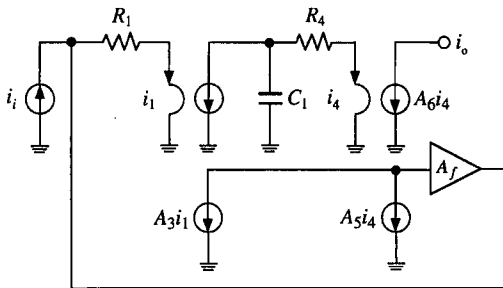
식(4)에서 I_E 는 다이오드 연결된 트랜지스터 Q_0 의 에미터에 흐르는 DC 전류이고, 이 값은 I_B 와 거의 일치한다. 입력 저항 R_1 는 설계할 전류모드 필터에서 저항으로 사용할 수 있으므로 집적화 할 때 수동 저항소자를 제거하는 효과를 얻을 수 있다.

2. 저주파용 유손실 전류 적분기

그림 2(a)는 필터의 주파수를 감소시키기 위하여 부귀환을 이용한 저주파용 유손실 전류 적분기 회로이다. A_f 는 전류증폭기이고 전류이득은 G_f 이다. 증폭된 신호 전류 i_f 는 입력단에 귀환되어 부귀환 루프를 형성한다. 이 회로는 i_i 와 병렬로 입력 전류원을 추가하고 Q_4 와 병렬로 트랜지스터를 추가함으로써 간단하게 다입력/다출력 구조로 확장할 수 있다.



(a) 트랜지스터 회로



(b) 소신호 등가회로

그림 2. 저주파용 유손실 전류 적분기
Fig. 2. Low-frequency lossy current integrator.

그림 2(b)는 그림 2(a)의 소신호 등가회로로 R_1 과 R_4 는 각각 Q_1 과 Q_4 의 소신호 등가 저항이다. 이때 소신호 등가회로에서 식을 간단히 하기 위해 $A_2=A_3$ 라고 가정하면 귀환신호 전류 i_f 와 출력 전류 i_o 는 다음과 같다.

$$i_f = G_f (i_i + i_j) \left(\frac{A_2 A_4}{sCR_4 + 1} - A_2 \right) \quad (5)$$

$$i_o = (i_i + i_j) \frac{A_2 A_6}{sCR_4 + 1} \quad (6)$$

식(5)와 식(6)에서 i_j 를 소거하고 전류전달 함수 $T(s)$ 를 구하면 식(7)과 같이 극점을 1개 갖는 1차 저역통과 필터 형태로 전류 적분을 실현할 수 있다.

$$T(s) = \frac{i_o(s)}{i_i(s)} = \frac{A_2 A_6}{sCR_4(1 + G_f) + 1 + G_f(1 - A_5)} \quad (7)$$

식(7)에서 $A_5=1$ 로 가정하면 유손실 적분기의 시정수는 $CR_4(1 + G_f)$ 가 되고 전류이득 G_f 는 시정수를 증가시키는 역할을 하므로 저주파용 필터를 설계할 수 있다. 그림 2에서 Q_4 의 DC 전류가 $A_2 I_B$ 이므로 R_4 는 식(8)로 구할 수 있다.

$$R_4 \cong \frac{kT}{q} \frac{1}{A_2 I_B} \quad (8)$$

식(8)에서 유손실 적분기의 시정수 $CR_4(1 + G_f)$ 는 DC 전류 I_B 로 제어가 가능하다. 또한 출력 전류 i_o 는 DC 바이어스 성분을 포함하고 있어 이를 다음 단의 바이어스 전류로 이용하면 다음 단의 바이어스 단이 제거되므로 회로를 간략화 할 수 있다.

그림 3은 그림 2의 전류증폭기 A_f 를 실현한 회로로 전류 이득 G_f 는 필터의 안정성을 위해 항상 (+) 값을 가져야 하므로 짝수개의 전류 미러로 실현하였다. 전류증폭기 A_f 의 소신호 전류이득 G_f 는 식(9)와 같다.

$$G = \frac{i_o}{i_1 - i_2} \quad (9)$$

전류증폭기 A_f 는 트랜지스터 Q_7, Q_8, Q_9, Q_{10} 으로 이루어진 전류증폭기와 트랜지스터 $Q_{11}, Q_{12}, Q_{13}, Q_{14}$ 로 이루어진 전류증폭기를 상보형으로 결합하여 전류증폭기의 바이어스 회로를 상쇄하도록 설계하였다. 이때 전류증폭기의 바이어스 회로를 간단히 하기 위하여 상보형 전류미러를 사용하였고, 두 개의 전류증폭기의 전류이득은 동일하여야 하므로 그림 3에서 전류이득 $G_f = A_8 A_{10} = A_{12} A_{14}$ 를 만족하여야 한다. 그림 3의 전류증폭기에서 Q_{10} 과 Q_{14} 의 DC 전류가 같으므로 출력단의 바이어스 회로가 필요없고 입력단의 바이어스 회로 I_B 는 실제로 그림 2의 Q_3, Q_5 로 각각 대체할 수 있으므로 전류증폭기에는 바이어스 회로가 필요없다. 따라서 그림 2의 유손실 적분기는 하나의 전류원이 입력단에 존재하므로 바이어스 회로를 간단히 할 수 있고 바이어스 전류를 통한 시정수의 제어가 간단하다.

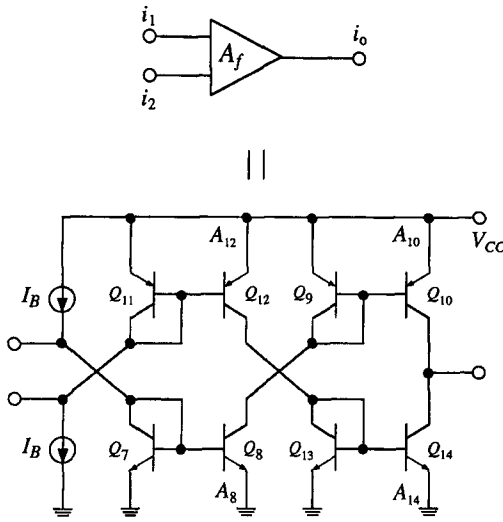


그림 3. 저주파 전류 적분기용 전류증폭기
Fig. 3. Current amplifier for low-frequency current integrator.

3. 저주파용 무손실 전류 적분기

그림 2(a)의 유손실 적분기의 출력단에 그림 4와 같이 정귀환을 제공하는 트랜지스터 Q6를 연결하면 적분기의 손실이 제거된 무손실 전류 적분기를 설계할 수 있다. 이때 IB'는 Q6의 DC 바이어스 전류원이다.

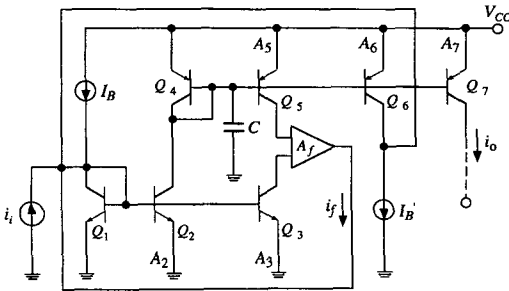


그림 4. 저주파용 무손실 전류 적분기
Fig. 4. Low-frequency lossless current integrator.

그림 4에서 A2=A3=A5=1.0과 A8A10=A12A14로 가정하면 전류 적분기의 전달함수는 식(10)과 같다.

$$T_I(s) = \frac{i_o(s)}{i_i(s)} = \frac{A_{15}}{sCR_1(1 + G_f) + 1 - A_6} \quad (10)$$

또한 A6 = 1.0인 조건을 만족하면 그림 4는 무손실 적분기로서 동작하고 전달함수는 식(11)과 같다.

$$T_I(s) = \frac{i_o(s)}{i_i(s)} = \frac{A_{15}}{sCR_4(1 + G_f)} \quad (11)$$

식(11)에서 시정수는 CR4에 (1 + Gf)가 곱해진 형태이므로 전류증폭기의 전류이득을 크게하면 시정수를 크게할 수 있다.

무손실 적분기는 DC에서 무한대의 이득을 가지므로 적분기가 단독으로 사용될 경우, DC 오프셋 에러(offset error)로 인하여 불안정하게 된다. 따라서 무손실 적분기를 사용하여 능동 필터를 설계할 경우에는 시스템의 안정성을 고려하여 대부분의 경우 부귀환 루프를 이용한다. 그림 4의 무손실 적분기에는 두개의 DC 전류원 IB, IB'가 포함되어 있으나, IB는 전단의 출력 DC 전류로 대신할 수 있고 또한 IB'는 부귀환 루프를 구성하는 출력으로부터 얻을 수 있으므로 실제로 회로를 설계할 때에는 간단하게 실현할 수 있다.

2장에서는 전류미러를 이용하여 전류모드 능동필터를 설계하기 위한 기본 블록을 제안하였다. 제안된 각 기본 블록들은 npn 트랜지스터와 pnp 트랜지스터를 바꾸어 배치하면 상보형 블록을 실현할 수도 있다.

III. 저주파 전류모드 능동 필터의 실현

고차 필터 함수를 s-평면에서 능동 회로로 실현하는 방법중 종속연결법(cascade realization)은 고차 함수를 1차 함수와 2차 함수로 분해하여 각 블록을 종속연결하는 방법으로 동조가 용이하다는 장점을 갖는다. [14]

1. 2차 저역통과 필터

종속연결법으로 n차 함수를 실현하기 위해서는 차수 n이 우수(even)인 경우 n/2개의 2차 필터가 필요하고, n이 기수(odd)인 경우 1개의 1차 필터와 (n-1)/2개의 2차 필터가 필요하다. 그림 2의 유손실 적분기는 1차 저역통과 필터로 사용할 수 있고, 전류모드 2차 저역통과 필터는 유손실 적분기와 무손실 적분기를 이용하여 그림 5의 블록 선도로 설계할 수 있다.

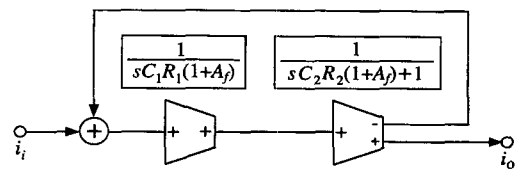


그림 5. 2차 저역통과 필터 블록 선도
Fig. 5. Block diagram of 2nd order low-pass filter.

이때 그림 5의 전류 전달함수는 식(12)와 같다.

$$T_2(s) = \frac{1}{s^2 C_1 C_2 R_1 R_2 + s C_1 R_1 + 1} \tag{12}$$

$$= \frac{\omega_o^2}{s^2 + \frac{\omega_o}{Q} s + \omega_o^2}$$

여기서 ω_o 와 Q 는 다음과 같다.

$$\omega_o = \sqrt{\frac{1}{C_1 C_2 R_1 R_2}}, \quad Q = \sqrt{\frac{C_2 R_2}{C_1 R_1}} \tag{13}$$

그림 6은 그림 2의 유손실 적분기와 그림 4의 무손실 적분기의 상보형을 이용하여 실현한 2차 저역통과 필터의 실제 회로이다. 여기에서 그림 2의 DC 바이어스 전류원 I_B 는 그림 6에서와 같이 Q_4 의 출력 바이어스 전류를 이용함으로써 제거할 수 있다.

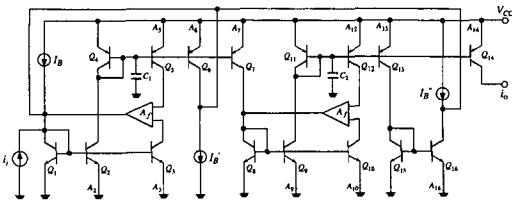


그림 6. 전류모드 2차 저역통과 필터
Fig. 6. Current mode 2nd order low-pass filter.

모든 트랜지스터의 에미터 면적이 동일할 때 즉, 모든 전류미러가 단위이득(unity gain)을 갖는다면 전달 함수는 식(14)로 구할 수 있다.

$$T_2(s) = \frac{1}{s^2 C_1 C_2 R^2 + s C_1 R + 1} \tag{14}$$

모든 트랜지스터의 DC 전류는 바이어스 전류 I_B 와 동일하므로 등가저항은 다음과 같다.

$$R_1 = R_2 = R \cong \frac{kT}{q} \frac{1}{I_B} \cong \frac{0.0259}{I_B} \tag{15}$$

$$I_B' = I_B'' = I_B \tag{16}$$

그림 6에서 전류원 I_B' 와 I_B'' 의 전류값은 같으므로 이들을 제거할 수 있다. 따라서 2차 저역통과 필터의 입력단은 1개의 DC 바이어스 전류원 I_B 만을 갖는다.

식 (15)에서 I_B 를 제어하면 R_1 과 R_2 를 동시에 제어할 수 있고, 또한 식(13)에서 R_1 과 R_2 를 동시에 같은

비율로 변화시키면 Q 값에는 영향을 미치지 않는다. 따라서 Q 값에 영향을 주지 않고 2차 필터의 주파수 ω_o 를 제어할 수 있다. 1차 필터와 2차 필터를 종속연결하여 고차 필터를 실현할 때도 각 단의 DC 바이어스 전류 I_B 는 앞단의 출력 전류로 대신할 수 있으므로 전체의 필터에는 입력단에만 하나의 DC 바이어스 전류원이 필요하다.

2. 5차 바터워스 저역통과 필터

본 절에서는 설계예로 5차 바터워스 저역통과 필터를 그림 7과 같이 2개의 2차 필터와 1개의 1차 필터를 이용하여 종속연결법으로 설계한다. 이때 바이폴라 기술을 이용한 저주파용 전류모드 필터를 구현하기 위하여 I_B 가 $1 \mu A$ (저항 $R=26k\Omega$)일 때 필터의 차단주파수를 60kHz로 하였다.

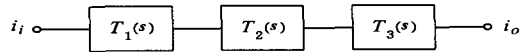


그림 7. 종속연결법을 이용한 5차 저역통과 필터
Fig. 7. Cascade realization of 5th order low-pass filter.

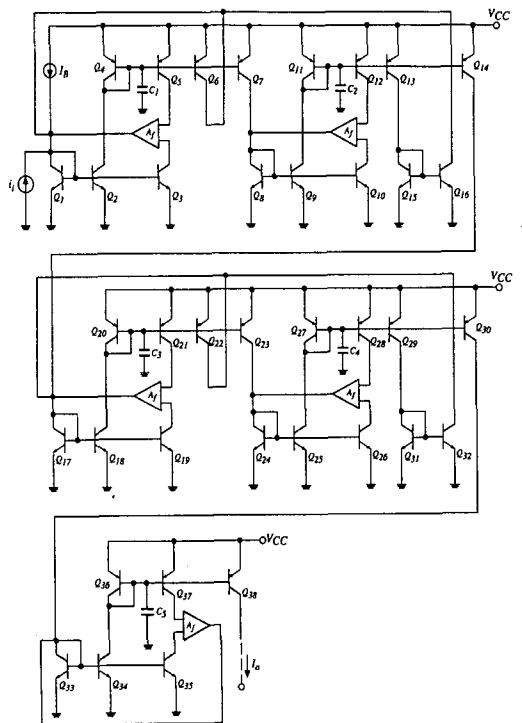


그림 8. 5차 종속연결형 저역통과 필터
Fig. 8. 5th order cascade low-pass filter.

그림 8은 5차 바터워스 저역통과 필터를 본 논문에서 설계한 1차 필터인 적분기와 2차 저역통과 필터를 종속연결하여 실현한 회로도이다. 설계예에서 사용한 트랜지스터는 모두 동일한 에미터 면적을 가지며 모든 전류이득은 1이다. 그림 8의 커패시터 값은 표 1과 같다.

표 1. 커패시터 값
Table 1. Capacitance values.

커패시터	크기
C_1	16.2 pF
C_2	6.2 pF
C_3	16.2 pF
C_4	6.2 pF
C_5	10.2 pF

3. 비 이상성 파라미터 및 기생 커패시터의 영향

식(3)에서 트랜지스터의 이득 β 값이 충분히 클 때 전류이득은 에미터 면적 A_k 에 비례한다. 그러나 트랜지스터는 유한 β 값을 가진다. 본 논문에서 사용한 파라미터의 경우 npn 트랜지스터는 $\beta=80$ 이고 pnp 트랜지스터는 $\beta=50$ 이다. 그러므로 정확한 전류이득을 구하기 위해서는 전류이득의 에미터 면적을 조정할 필요가 있다.^[11]

또한 트랜지스터는 일반적으로 C_c , C_e 와 같은 접합 커패시터를 포함하는데, 실제 집적회로에서는 이러한 기생 커패시터들이 복합적으로 관련되어 있으므로 각각의 절점에서의 총 기생 캐패시턴스 값을 추정하기가 어렵다. 본 논문에서는 먼저 SPICE 시뮬레이션을 이용하여 기생 캐패시턴스를 계산한 다음 부하 커패시터 값에 포함시키는 방법으로 보상하였다.^[11]

표 2. 조정된 커패시터 값
Table 2. Adjusted capacitance values.

커패시터	크기
C_1	15.5 pF
C_2	5.5 pF
C_3	15.5 pF
C_4	5.5 pF
C_5	9.4 pF

표 3. 조정된 에미터 면적
Table 3. Adjusted emitter areas.

에미터 면적	에미터 면적
$A_2 = A_3 = 1.04$	$A_{21} = A_{22} = A_{23} = 1.09$
$A_5 = A_6 = A_7 = 1.09$	$A_{25} = A_{26} = 1.04$
$A_9 = A_{10} = 1.04$	$A_{28} = A_{29} = A_{30} = 1.09$
$A_{12} = A_{13} = A_{14} = 1.09$	$A_{32} = 1.03$
$A_{16} = 1.03$	$A_{34} = A_{35} = 1.04$
$A_{18} = A_{19} = 1.04$	$A_{37} = A_{38} = 1.06$

그림 8의 커패시터 값은 기생 커패시터의 영향을 제거하기 위하여 약간씩 조정되어야 하는데 조정된 커패시터 값은 표 2과 같고, 표 3에서는 트랜지스터의 에미터 면적을 식(3)을 이용하여 전류이득이 1이 되도록 조정된 값이다.

IV. 시뮬레이션 및 고찰

본 논문에서 SPICE 시뮬레이션에 사용한 바이폴라 트랜지스터의 공정 파라미터는 npn 트랜지스터의 경우 $f_T=5\text{GHz}$, pnp 트랜지스터의 경우 $f_T=1\text{GHz}$ 이고 전원 공급전압 $V_{cc}=1.5\text{V}$ 이다. 그리고 전류이득 $G_f=9$ 로 고정하였다.

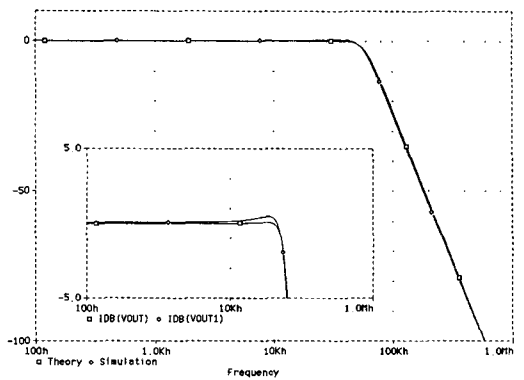


그림 9. 5차 저역통과 필터의 크기 특성
Fig. 9. Magnitude characteristics of 5th order low-pass filter.

그림 9는 SPICE로 시뮬레이션한 종속연결형 5차 바터워스 저역통과 필터의 크기 특성으로 이론치와 에미터 면적과 기생 커패시터의 영향을 보상한 후의 특성을 비교한 것이다. 그림에서 보상을 해주었을 때의

결과도 통과대역에서 약간의 오차가 있는데 이 오차는 적분기의 2차 극점과 트랜지스터의 위상 반전 현상에 기인한 것으로 본다.

그림 10은 위상 특성으로 실현된 전류모드 필터가 수동 필터와 같이 통과대역에서 거의 선형적인 특성을 갖는다.

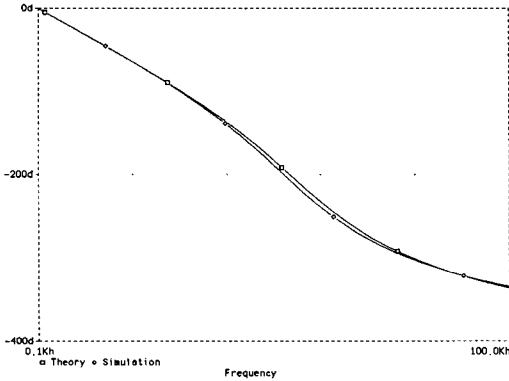


그림 10. 위상 특성
Fig. 10. Phase characteristics.

또한 설계된 전류모드 필터의 소비전력은 0.14mW 이고, THD를 0.2 I_B 의 입력으로 1kHz 주파수에서 시뮬레이션한 결과 0.84%를 나타냈다.

그림 11은 DC 바이어스 전류 I_B 를 1 μ A에서 2 μ A 까지 0.5 μ A 단위로 제어하여 주파수 동조 특성을 고찰하였다. 바이어스 전류 I_B 가 증가하면 차단주파수가 증가하는데 60kHz에서 120kHz까지의 광범위한 범위의 주파수 동조에도 안정된 특성을 보였다.

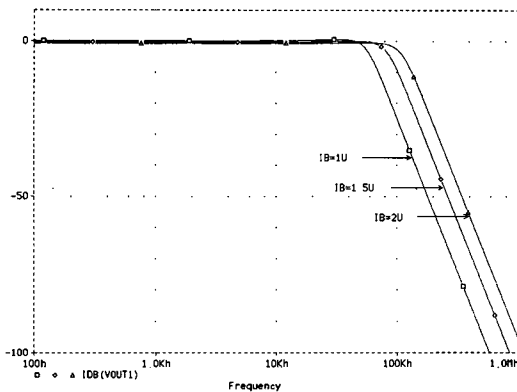


그림 11. 바이어스 전류에 의한 주파수 동조 특성
Fig. 11. Frequency tuning characteristics with various bias current.

이상의 시뮬레이션 결과, 제안된 바이폴라 전류모드

연속시간 필터는 저주파수 대역에 응용하여도 우수한 주파수 특성을 가지며, DC 바이어스 전류로 차단주파수를 쉽게 동조할 수 있다는 장점을 갖는다.

V. 결 론

본 논문에서는 부귀환 전류증폭기를 이용하여 시정수를 크게하는 방법을 제안하였다. 제안된 방법은 바이폴라 전류모드 연속시간 필터를 저주파 대역에서 응용할 수 있다. 또한 제안된 전류모드 필터는 수동 저항소자의 사용을 피하고 npn 트랜지스터와 pnp 트랜지스터를 이용한 전류미러와 커패시터만으로 구성되어 있으므로 집적회로로 실현하기가 쉽다. 제안된 필터는 1개의 DC 전류원을 갖는 간단한 구조로 설계되어 있으므로 바이어스 회로를 간단하게 실현할 수 있고, 필터의 차단주파수는 1개의 DC 바이어스 전류를 제어함으로써 쉽게 동조할 수 있다. 이때 필터의 주파수 특성을 안정화하기 위해서는 DC 바이어스 전류가 안정되어야 하는데 이를 위하여 PLL 시스템을 사용함으로써 전자적으로 동조가 가능한 필터를 실현할 수 있다.

본 논문에서 사용된 전류미러는 저전압으로 구동이 가능하므로 1.5V이하의 저전압, 즉 1개의 배터리로 구동이 가능한 필터의 실현이 가능하다. 이러한 특성은 휴대용 오디오, 무선통신기, 이동전화 등과 같은 저전압, 저전력 특성을 요구하는 휴대용기기에 쉽게 응용할 수 있다. 그리고 본 논문에서 제안된 방법은 바이폴라 트랜지스터로 구성된 필터의 설계 뿐만 아니라 CMOS 구조에도 쉽게 적용할 수 있다.

참 고 문 헌

- [1] R. Batruni, P. Lemaitre, and T. Fensch, "Mixed digital/analog signal processing for a single-chip 2B1Q U-interface transceiver," *IEEE Journal of Solid-State Circuits*, vol. SC-25, no. 6, pp. 1414-1425, Dec. 1990.
- [2] J. Vital, J. E. Franca, and F. Maloberti, "Integrated mixed-mode digital-analog filter converters," *IEEE Journal of Solid-State Circuits*, vol. SC-25, no. 3, pp. 660-668, June 1990.

- [3] C. Toumazou, F. J. Lidgley, and D. G. Haigh, Analog IC design: the current-mode approach., Peter Peregrinus Ltd., 1990.
- [4] S. S. Lee, R. H. Zele, and D. J. Allstot, "A continuous-time current-mode integrator," *IEEE Trans. Circuits Syst.*, vol. 38, pp. 1236-1238, Oct. 1991.
- [5] R. Angulo, M. Robinson, and E. S. Sinencio, "Current-mode continuous-time filters: two design approaches," *IEEE Trans. Circuits Syst.*, vol. 39, no. 5, pp. 337-341, June 1992.
- [6] R. H. Zele, S. S. Lee, and D. J. Allstot, "A 3V-125 MHz CMOS continuous-time filters," *Proc. IEEE ISCAS*, pp. 1164-1167, Chicago 1993.
- [7] J. B. Hughes and N. C. Bird, and I. C. Macbeth, "Switched-currents: A new technique for analogue sampled-data signal processing," *Proc. IEEE ISCAS*, pp. 1584-1587, 1989.
- [8] T. S. Fiez, and D. J. Allstot, "CMOS switched-current ladder filters," *IEEE Journal of Solid State Circuits*, vol. SC-25, no. 6, pp. 1360-1367, Dec. 1990.
- [9] E. Seevinck, "Companding current-mode integrator: A new circuit principle for continuous-time monolithic filters," *Electronics Lett.*, vol. 26, no. 24, pp. 2046-2047, Nov. 1990.
- [10] Y. P. Tsividis, "General approach to signal processors employing companding," *Electronics Lett.*, vol. 31, no. 18, pp. 1549-1550, Aug. 1995.
- [11] J. C. Ahn, and N. Fujii, "Current-Mode Continuous-Time Filters Using Complementary Current Mirror Pairs," *IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E-79-A, no. 2, pp. 168-175, Feb. 1996.
- [12] D. R. Frey, "Log-domain filtering: an approach to current-mode filtering," *IEE Proc., Pt. G*, vol. 140, no. 6, pp. 406-416, Dec. 1993.
- [13] D. Perry and G. W. Roberts, "Log-domain filters based on LC ladder synthesis," *Proc. IEEE ISCAS*, pp. 311-314, 1995.
- [14] R. Schaumann, M. S. Ghauri, and K. R. Laker, Design of Analog Filters: Passive, Active RC, and Switched Capacitor., Englewood Cliffs, NJ, Prentice-Hall, 1989.
- [15] H. J. Orchard, "Inductorless filters," *Electron Lett.*, vol. 2, pp. 224-225, June 1966.

 저자 소개

安庭 徹(正會員) 第 34卷 C編 第 11號 參照
 현재 한국전자통신연구원 부호기술연
 구부 선임연구원

崔 碩 佑(正會員) 第 31卷 B編 第 12號 參照
 현재 전북대학교 부속 전기전자회로
 합성연구소 조교수

尹 暢 焄(正會員) 第 31卷 B編 第 12號 參照
 현재 전북대학교 부속 전기전자회로
 합성연구소 객원연구원