

논문 98-7-3-09

실리콘 기판과 ITO가 코팅된 #7059 유리 기판간의 정전 열 접합

주병권*, 정희환**, 김영조***, 한정인****, 조경익*****, 오명환*

Electrostatic bonding between Si and ITO-coated #7059 glass substrates

Byeong-Kwon Ju*, Hoi-Hwan Chung**, Young-Cho Kim***, Jeong-In Han****, Kyoung-Ik Cho*****, and Myung-Hwan Oh*

요 약

#7740 interlayer를 적용하여 Si 기판과 ITO가 코팅된 #7059 기판을 정전 열 접합하였다. SIMS 분석을 통하여 #7740 interlayer 내에 존재하는 Na^+ 이온들의 열-전기적 이동이 접합 메카니즘으로 작용함을 확인하였다. 우수한 접합을 얻기 위한 온도 및 전압 범위는 각각 $180\sim 200^\circ\text{C}$ and $50\sim 70\text{V}_{\text{dc}}$ (10분)으로 나타났다. 이러한 저온 Si-ITO 코팅 유리 간의 접합 공정은 전계 방출 표시 소자의 패키징에 유용하게 이용될 수 있을 것으로 기대된다.

Abstract

Si and ITO-coated #7059 glass wafers were electrostatically bonded by employing #7740 interlayer. It was inferred that the thermionic-electrostatic migration of Na^+ ions in the #7740 interlayer played an important role in the bonding process through SIMS analysis. The temperature and voltage required for reliable electrostatic bonding were in the range of $180\sim 200^\circ\text{C}$ and $50\sim 70\text{V}_{\text{dc}}$ (10min), respectively. The low temperature Si-ITO coated glass bonding can be effectively applied to the packaging of field emission devices.

1. 서 론

정전 열 접합(electrostatic bonding 혹은 anodic bonding)이나 실리콘 웨이퍼 직접 접합(Silicon-wafer Direct Bonding : SDB) 등과 같이 접착 유기물을 사용하지 않고 두 종류의 기판을 접합시키는 방법은 전계 방출 표시 소자(Field Emission Display : FED)를 비롯한 진공 마이크로 전자 소자류의 패키징에 있어서 여러 장점들을 내포하고 있다고 볼 수 있다. 즉, 매우 청정할 뿐더러 비교적 간편한 공정이고, 저온 범위에서 행해지고, 완전한 고체 상태의 접합이고, out-gassing

* KIST 정보·재료소자연구센터(Electronic Materials and Devices Research Center, KIST)

** 특허청 반도체 심사 1과(Dept. Semiconductor, KIPO)

*** 충남산업대학교 전자공학과(Dept. Electronic Engineering, Choongnam Sanup Univ.)

**** KETI 부품연구 1팀(Materials and Components Research Team #1, KETI)

***** ETRI 기능부품연구실 (Advanced Electronic Component Sec. ETRI)

<접수일자 : 1998년 1월 13일>

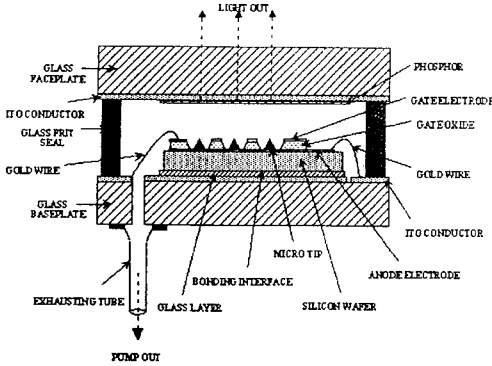


그림 1. 실리콘-ITO 코팅된 유리 기판 간의 접합을 이용한 FEA 소자 탑재의 개념도

Fig. 1. Conception of FEA mounting on glass supporter based on the electrostatic bonding between Si and ITO-coated glass substrates

문제가 적고, 접합 강도가 강하면서도 안정적이고, 대면적이 가능하고, 기존 반도체 공정과 친화성이 있다는 등의 매력이크다.

FED를 대상으로 하여 그 응용도를 살펴보면, 실리콘-유리 접합의 경우 그림 1에 보인 바와 같이 전계 방출 소자(Field Emitter Array : FEA)가 형성된 실리콘 기판이 양극용 유리 기판과 함께 밀봉되어 내부 진공도가 $10^{-7} \sim 10^{-9}$ Torr 정도인 패널을 이룰 때 응력에 저항할 수 있도록 실리콘 기판을 지지용 유리 기판상에 고정시키는 과정에 적용될 수 있다.^[1,2] 이때 유리 기판 상에 투명 전극으로 이용되는 ITO(Indium Tin Oxide- $In_2O_3:Sn$) 박막을 코팅하고 이 위에 정전 열 접합용 interlayer로 이용될 Corning #7740 박막을 증착한 뒤, ITO 전극을 통해 #7740 interlayer에 전압을 인가하면 일반적인 유리-실리콘 정전 열 접합에 비해 낮은 온도-전압에서 실리콘과의 접합이 이루어짐으로써 FEA와 유리 등이 받을 수 있는 열적 손상을 가능한 줄일 수 있을 것으로 기대된다. 아울러 유리-유리 접합의 경우 유리 스페이서를 음극이나 양극용 유리 기판 상에 형성할 경우와 배기관이 없는 패키징을 이룰 경우에도 응용될 수 있을 것으로 판단된다.^[3]

본 연구에서는 가능한 낮은 온도 및 전압에서 실리콘과 ITO 박막이 코팅된 유리 기판을 정전 열 접합시키는 공정을 다루어 보았으며, 이를 통하여 접합 메카니즘과 접합 계면의 특성들을 분석하여 보았다.

II. Si-ITO coated #7059 정전 열 접합 메카니즘의 제안

#7740 막을 interlayer로 이용하는 실리콘-ITO가 코팅된 유리간의 정전 열 접합 메카니즘은 일반적인 실리콘-유리^[4], 혹은 유리 interlayer를 이용한 실리콘-실리콘^[5] 간의 접합 메카니즘과 유사할 것으로 판단된다. 이러한 접합 메카니즘은 #7740 유리 박막을 interlayer로 사용한 실리콘-실리콘 정전 열 접합의 경우를 대상으로 하여 이론 및 실험적으로 제안된 바 있

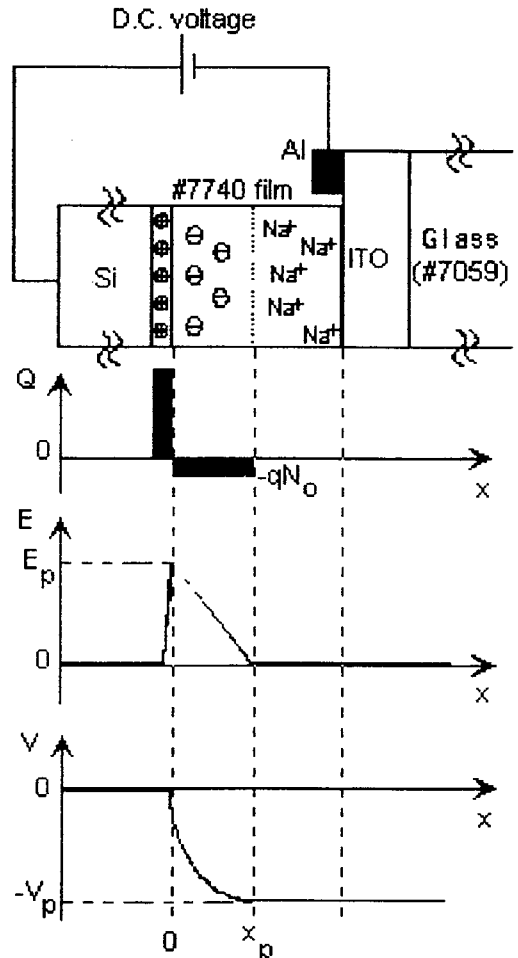


그림 2. 실리콘-#7740 interlayer/ITO/유리 기판 구조의 제안된 정전 열 접합 기구

Fig. 2. Proposed mechanism of electrostatic bonding of Si-#7740 interlayer/ITO/glass substrate structure

으며⁶⁾, 본 실험에 적용될 접합 구조의 경우에도 이에 의거하여 그림 2와 같이 추측될 수 있다.

즉, 실리콘 기판과 #7740 interlayer/ITO 막이 형성되어 있는 유리 기판을 맞닿게 하고 이의 온도를 상승시킨 뒤, 실리콘 기판을 양극으로 하고 ITO 막을 음극으로 하여 직류 전압을 인가하게 되면 interlayer 내에 존재하는 Na⁺ 이온들이 음극에 해당하는 ITO 쪽으로 이동한다. 따라서, Interlayer의 표면 근처에는 Na⁺들이 공핍된 영역들이 형성됨으로써 고정된 음이온(주로 O⁻ 이온들) 층이 생기고, 이로 인하여 interlayer의 표면과 순수한 실리콘 기판의 표면 영역에는 공간 전하층이 형성된다. 이로서 두 기판간에 존재하는 틈 사이에는 강한 전위차가 형성되고, 이 정전력에 의해 기판들이 접합이 일어나게 된다.

III. 실험 방법

두 종류의 기판이 정전 접합용으로 사용되었다. N형 (100) 실리콘 기판과, Corning #7059 유리 상에 2000Å 두께의 ITO 막(면 저항~20Ωcm)이 성장된 유리 기판을 사용하였다. 두 기판의 두께는 공히 500μm 이고, 시편의 크기는 실리콘 기판의 경우 2.5cm×3cm, 유리 기판의 경우 3cm×5cm로 하여 ITO 막 상에 전압을 인가할 수 있는 여유 영역을 두었다.

표 1. 전자선 증착에 의한 #7740 interlayer의 최적 증착 조건

Table 1. Optimum deposition condition of #7740 interlayer by electron beam evaporation

Method	E-beam evaporation (model : Edward FL 400)
Evaporation source	Corning #7740 glass
Substrate	3000Åthick ITO-coated #7059 glass
Power	6,000 W
Initial pressure	2×10 ⁻⁵ Torr
Working pressure	5×10 ⁻⁵ Torr
Substrate temperature	230 °C
Deposition rate	50Å/sec
thickness	1.5μm, 2.0μm

유리 기판의 ITO 막 위에 interlayer로 사용될 #7740 막을 전자선에 의해 증착하였으며, 이때 증착원과 증착 조건은 앞서 보고된 과정을 따랐다⁶⁾. 참고로 증착 조건을 나타내면 표 1과 같다. #7740 interlayer의 두께는 1.5μm와 2.0μm로 고정하였는데, 이는 앞선 실험 결과를 통해 정전 열 접합 시 필요한 표면 거칠기나 Na 원자의 함량, 형성된 공핍층의 두께 등을 고려하여 설정된 값이다.

다음으로, 준비된 두 기판, 즉 실리콘 기판과 #7740 interlayer/ITO/유리 기판 간에 정전 열 접합을 수행하였는데, 이때 사용된 장치 및 시편의 배치도를 그림 3에 보였다. 전원의 음극 부분을 ITO 막 상에 마련된 알루미늄 전극에 연결한다는 점만 다르고, 구성 기기나 시편의 세척 및 전처리 과정 등은 앞서 보고된 바와 같다⁶⁾. 온도와 인가 전압을 변화시키면서 반복 실험을 행한 결과 접합에 적합한 온도와 시간의 범위는 각각, 180~200°C와 50~70V_{dc}로 설정되었으며, 접합을 위한 최저 온도-전압은 190°C-60V_{dc}로 나타났다.

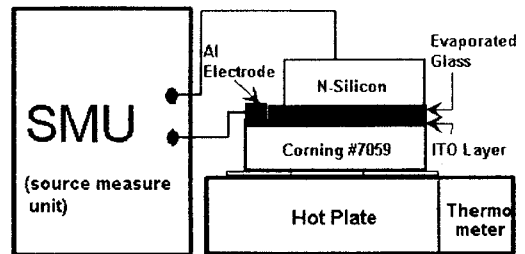


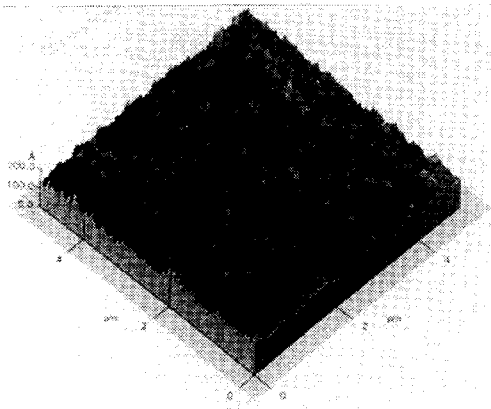
그림 3. 실리콘-ITO 코팅된 유리 구조용 정전 열접합 장치도

Fig. 3. Set-up for electrostatic bonding of Si-ITO coated glass structure

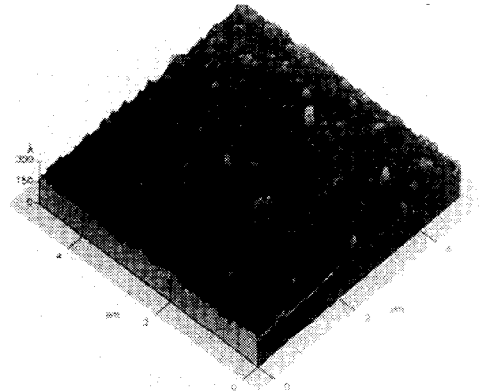
IV. 결과 및 토의

1. ITO 막/유리 기판 상에 증착된 #7740 interlayer의 특성

전자선 증착에 의해 형성된 #7740 interlayer의 제 특성들은 앞서 상세히 평가, 논의된 바 있다⁵⁾. 본 실험에서는 유리 기판과 ITO 막의 비교적 큰 표면 거칠기로부터 기인한 #7740 interlayer의 표면 거칠기, 그리고 SEM으로 관찰한 단면 구조에 관한 결과만 간단히 다루겠다.



(a)



(b)

그림 4. 유리 기판상에 증착된 두께2000Å의 ITO 막 (a) 및 두께 1.5μm #7740 막/ITO 막 (b) 표면의 AFM 결과

Fig. 4. AFM results of surfaces of 2000Å-thick ITO film(a) and 1.5μm-thick #7740 film/ITO film (b) deposited on glass substrate

그림 4의 (a)와 (b)는 각각 유리 기판 상에 존재하는 ITO와 이 위에 증착된 #7740 interlayer에 대한 AFM 결과이다. 실리콘 웨이퍼에 비해 유리 기판이 상대적으로 큰 표면 거칠기를 갖는 까닭에 ITO 막은 물론 이 위에 증착된 #7740 박막의 표면이 실리콘 기판 상에 증착한 경우에 비해 평탄도가 떨어짐을 알 수 있다. Peak-to-valley 값을 비교하여 보면 ITO 막의 경우 150Å로 나타났으며, 이 위에 증착되는 #7740 막은 앞선 실험 결과와 마찬가지로^[6], 그 두께가 증가할수록 표면 거칠기가 감소되는 성향을 보였다. #7740 막의

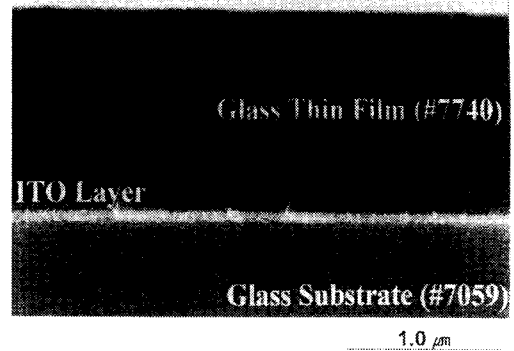


그림 5. #7740 막/ITO 막/유리 기판의 SEM 단면 사진
Fig. 5. SEM cross-sectional view of #7740 film/ITO film/glass substrate

두께가 1.5μm에 이르면 peak-to-valley 값이 199Å으로 ITO 막의 경우에 대한 값과의 차이를 50Å 이하로 줄일 수 있는 것으로 나타났다. 아울러 그림 5는 #7740 막/ITO 막/유리 기판 구조의 SEM 단면 사진을 보인 것이다.

2. 접합된 실리콘-#7740/ITO/유리 기판 쌍의 특성
정전 열 접합이 진행되는지의 여부는 Na⁺ 이온들의 순간적인 이동에 따른 전류 피크의 존재로 판단할 수 있다. 그림 6은 190°C의 온도에서 60V_{dc}의 전압을 10분 동안 인가한 경우에 관찰된 전류 파형이다. 접합

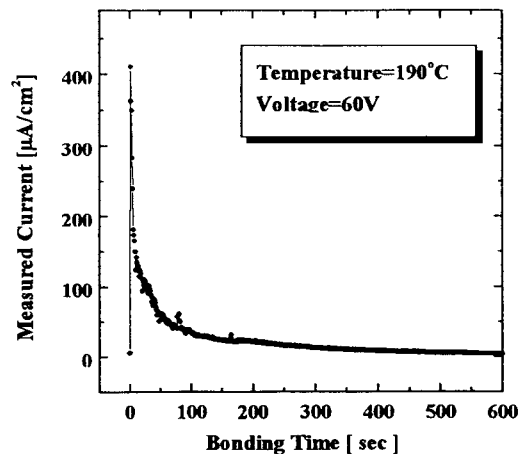


그림 6. 정전 열 접합 과정에서의 전류 파형
Fig. 6. Current curve during electrostatic bonding process

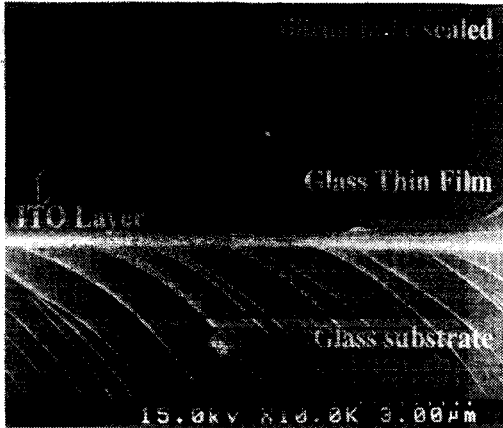


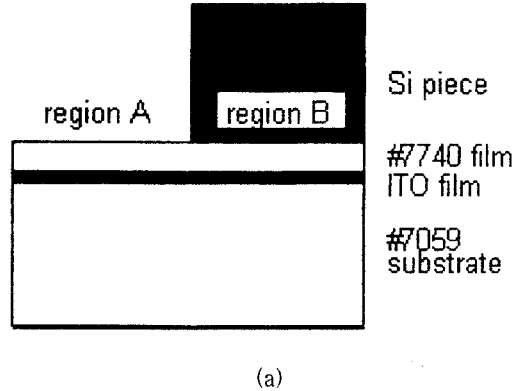
그림 7. 실리콘 기판-#7740 interlayer/ITO/유리 기판 구조의 단면 SEM 사진

Fig. 7. SEM cross-sectional view of Si substrate-#7740 interlayer/ITO/glass substrate structure

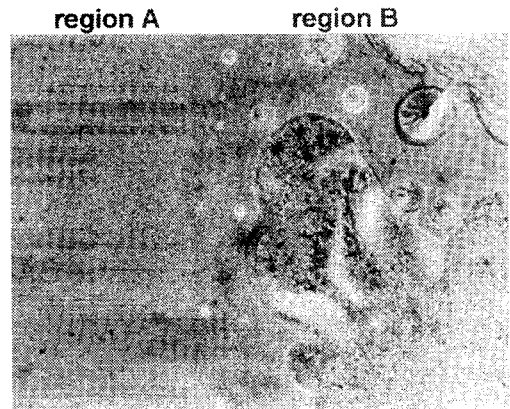
공정 초기에 약 $400\mu\text{A}/\text{cm}^2$ 에 이르는 전류 피크가 관찰되는 점으로 미루어 보아 정전 열 접합이 이루어지고 있음을 알 수 있다.

그림 7은 접합에 의해 형성된 실리콘 기판-#7740 interlayer/ITO/유리 기판 구조의 단면을 SEM으로 관찰한 사진이다. 접합 계면에 해당하는 실리콘-#7740 interlayer의 계면을 살펴보면, 불안정한 영역이 없이 재료적으로 우수한 접합이 이루어졌음을 알 수 있다. 이와 함께 접합 계면에 해당하는 부분을 50,000배에 이르기까지 확대 관찰하여도 열적 부경합에 의해 막들이 기계적으로 손상되는 등의 문제점이 발생하지 않는 것으로 나타났다.

#7740 interlayer 내에서의 Na^+ 이온 등의 거동을 알아보기 위해 그림 8(a)와 같은 모양의 시편을 준비하였다. 즉, #7740 interlayer와 ITO가 형성된 유리 기판을 실리콘 기판에 대해 상대적으로 크게 준비하여 region A에서는 접합이 일어나지 않고, region B에서만 접합이 일어나도록 실리콘 기판을 올려놓았다. 접합 조건은 $190^\circ\text{C}-60\text{V}_{\text{dc}}$ (10분)으로 하였으며, 접합이 일어난 다음 인장력을 가하여 두 기판을 강제 분리시켰다. 분리된 유리 기판의 표면 모양은 그림 8(b)와 같은데, 특히 region B의 경우, 접합 계면에서 분리가 일어나 #7740 interlayer가 그대로 존재하는 부분이 있는가 하면, 강한 접합력에 의해 유리의 내부에서 파괴가 일어나는 부분도 있다. region A와 region B의 #7740 interlayer



(a)



(b)

그림 8. (a) region A 및 region B의 정의

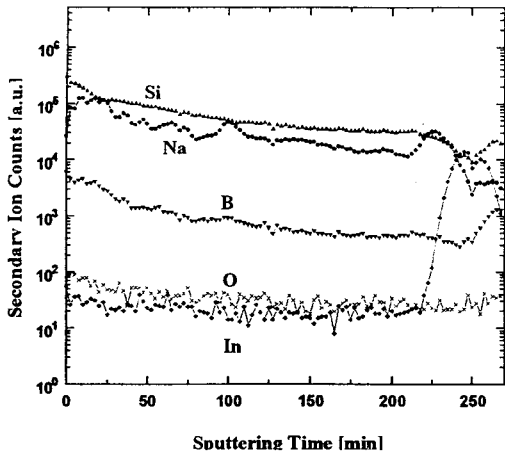
(b) 접합된 기판 쌍 분리 후의 region A 및 region B의 표면

Fig. 8. (a) Definition of region A and region B

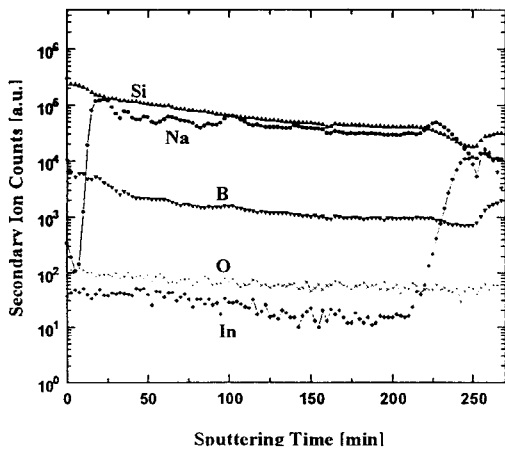
(b) Surface configuration of region A and region B after de-bonding of wafer pair

에 대해 표면으로부터 ITO 막에 이르기까지 SIMS 분석을 행하였다.

그림 9의 (a)와 (b)는 각각 region A와 region B에 있어서 #7740 interlayer 내의 Na를 비롯한 여러 종류의 원자들에 대해 깊이 방향으로의 농도 변화를 SIMS로 분석한 결과이다. Si, B, O, 그리고 In 등에 대해서는 큰 차이를 발견할 수 없었지만, Na의 경우 region B에 해당하는 경우, 즉 정전 열 접합이 일어난 경우에 접합 계면에 해당하는 표면 부근에 Na 원자들이 공핍된 영역이 형성되어 있음을 알 수 있다. 이는 앞서 매카니즘으로 제안된 바와 같이 Na 원자들이 이온화된 뒤, 열 및 정전력에 의해 음극에 해당하는 #7740



(a)



(b)

그림 9. region A(a)와 region B(b)의 #7740 interlayer에 대한 SIMS 분석결과

Fig. 9. SIMS depth profile of #7740 interlayer of region A(a) and region B(b)

interlayer와 ITO 막의 계면 쪽으로 이동된다는 가정을 입증하고 있다. 분석에 사용된 SIMS의 sputtering rate가 약 100Å/sec 정도인 점을 고려할 때, 190°C-60V_{dc}(10분)의 정전 열 접합에 의해 #7740 interlayer 내에 형성된 Na 공핍층의 폭은 약 1500Å 정도임을 알 수 있다.

V. 결 론

FED의 패키징에 응용할 수 있는 공정으로써 실리콘

기판과, 투명 전극인 ITO가 코팅된 유리 기판간에 #7740 interlayer에 의한 정전 열 접합을 수행하였다. 이를 통하여 실리콘-#7740 interlayer/ITO/유리 간의 정전 열 접합 메커니즘에 있어서도 열 및 전계에 의한 Na 원자의 이온화 및 이온들의 이동, 이에 따른 Na 공핍층의 형성 과정이 중요한 역할로 작용함을 알 수 있었다. 아울러 #7740 interlayer 및 ITO 막의 두께를 각각 1.5µm~2.0µm와 2000Å로 고정할 경우, 정전 열 접합에 적합한 온도와 시간의 범위는 약 180~200°C, 50~70V_{dc}(10분) 정도로 나타났으며, 접합에 필요한 최소 온도-전압은 190°C-60V_{dc}로 설정되었다. 이러한 결과는 FED를 비롯한 진공 마이크로 전자소자류의 조립 및 패키징 등에 유용하게 적용될 수 있을 것으로 판단된다.

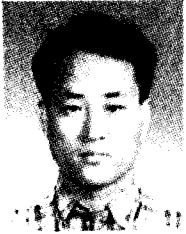
감사의 글

※ 본 연구는 과학기술부와 산업자원부가 주관하는 초소형 선도기술개발사업의 연구비 지원 및 KETI/ETRI의 일부 지원에 의한 것이며 이에 감사드립니다.

참 고 문 헌

- [1] J.D.Mun et al., Large area electrostatic bonding for micropackaging of a field emission display, Proc. Asia Display95, p.621 (1995.10)
- [2] J.D.Mun et al., Electrostatic bonding of Si and glass using Al interlayer for micropackaging of an FED, Proc.Euro Display96, p.173 (1996.10)
- [3] 주병권 외, FED의 Tubeless Packaging을 위한 유리-유리 접합, 제1회 한국 정보디스플레이 학술대회 논문집, p.123 (1997.6)
- [4] G.Wallis et al., Field assisted glass-metal sealing, J.Appl.Phys., vol.40, no.10, p.3946 (1969)
- [5] M.Esashi et al., Low-temperature silicon-to-silicon anodic bonding with intermediate low melting point glass, Sensors and Actuators, vol.A21-A23, p.931 (1990)
- [6] 주병권 외, 전자선 증착된 Corning #7740 Interlayer를 이용한 실리콘-실리콘 정전 열 접합, 전기학회 논문지, 46권, 10호, pp.1562-1572 (1997.10)

著 者 紹 介



주 병 권

1962년 7월 3일생. 1986년 서울시립대학교 전자공학과 졸업, 1988년 서울시립대학교 대학원 전자공학과 졸업(공학석사), 1995년 고려대학교 대학원 전자공학과 졸업(공학박사), 1988년~1995년 KIST 정보전자연구부 연구원, 1995년~현재 KIST 정보재료·소자연구센터 선임연구원, 1996년 Univ. South Australia(Australia) 방문연구원, 연구분야 : Microelectromechanical system (MEMS) / Si Micromachining, Vacuum microelectronics / Field emission display (FED)



정 회 환

1962년 3월 22일생. 1986년 한양대학교 전자공학과 졸업(공학사), 1988년 경희대학교 전자공학과 졸업(공학석사), 1996년 경희대학교 전자공학과 졸업(공학박사), 1996년 10월~현재 특허청 심사4국 반도체1과 심사관.



김 영 조

1961년 12월 11일생. 1989년 서울시립대학교 전자공학과 졸업, 1991년 서울시립대학교 대학원 전자공학과 졸업(공학석사), 1994년 서울시립대학교 대학원 전자공학과 졸업(공학박사), 1998년 현재 충남산업대학교 전자공학과 전임강사, 연구분야 : 반도체 박막 및 센서, 강유전체



한 정 인

1961년 1월 19일생. 1983년 연세대학교 금속공학과 졸업(공학사), 1985년 한국과학기술원 재료공학과 졸업(공학석사), 1989년 한국과학기술원 재료공학과 졸업(공학박사), 1989년~1990년 삼성전자 반도체연구소, 1991년~1992년 삼성전자 LCD 사업부, 1992년~현재 전자부품 종합기술연구소.



조 경 익

1955년 8월 24일생. 1979년 울산대학교 재료공학과 졸업(공학사), 1981년 한국과학기술원 재료공학과 졸업(공학석사), 1991년 한국과학기술원 재료공학과 졸업(공학박사), 1981년 3월 ~현재 한국전자통신연구원 책임연구원. 주관심분야 : 전계방출 디스플레이 (FED), 반도체 신소재, 물성분석 등.

오 명 환 (吳 明 煥)

『센서학회지 제3권 1호』 논문 94-3-1-02, p.7 참조
현재 KIST 정보재료·소자연구센터 책임연구원 및 연구기획조정부장.