

논문 98-7-5-10

BaTiO₃/SiO₂로 구성된 안티퓨즈의 전기적 특성

이영민*, 이재성**, 이용현***

An Electrical Properties of Antifuses based on BaTiO₃/SiO₂ films

Young Min Lee*, Jae Sung Lee**, and Yong Hyun Lee***

요약

Field programmable gate array (FPGA)의 전압 프로그램 요소(voltage programmable link)로써 사용될 새로운 안티퓨즈를 제조하였다. 제조된 안티퓨즈는 Al/BaTiO₃/SiO₂/TiW-실리사이드 구조를 갖는다. 안티퓨즈의 프로그램 전압은 BaTiO₃의 증착 두께를 조절함으로써 정확하게 조절할 수 있었다. BaTiO₃(120Å)/SiO₂(120Å)의 안티퓨즈에서 TiW-실리사이드 전극에 (-)극성을 인가하여 측정된 프로그램 전압은 14.4 V였으며, on-저항은 40-50Ω의 값을 갖는다. 안티퓨즈의 전류-전압 특성은 Frenkel-Poole 전도 기구를 따르고 있으며, 그 특성은 인가 전압의 극성에 따라 차이를 보였다. 이것은 Al/BaTiO₃계면과 TiW-silicide/SiO₂계면 특성이 다르기 때문이다.

Abstract

A novel antifuse has been developed for field programmable gate arrays (FPGA's) as a voltage programmable link with Al/BaTiO₃/SiO₂/TiW-silicide. The proper program voltage can be obtained by adjusting the deposition thickness of BaTiO₃ film. When a negative voltage was applied at bottom TiW-silicide electrode of the antifuse, based on BaTiO₃(120Å)/SiO₂(120Å), the program voltage was about 14.4V and on-resistances were ranged between 40 and 50Ω. The current-voltage characteristics of antifuses are consistent with a Frenkel-Poole conduction model. However, there are some deviations depending on bias polarity that are probably due to the difference in the interface properties between Al/BaTiO₃ and TiW-silicide/SiO₂.

1. 서론

안티퓨즈(antifuse)는 가정용 전기 부품인 퓨즈(fuse)와 비슷한 용도로써 고집적 반도체 회로에 사용되고 있다. 반도체 회로의 배선 연결 부분에 안티퓨즈를 삽입하여, 인위적으로 특정 전압이나 전류 신호를 개별

안티퓨즈에 인가함으로써 회로 배선의 단락과 개방을 선택적으로 만들 수 있다. 이러한 동작으로 안티퓨즈는 전기신호의 흐름을 사용자의 목적에 알맞게 연결시켜 주는 프로그램 요소(programmable link)의 역할을 하게 된다. 안티퓨즈가 사용되는 반도체 응용회로에는 Programmable Read Only Memory (PROM)나 Field Programmable Gate Array (FPGA) 등이 있다¹⁾³⁾.

안티퓨즈는 입력 전기신호에 빨리 반응해야 하며, 반응의 재현성과 반응 전 후의 소자 상태 안정성 등이 요구된다. 일반적으로 안티퓨즈는 금속/절연물/금속의

* 현대전자(주) System IC연구소

** 위덕대학교 정보통신공학과 (Dept. of Computer and Communication Eng., Uiduk Univ.)

*** 경북대학교 전자전기공학부 (School of Electronic and Electrical Eng., Kyungpook Nat'l Univ.)

<접수일자 : 1998년 8월 30일>

구조를 갖는다. 두 금속 전극은 절연물의 절연 파괴 전에는 개방된 상태(off-state)이나 절연 파괴 후에는 단락된 상태(on-state)를 계속 유지하게 된다.

금속층간 절연물의 절연 파괴 전압을 안티퓨즈의 프로그래밍 전압이라 하는데, 집적회로를 위해서는 절연물의 두께를 감소시켜 그 수치를 가급적 낮추는 것이 바람직하다. 박막의 절연물을 사용하게 되면 프로그램 전압 뿐 아니라 두 전극 사이가 짧아지기 때문에 프로그램 후 저항(on-저항)을 매우 낮게 줄일 수 있다. 기존에 연구된 안티퓨즈는 그 구성물질에 따라 9~15V의 프로그램 전압과 50Ω 이하의 on-저항을 갖는다^[4, 6].

본 연구에서는 FPGA를 구성하는 전압 프로그램 요소(voltage-programmable link)로써 사용할 수 있는 새로운 안티퓨즈를 제조하여 그 프로그램 특성을 조사하였다. 그리고 측정된 전류-전압 특성을 통해서 안티퓨즈의 전도 기구를 분석하고자 하였다. 박막의 절연물로는 비정질 티탄산 바륨($BaTiO_3$)과 실리콘 산화막(SiO_2)의 이중막을 사용하였으며, 두 전극으로는 알루미늄과 TiW-실리사이드를 각각 사용하였다.

II. 실험 및 측정 방법

그림 1(a)와 1(b)는 안티퓨즈의 제조 공정 순서와 안티퓨즈의 단면을 나타낸다. 비저항이 6~9Ω.cm인 p형의 실리콘 웨이퍼 위에 안티퓨즈의 하층 전극으로 사용될 TiW (80 at.% W, 20 at.% Ti)를 DC 스퍼터링법으로 1000Å을 형성 시켰다. TiW-실리사이드의 형성을 위해 약 200Å의 비정질 실리콘을 RF 스퍼터링법으로 TiW위에 형성한 후, 10^6 Torr의 진공속에서 2단계 furnace 열처리하였다. 시료를 습식 세척한 후, 저온 CVD법으로 약 5000Å의 실리콘 산화막을 증착하였다. 사진 식각법을 사용하여 실리콘 산화막을 부분적으로 제거하여 안티퓨즈 영역을 형성하였다. 이중 절연막의 형성을 위해 RF스퍼터링이 진행되었다. SiO_2 를 TiW-실리사이드위에 형성한 후, 열처리를 산소 분위기의 500°C에서 행하였으며, 연속적으로 $BaTi_2O_3$ 의 형성이 이루어졌다. 하층 전극의 접촉(contact) 부분을 형성한 후 전극으로 사용될 Al(1.0 wt. % Si, 0.5 wt. % Cu)을 증착하여 안티퓨즈를 완성하였다. 안티퓨즈의 단면적은 $19.6 \times 10^6 \text{cm}^2$ 이었다. 제조된 안티퓨즈의 전기적 특성과 프로그램 특성은 HP 4145B semiconductor parameter analyzer와 HP4192A impedance analyzer로

각각 조사되었다.

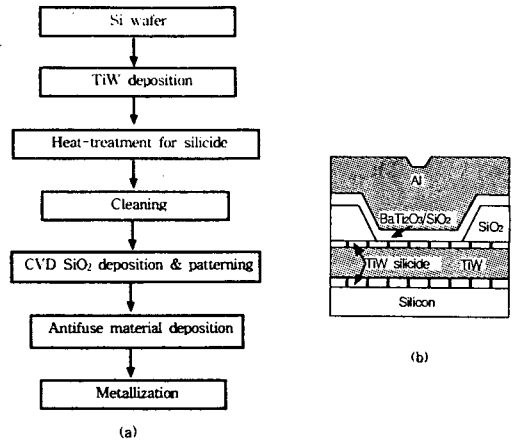


그림 1. (a) 안티퓨즈의 제조 공정 순서와 (b) 안티퓨즈의 단면도

Fig. 1. (a) Fabrication flow and (b) cross section of antifuse.

III. 실험 결과

금속층간 절연물을 구성하는 $BaTiO_3$ 와 SiO_2 의 두께에 따라 안티퓨즈의 전기적 특성이 변화함을 관찰하였다. TiW-실리사이드 위에 형성된 $BaTiO_3$ 와 SiO_2 의 두께 변화에 따른 안티퓨즈의 절연파괴 강도의 변화를 그림 2에 나타냈다. 그림 a), b),와 c)는 두 절연물의 두께 비($BaTiO_3/SiO_2$)가 2:1, 1:1, 및 1:2일 때 결과를 각각 나타낸다. 측정된 시료는 각각 40개였다. 두께 비가 2:1일 때 평균 절연파괴강도와 그 편차는 4.63MV/cm와 0.63MV/cm으로 가장 열화된 특성을 보였다.

그림 2의 결과로부터 SiO_2 의 두께를 일정하게 하고, $BaTiO_3$ 의 증착 두께를 조절하는 것이 안티퓨즈의 프로그램 전압을 정확하게 조절할 수 있음을 알 수 있었다. 그림 3은 SiO_2 의 두께를 120Å으로 일정하게 하고, $BaTiO_3$ 의 두께를 a) 120Å, b) 240Å, 및 c) 360Å으로 각각 변화시켜 제조된 안티퓨즈의 전류-전압 특성을 나타낸다. $BaTiO_3$ 의 두께가 증가함에 따라 금속층간 절연물의 절연파괴 전압은 15V, 17V, 및 19V로 증가함을 알 수 있다. 절연파괴가 발생하기 전의 절연물의 누설전류는 금속층간 절연물의 두께에 관계없이 수 nA로 적게 흘렀다.

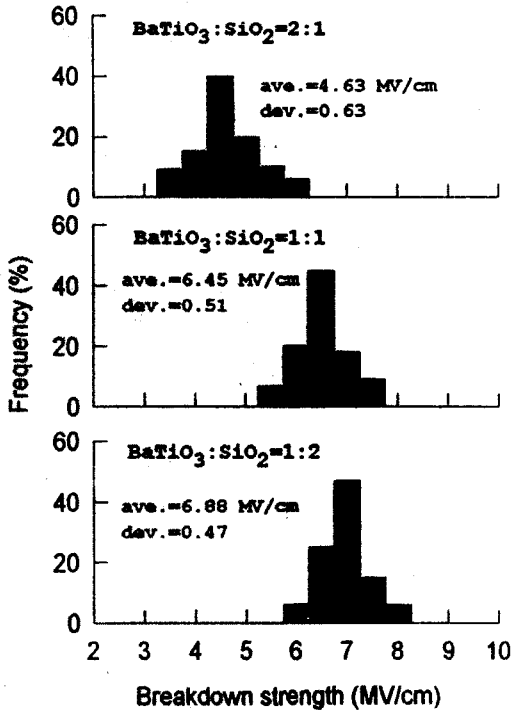


그림 2. BaTiO₃와 SiO₂의 두께 비에 따른 금속층간 절연물의 절연파괴 강도 변화

Fig. 2. Breakdown voltage variation for intermetallic insulator depending on the thickness ratio of BaTiO₃ to SiO₂.
a) BaTiO₃:SiO₂=2:1 b) BaTiO₃:SiO₂=1:1
c) BaTiO₃:SiO₂=1:2

프로그램 전 상태의 안티퓨즈에 대한 정전용량 특성과 안티퓨즈의 주파수 모델을 그림 4에 나타냈다. 안티퓨즈를 구성하는 SiO₂의 두께는 120Å로 일정하였으며, BaTiO₃의 두께는 각각 a) 120Å, b) 240Å, 및 c) 360Å이었다. 각 구조에서 주파수가 약 70~100kHz 근처에서부터 정전용량 값이 감소되기 시작하였다. 이러한 현상은 그림 4에 삽입된 주파수 모델로부터 설명된다. 병렬 연결된 BaTiO₃의 정전용량(C_{BTO})과 저항 성분(R_{BTO})은 SiO₂의 정전용량(C_{OX})과 직렬 연결되어 있다. SiO₂이 BaTiO₃에 비해 절연특성이 우수하므로 SiO₂에 의한 저항 성분은 R_{BTO}보다 매우 큰 값이므로 생략할 수 있다. 안티퓨즈의 정전용량은 식 (1)로 표현된다.

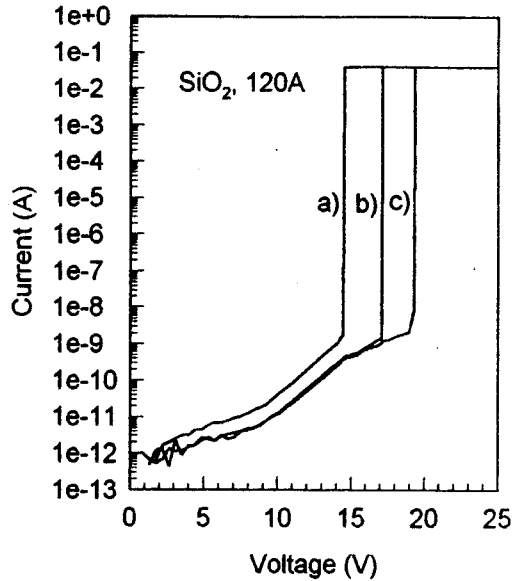


그림 3. BaTiO₃의 두께에 의존하는 안티퓨즈의 전류-전압 특성 (SiO₂=120Å)

Fig. 3. Current-voltage characteristics of antifuse depending on the thickness of BaTiO₃ (SiO₂=120Å).

a) 120Å b) 240Å c) 360Å

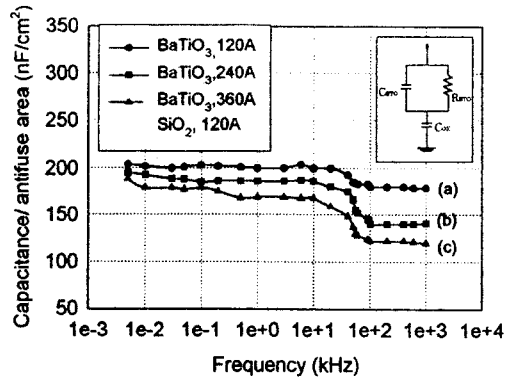


그림 4. BaTiO₃의 두께에 의존하는 안티퓨즈의 주파수 특성 (SiO₂=120Å)

Fig. 4. Frequency response of antifuse depending on BaTiO₃ thickness (SiO₂=120Å).

a) 120Å b) 240Å c) 360Å

$$\frac{C_{means}}{C_{OX}} = \frac{(1 + \omega^2 R_{BTO}^2 C_{BTO})}{1 + \omega^2 R_{BTO}^2 C_{BTO} (C_{BTO} + C_{OX})} \quad (1) \text{여}$$

기서, C_{means} 는 안티퓨즈의 정전용량을 표시하며, ω 는 각 주파수이다. 주파수가 매우 증가할 때, 식 (1)은 식 (2)로 표현된다.

$$C_{means} = \frac{C_{BTO}C_{OX}}{C_{BTO} + C_{OX}} \quad (2)$$

그림 4의 결과로부터 제조된 안티퓨즈는 100kHz 이상의 주파수에서 낮은 정전용량을 가질 수 있음을 알 수 있다.

제조된 안티퓨즈의 프로그램 특성은 BaTiO₃와 SiO₂의 두께가 각각 120Å인 안티퓨즈에서 조사되었다. 안티퓨즈의 프로그램 전압(금속층간 절연물의 절연 파괴 전압) 특성을 그림 5에 나타냈다. 인가 전압의 극성 변화에 따른 프로그램 전압 변화도 조사하였다. 프로그램 전압은 Al 전극에 (-)극성을 인가하였을 때 15.8V 였으나, TiW-실리사이드에 (-)극성을 인가하였을 때 14.4V로 낮았다.

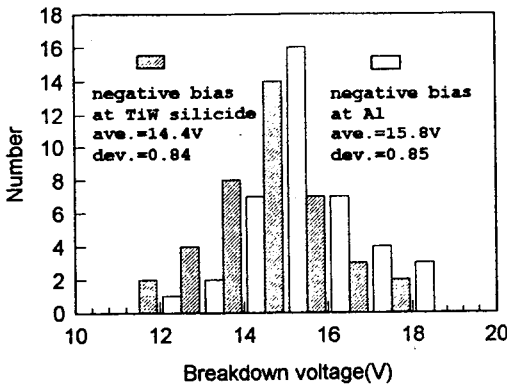


그림 5. BaTiO₃(120Å)/SiO₂(120Å) 안티퓨즈의 프로그램 전압 분포

Fig. 5. Distribution of programming voltage for BaTiO₃(120Å)/SiO₂(120Å) antifuse.

TiW-실리사이드에 -15V 전압을 10msec. 동안 인가하여 프로그램 동작이 수행된 안티퓨즈의 두 전극 사이에 전류를 흘려 측정된 저항의 변화를 그림 6에 나타냈다. 이러한 전류를 흘려 주는 목적은 금속 층간 절연물의 절연 파괴에 의해 형성된 전도성 통로(필라멘트)가 계속 안정된 전도 특성을 가지도록 하는 것이다. 그림에서 약 2.1mA의 인가 전류에서 필라멘트의 저항이

감소되기 시작하는데 이 때의 전류값을 안티퓨즈의 프로그램 전류(I_p)라고 한다. 프로그램 전류에서 측정된 저항값은 약 256Ω이다. 프로그램 전류 이후부터 필라멘트의 저항이 감소 하는 것은 주울 열(joule heat)에 의해 필라멘트의 전체 길이가 짧아지거나 필라멘트의 반경이 넓어졌음을 의미한다.

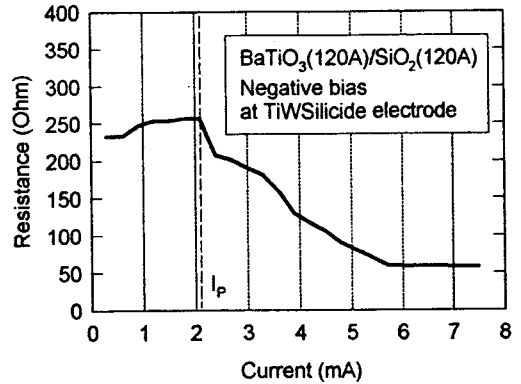


그림 6. 프로그램이 진행된 BaTiO₃(120Å)/SiO₂(120Å) 안티퓨즈에서 인가 전류에 의존하는 금속층간 절연물의 저항의 변화

Fig. 6. Resistance of intermetallic insulator depending on injected current for programmed BaTiO₃(120Å)/SiO₂(120Å) antifuse.

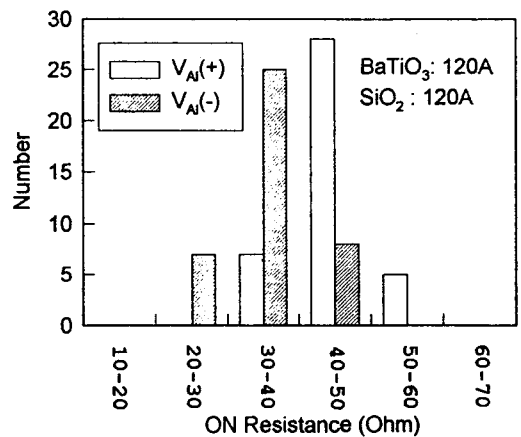


그림 7. BaTiO₃(120Å)/SiO₂(120Å)로 구성된 안티퓨즈의 on-저항 분포

Fig. 7. Distribution of on-resistance for BaTiO₃(120Å)/SiO₂(120Å) antifuse.

안티퓨즈의 on-저항 결과를 그림 7에 나타냈다. On-저항은 9 mA 에서 측정되었다. Al 전극에 (-) 전압을 인가 한 후 측정된 on-저항값은 약 30-40Ω로 낮았으나, TiW-실리사이드에 (-) 전압을 인가 한 경우는 약 40-50Ω으로 높게 나타났다. 인가 전압의 극성에 따라 on-저항이 변하는 것은 (-) 극성의 금속 물질이 펄라멘트 내로 유입되기 때문이라 생각된다.

IV. 토의

Al과 TiW-실리사이드 사이의 금속층간 절연물인 BaTiO₃/SiO₂의 전도특성이 안티퓨즈의 프로그램 특성을 결정하게 된다. 인가 전압의 극성을 다르게 하여 측정된 안티퓨즈의 전류-전압특성을 그림 8에 나타냈다. 특성 곡선 a)는 Ti-실리사이드 전극에 (-) 극성이 인가 되었을 때이며, b)는 Al 전극에 (-) 극성이 인가되었을 때이다. 안티퓨즈의 금속층간 절연물인 비정질 BaTiO₃와 SiO₂의 두께는 각각 550Å, 150Å 이었다. 그림 5의 결과에서처럼 전압의 극성 변화에 따라 절연 파괴 전압의 크기도 변화하였다.

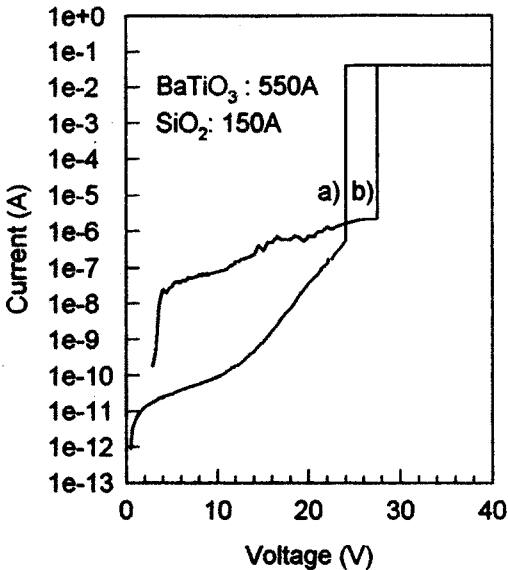
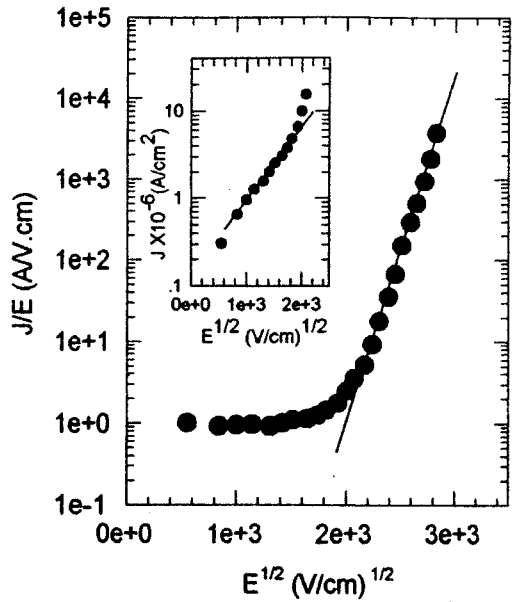


그림 8. 인가 전압 극성에 의존하는 안티퓨즈의 전압-전류 특성

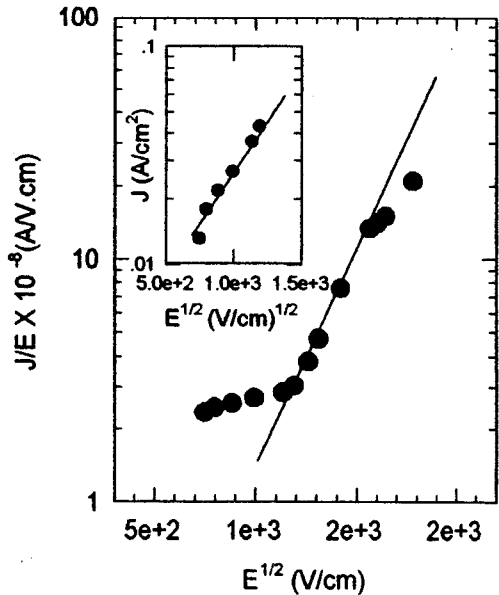
a) TiW-실리사이드에 (-) 극성 b) Al에 (-) 극성

Fig. 8. Current-voltage characteristics of antifuse depending on bias voltage polarity.

a) negative at TiW-silicide b) negative at Al



(a)



(b)

그림 9. 안티퓨즈의 전도 기구

a) TiW-실리사이드에 (-) 극성 b) Al에 (-) 극성

Fig. 9. Conduction mechanisms for antifuse

a) negative at TiW-silicide b) negative at Al

그림 9는 그림 8의 결과에 대해 Frenkel-Poole

(F-P) 전도 ($\log J/E$ vs. $E^{1/2}$) 및 Schottky 방출 전도 ($\log J$ vs. $E^{1/2}$)를 각각 조사한 것이다. 그림 a)와 b)는 TiW-실리사이드 전극과 Al 전극에 (-) 극성을 각각 인가 했을 때의 특성이다. 제조된 안티퓨즈는 두 전극이 모두 금속이므로, BaTiO₃/SiO₂막내에서 전도에 기여하는 반송자(carrier)는 전자들 뿐일 것으로 생각된다. 인가 극성에 관계없이 초기의 낮은 인가 전압 (< 1.7 MV/cm)에서는 Schottky 방출 전도 기구를 따르고, 이후부터는 F-P 전도 기구를 따르고 있다. F-P 전도 기구는 식 (3)으로 표현된다^[7]. 여기서, ϕ_B 는 장벽 높이, ϵ_i 는 절연물의 유전율을 각각 나타낸다. F-P 전도는 절연물내의 트랩(trap)에 의한 전도 현상이므로 BaTiO₃/SiO₂ 막에는 많은 트랩(trap)들이 금속과의 계면, 절연물사이의 계면, 또는 절연물 내부에 존재할 것으로 생각된다^[8,9].

$$J \sim E \exp \frac{-q(\phi_B - \sqrt{qE/\pi\epsilon_i})}{KT} \quad (3)$$

그림 9에서 나타난 F-P 전도특성으로부터 금속과 절연물사이의 두 계면(Al/BaTiO₃와 TiW-실리사이드/SiO₂) 특성을 추측할 수 있다. 금속과 절연물사이의 장벽 높이는 그림 9의 $\log J/E$ 축의 절편에서 구하여지며, 직선의 기울기가 클수록 그 값은 커지게 된다. 그림 9의 결과로부터 Al/BaTiO₃ 계면에서의 장벽 높이가 SiO₂/TiW-실리사이드 계면의 장벽 높이에 비해 매우 낮음을 알 수 있다. 낮은 장벽 높이는 금속과 절연물의 계면에 트랩 등과 같은 불안정한 요소가 존재하고 있음을 의미한다. 그러므로 TiW-실리사이드/SiO₂의 접촉 계면이 Al/BaTiO₃의 접촉 계면 보다 안정된 상태를 갖는다. 이러한 결과로 인해 그림 8의 전류-전압특성에서 Al에 (-) 극성을 인가하였을 경우에 많은 누설 전류가 흐르게 된다. 절연과파 전 절연물의 누설 전류는 음극 근처의 계면에 존재하는 많은 포획전하에 의한 것으로 알려져 있다^[10,11].

그림 8과 그림 9의 결과에서부터 Al/BaTiO₃/SiO₂/TiW-실리사이드 구조가 가질 수 있는 에너지 밴드 구조(band diagram)를 그림 10에 작성하였다

그림 a)와 b)는 TiW-실리사이드에 (-) 극성을 인가한 경우와 Al에 (-) 극성을 인가한 경우를 각각 보여 주고 있다.

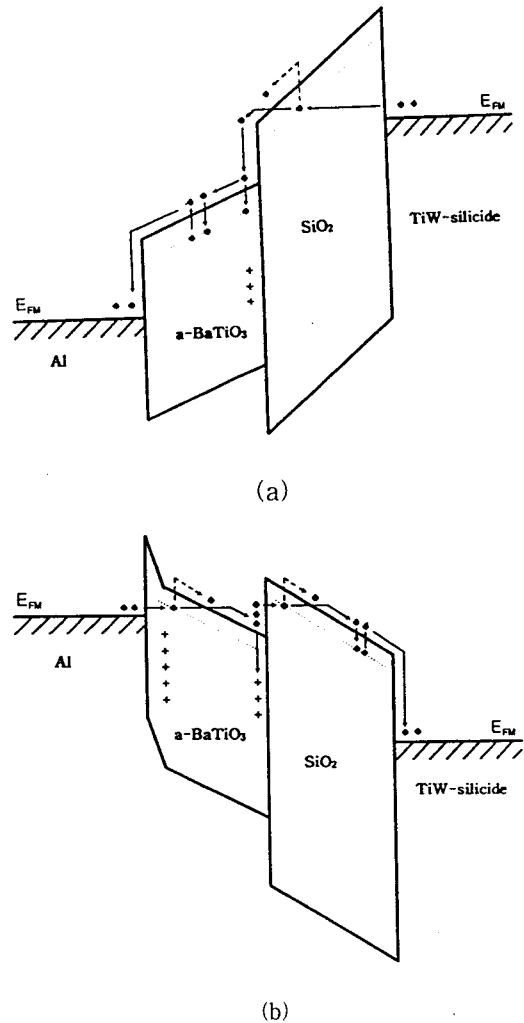


그림 10. Al/BaTiO₃/ SiO₂/TiW-실리사이드의 에너지 밴드 구조

a) TiW-실리사이드에 (-) 극성 b) Al에 (-) 극성

Fig. 10. Energy band diagram of Al/BaTiO₃/ SiO₂/TiW-silicide.

a) negative at TiW-silicide b) negative at Al

그림 a)에 나타난 것처럼 TiW-실리사이드의 전자가 SiO₂내로 주입되면 SiO₂의 전도대 근처에 존재하는 트랩들의 도움을 받아(trap assisted tunneling) SiO₂의 전도대로 옮겨지게 된다. TiW-실리사이드 전극의 페르미 준위(E_{FM}) 근처에서 SiO₂내의 트랩까지 직접 터널된 전자들은 열적 여기 (그림 10에서 경로), 또는 다시 터널링 (그림 10에서 — 경로)되어

SiO₂의 전도대로 옮겨진다^[12]. SiO₂의 전도대를 통해 이동되는 전자들의 일부는 BaTiO₃/SiO₂ 계면에 존재하는 트랩에 의해 포획되지만 대부분 전자들은 BaTiO₃의 전도대를 거쳐 Al 전극에 도달하게 된다. 이와 같은 전도 특성에서 전자의 전도는 대부분 SiO₂의 전도 기구를 따르게 되며 BaTiO₃의 전도는 금속층간 절연물의 전도 기구에 큰 영향을 미치지 않을 것으로 생각된다. 즉, 소자를 통해 흐르는 전류는 대부분이 SiO₂층에 의해 제어된다.

그림 b)와 같이 Al 전극에서 전자가 주입되는 경우 Al과 BaTiO₃의 계면 근처에 존재하는 트랩들로 인해 계면에서 장벽 높이가 낮아져 전자의 유입이 쉽게 이루어진다. 이것은 그림 8의 b) 특성 곡선에서 나타난 많은 누설전류의 원인이 된다. 유입된 전자들은 BaTiO₃와 SiO₂의 계면에서 일부는 트랩에 포획되고 나머지는 SiO₂내의 전도대 근처의 트랩의 도움을 받아 SiO₂의 전도대를 통과해 TiW-실리사이드에 도달하게 된다. BaTiO₃내에 많은 양전하가 포획되어 있어 인가 전장이 BaTiO₃사이에서 많이 소모된다면, SiO₂ 양단의 전장의 세기는 그림 a) 경우에 비해 감소하게 된다. 이러한 원인으로 Al전극에 (-) 전압을 인가하였을 때 절연 파괴 전압이 증가한다고 생각된다.

V. 결론

Al/BaTiO₃/SiO₂/TiW-실리사이드 구조의 새로운 안티퓨즈를 제조하였다. 금속층간 절연물인 BaTiO₃와 SiO₂의 두께가 각각 120Å일 때, 안티퓨즈의 프로그램 전압은 14.4V였으며, on-저항은 4050Ω의 값을 가졌다. 그리고 절연 파괴 강도가 낮은 BaTiO₃의 증착 두께를 조절함으로써 안티퓨즈 프로그램 전압의 정확한 조절이 가능하였다. 안티퓨즈를 구성하는 TiW-실리사이드/SiO₂계면이 Al/BaTiO₃계면 보다 안정된 물성을 나타내기 때문에 TiW-실리사이드에 (-) 전압을 인가하였을 때, 보다 낮은 누설전류와 프로그램 전압을 얻을 수 있었다.

감사의 글

본 연구는 한국과학재단 핵심 전문 연구비 (951-0100-001-2) 지원으로 수행되었으며, 지원에 감사드립니다.

참고 문헌

- [1] G. Zhang, C. Hu, P. Yu, S. Chiang, and E. Handy, "Characteristics voltage of programmed metal-to-metal antifuses," *IEEE Electron Device Lett.*, vol. 15, no.5, pp. 166-168, May, 1994.
- [2] Y. Tamura and H. Shinriki, "Most promising metal-to-metal antifuse based 10nm-thick p-SiNx film for high density and high speed FPGA application," *IEDM tech, Dig.*, pp. 285-288, 1994.
- [3] S. S. Chen and A. M. Soares, "A novel metal-insulator-metal structure for field-programmable devices," *IEEE Trans. Electron, Devices*, vol.40, no. 7, pp. 1277-1282, July, 1993.
- [4] Y. Tamura and H. Shinriki, "Most promising metal-to-metal antifuse based from 10nm thick p-SiN film for high density and high speed FPGA application," *IEEE, IEDM, Tech, Dig.*, pp. 285, 1994.
- [5] G. Zhang, C. Hu, P. Yu, S. Chiang, and E. Hamdy, "Metal-to-Metal Antifuses with Very Thin Silicon Dioxide Films," *IEEE Electron Device Lett.*, vol. 15, no. 8, pp. 310, 1994.
- [6] V. Jain, S. R. Nariani, C. Boardman, D. Chan, K. Y. Chang, K. Gordon, and R. Wong, "Amorphous Silicon Anti-Fuse for High Speed FPGA Application," *IEEE, IEDM, Tech, Dig.*, pp. 111, 1992.
- [7] S. M. Sze, *Physics of semiconductor devices*, 2nd edition, pp. 402-407, John Wiley & Sons, 1981.
- [8] W. Ecclestons and M. Uren, *Insulating films on semiconductor* 1991, pp. 73-82, Adam Hilger, 1991.
- [9] M. Lenzlinger and E. H. Snow, "Fowler-Nordhen tunneling into thermally grown SiO₂," *J. Appl. Phys.*, Vol. 40, No. 1, pp. 278-238, 1969.
- [10] S. Hooland, I. C. Chen, T. P. Ma, and C. Hu, "

- On physical models for gate oxide breakdown
," *IEEE. Electron Device Lett.*, Vol. ED. 2-5,
No. 8, pp. 302-305, 1984
- [11]. M. Shatzkes and M. Av-Ron, " Impact
ionization and positive charge in thin SiO₂ films
," *J. Appl. phys.*, Vol. 47, No. 7, pp. 3192-3202,
1976.
- [12]. D. J. Dimaria and D. W. Dong, "High current
injection into SiO₂ from Si rich SiO₂ films and
experimental applications," *J. Appl. Phys.*, vol.
51, no. 5, pp. 2722-2735, 1980.

著 者 紹 介



이영민

1971년 7월 1일 생. 1996년 2월 경
북대학교 전자공학과 졸업, 1998년
2월 경북대학교 대학원 전자공학
과 졸업(공학석사), 현재 현대전자
(주) System IC 연구소 연구원

이재성

『센서학회지 제1권 제1호』 논문 92-08 p.67 참조
현재 위덕대학교 정보통신공학과 전임강사

이용현

『센서학회지 제1권 제1호』 논문 92-08 p.67 참조
현재 경북대학교 전자·전기공학부 교수