

칩사이즈 실장시대의 전개

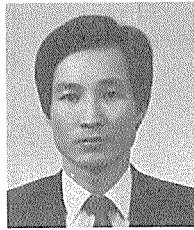
편리하게 휴대할 수 있고 고기능인 제품이 속속 등장함에 따라 휴대용 전자기기가 급속하게 보급되고 있다.

이는 고도의 기능을 가진 각종 전자부품 및 정보통신기술의 발달, 그리고 자칫 간과되기 쉬운 첨단 전자부품실장기술의 혜택에 의한 것이다.

요즈음은 부품 자체의 고기능, 소형화와 더불어 이를 고밀도로 기판에 장착할 수 있는 기술이 발달하여 경량이면서 소형인 기기들을 비교적 쉽게 제조할 수 있게 되었다.

LSI의 실장기술은 눈부신 발전을 이루어 왔다.

인쇄회로기판에 구멍을 내어 핀으로 장착하여 조립하던 삽입실장을 시작으로 하여, 표준화된 패키지 표면에 실장하는 기술이 최근에는 보편화 되어 있으며, 마침내 칩의 크기와 유사하거나 같게 기판에 조립할 수 있는 혁신적인 칩 사이즈 실장기술이 실용화의 초기단계에 접어들고 있다.



손도식 선임연구원
전자부품종합연구소

이에 따라 전자기기의 실장에 필요한 중간과정을 대폭 생략하여 본질적으로 비용, 크기, 특성면에서 우수한 실장기술의 최종단계로까지 발전할 것으로 예측되고 있다.

최근의 히트상품 중 소형, 경량화를 추구하는 휴대기기가 압도적으로 많다는 사실은 이러한 칩사이즈 실장기술이 상품의 경쟁력에 얼마나 결정적인 영향을 주고 있는지를 간접적으로 증명해 준다.

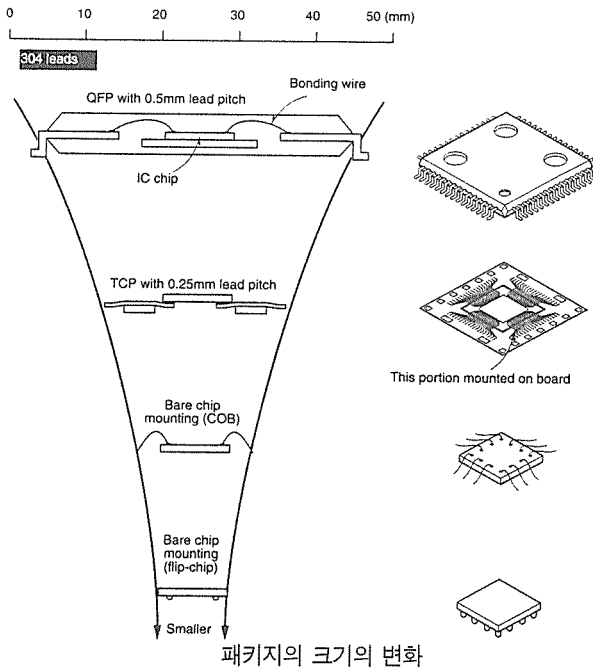
I. 칩 사이즈 실장기술의 특성

전자기기분야의 최대 현안은 소

형, 고성능, 저가의 제품을 만들어 내는 기술을 확보하는 일이다. SMT 이후의 기술로 오래전부터 칩사이즈 실장기술이 주목을 받았지만, 베어칩이 고가인 점, 실장기술의 미확보, 고밀도 배선기판의 고가격 등이 이 기술의 실용화를 지연시키는 요인이 되어 왔다. 최근에는 기술 및 비용 등 공급측면에서의 장애요인의 개선과 성능 대비 비용의 개선을 요구하는 수요측면에서의 환경변화에 따라 칩사이즈 실장기술의 장점들이 분명하게 드러나고 있다.

1. 제품의 소형화

LSI를 CSP(Chip Size Package)나 베어칩 형태로 실장하는 경우 조립된 기판위에서 차지하는 칩 부품의 면적은 물리적으로 실장의 한계인 칩과 같은 크기이거나 칩과 유사한 크기로 줄어든다. 이는 칩을 기판에 평면으로 조립할 때 소형화할 수 있는 한계까지 실장면적을 줄일 수 있는 것으로 궁극적인 실장기술임을 의미한다.



그 결과 외형상으로는 종래의 패키지를 사용할 때보다 1/10~1/14까지 면적이 줄어들어 결과적으로 4~10개의 칩을 집적화한 것과 유사효과를 얻을 수 있다.

또한 제품을 소형화하기 위해 다수부품을 ASIC의 형태로 제작하기도 하지만 이 경우 제작에 3~6개월 정도가 소요된다. 그러나 칩사이즈 실장을 이용한 MCM의 경우는 이보다 단기간에 납품이 가능하다.

실장기술 발달에 따라 기기를 소형화할 수 있는 방법상의 선택 폭 또한 크게 넓어지고 있다.

이제 제품의 제조비용, 크기, 성능, 신뢰성, 개발기간 등의 다양한 판단기준에 따라 시스템전체를 종합적으로 고려하여 어떤 실장방법을 이용할 것인가를 필요에 따라 선택할 수 있게 되었다.

2. 고성능화

소형화됨에 따라 기판내의 주요한 배선의 길이가 종래의 조립기술의 경우보다 대폭적으로 단축되어 전기적 특성이 크게 향상되었다.

또한, 배선길이 단축에 따라 열 전달 경로도 단축할 수 있어 부품에서 발생하는 열처리 문제도 체계적으로 대처 가능함으로써 열특성을 획기적으로 향상시킬 수 있다.

이것은 결국 개별부품의 성능을 최대한 발휘케 하여 시스템 전체의 성능을 향상시키며 새로운 개념의 제품설계로까지 이어진다.

베어칩 마운팅은 고속 또는 고주파신호를 처리하는데 탁월한 기능을 발휘한다.

칩 전극(I/O pad)과 PCB 사이의 간격이 단지 100 μ m 정도에 지

나지 않아 QFP나 TCP실장의 경우보다 저히 작다. 결과적으로 인덕턴스나 저항같은 기생요소가 본질적으로 사라진다.

그리고, 신호의 지연이 크게 줄어들 뿐만 아니라 파형의 왜곡현상 또한 상당부분 제거된다. 이들 모두가 제품의 성능향상과 직결되는 중요한 요소들이다.

요즈음의 전형적인 가전제품을 보면 기본적인 기능면에서는 대부분 획일화되어 있어 어떤 특정 기능으로 소비자의 구매의욕을 고취시킨다는 것이 상당히 어렵다.

회로를 설계하여 시중의 부품을 구입, 조립하여 완성품으로 만드는 것이 세트메이크의 역할이었던 시대에서는 회로설계부분을 통하여 상품을 차별화시키는 것이 가능하였다.

그러나 부품의 칩화 및 SMD 패키지의 보편화에 따라 회로설계 부문에서 상품의 차별성을 만들어 내기가 극히 어려운 요즈음과 같은 시대에는 세트메이커로서는 기술적으로 신규성을 확보할 수 있는 실장기술전략을 채택하여 상품의 신규성, 독자성 등을 확보하는 것이 불가피하게 되었다.

3. 비용절감

실장시 기존의 핀이 달린 패키지에 칩 부품을 베어칩으로 대체함으로써 중간단계의 패키지 및 기판을 생략할 수 있고 공정단계를 대폭 간소화시킴으로써 획기적인 저비용화가 가능해진다.

물론, 고도의 기술이 필요한 칩

사이즈 실장은 아직 실용화의 도입단계로서 기술발전이 진행중인 관계로 전용회로기판의 제작비용, 실장비용, 검사비용, 불량품 재처리비용 등이 추가로 소요되어 종래의 실장비용과 차이가 나지 않아 실질적인 비용절감이 되지 않는 경우도 있다.

경우에 따라서는 종래의 실장방법이 비용면에서 우수하기도 하지만 CSP나 베어칩 등의 저가화와 관련 인프라의 정비에 따라 점차 칩사이즈 실장의 비용면에서의 장점이 부각되는 분야가 확대되고 있다.

II. 요소기술

칩사이즈 실장기술의 수요는 결국 소형화, 저비용화, 고기능화 등의 필요성에서 발생한다.

LSI의 집적화만으로 충분히 수요를 만족할 수 있는 경우는 구태여 이러한 기술을 사용할 필요가 없다.

실제로 LSI의 고집적화는 급속하게 진행되고 원칩화 등으로 소형화와 부품수의 절감이 활발하게 이루어지고 있다.

그러나 LSI의 고집적화만으로 문제를 해결할 수 없는 경우가 대부분이며, 이 때는 고밀도 실장 특히, 칩사이즈 실장이 요구된다. 이 경우 다시, 사용되는 칩이 패키지 되어 있는지 없는지에 따라 CSP 실장과 베어칩 실장 등 2가지 방법이 선택방안으로 등장한다.

칩사이즈 실장에서 CSP 실장과 베어칩 실장 중 어느 것을 선택할 것인가는 다른 부품과 일괄적으로 기판에 실장이 가능한가, 어느 정도까지 많은 수의 핀을 실장할 수 있는가에 따라 결정된다. 현재의 기술수준으로는 일괄장착과 다핀화를 동시에 양립시키는 것이 어렵다.

일괄탑재는 다른 표면실장부품과 같은 단자피치로 범프로 접속하는 것이 가능해야 한다는 것이 전제조건이다.

이에 비해 다핀화는 단자를 협피치로 쉽게 접속할 수 있어야 하는 점이 조건이다.

일반적으로 다른 부품과 함께 일괄탑재가 가능하고 핀수가 200핀 이하인 경우는 CSP실장이 적용되고, 베어칩의 공급이 용이하면서 고밀도가 요구되는 경우는 베어칩 실장이 유리하다. 실제로 베어칩 실장의 경우 2000핀 정도

까지 고밀도실장이 가능하다.

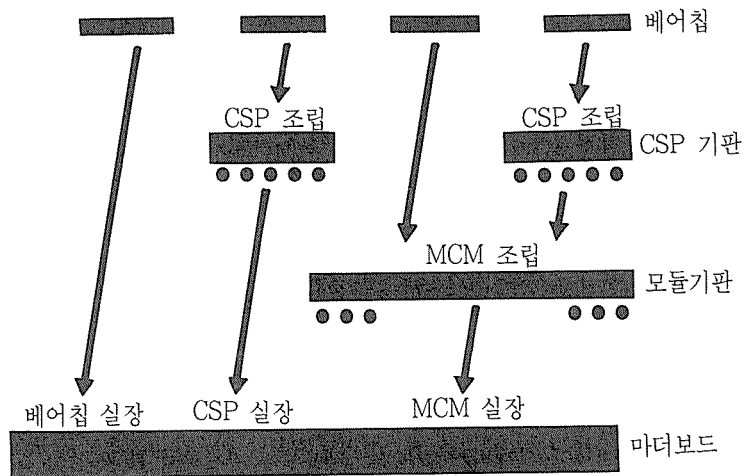
CSP는 마더보드상에 곧바로 실장할 수 있고 모듈기판에 탑재시킬 수도 있는 등 2가지 경우가 가능하며, 베어칩은 마더보드, CSP기판, 모듈 등 3가지 형태로 탑재가 가능하다.

이 두가지 칩사이즈 실장기술을 단순히 비교하기는 어려우며 전형적으로는 CSP는 마더보드상에 베어칩은 모듈 또는 마더보드 위에 실장시킨다.

1. CSP의 요소기술

1) 패키지의 최소화, 단자피치는 0.5mm이하로

CSP 실장된 칩의 실장면적을 보면, 가량 단자피치가 1mm일 경우, 종래의 0.4~0.5mm자피치의 QFP나 0.3mm 피치의 TCP에 비해 소형화 측면에서는 특별히 이



● CSP와 베어칩의 실장 단계

특이 없다.

따라서 다른 접속방법을 이용한 경우보다 실장면적을 줄여 상대적으로 소형화의 장점을 살리기 위해서는 단자피치를 0.5mm이하까지 줄일 필요가 있다.

물론 이 경우 CSP는 동일한 핀수의 종의 패키지보다는 소형화된다. 그러나 베어칩 실장의 경우와 비교하면 아무리 줄더라도 최소한 3배 이상의 크기로 되어 소형화의 측면만을 본다면 본질적인 한계성은 존재한다.

소형화와 관련된 또 하나의 방안으로는 단자피치와 단자배열의 규격화를 통한 표준화를 들 수 있다.

CSP는 칩을 패키지로 한 형태이기 때문에 단자피치와 단자배열을 비교적 자유롭게 설계할 수 있다. 그러나, 베어칩의 경우는 이와 같은 설계상의 자유도는 적으며 미세화 공정으로 이를 해결하고 있다.

CSP의 표준화에 따라 이를 탑재하는 장치와 기판의 사양도 각 메이커들 사이에서 표준화되고 있어 인프라의 비용절감에도 기여하고 있다.

단자피치와 단자배열은 CSP의 크기에 직접적으로 영향을 미치기 때문에 소형화의 이점과 모순되지 않게 이를 처리하는 것이 중요하다.

2) 고수율의 접합기술

종래의 표면실장기술은 단자가

칩의 가장자리에 배열되어 있기 때문에 범프접합시에도 수율은 크게 문제가 되지 않는다.

하지만, CSP 실장의 경우는 단자의 접속부가 패키지의 이면에 감추어져 있기 때문에 육안으로는 볼 수가 없다.

이로 인해 접합이 어렵고 또한 검사과정이 복잡한 등 BGA와 유사한 공정상의 어려움이 CSP에 존재한다.

또 하나의 문제는 CSP 실장시는 고밀도 실장기판이 필요하기 때문에 기판의 비용이 상승한다는 점이다. 기판상에 구멍을 뚫어 배선을 하는 것이 아니라 단자사이로 배선을 만들어야 하므로 신호선의 선폭과 선간격을 줄이는 데 한계가 있다.

이러한 문제를 해결하기 위해서는 고밀도 배선이 가능한 build-up 기판이 필요하며 이러한 기판은 기존 기판에 비해 고비용이 든다. 이는 기판제조공정과정에 미세 배선을 만들기 위한 박막형성, 패턴가공 등이 필요하기 때문이다.

CSP 실장의 경우는 마더보드에 장착하는 것을 전제로 하고 있기 때문에 다른 실장방법에 비해 우위를 가지기 위해서는 고밀도기판의 저가화가 시급하다.

3) 기판과의 접속신뢰성 확보

CSP를 기판에 실장한 후의 사용과정에서의 접속신뢰성의 확보 또한 중요하다.

CSP 실장시 범프를 사용하여

기판에 접속하면 칩과 기판과의 열팽창계수의 차이에 의한 응력이 발생한다. 이것이 제품의 신뢰성에 큰 영향을 줄 수 있다.

특히, CSP는 초소형, 박형의 패키지로 되어 있기 때문에 패키지 자체의 기계적 강도가 약하여 이러한 열사이클 과정에서 접속불량이 발생할 가능성이 있으며 이를 방지하기 위해서는 CSP 구조에 적합한 기판재료의 개발이 필요하다.

2. 베어칩 실장

베어칩 실장을 위해서는 고밀도 실장기술, 실장비용의 최소화, 실장공정의 간소화, 실장면적의 최소화, 다핀·고속화대응 등이 필요하다.

베어칩 실장시의 접속기술로는 COB(Chip On Board)와 Flip-Chip 등이 있으며 이 중 다핀 고속화를 위해서는 플립칩 방법이 유망하다.

1) 고밀도 실장기술

칩을 기판에 실장하기 위해서는 플립칩 혹은 Wire Bonding 기술 등이 필요하다.

현재는 비용면에서 COB가 충분히 경쟁력이 있음이 입증되어 이용되고 있다.

최근에는 그동안 비용문제 때문에 고성능이 요구되는 제한된 분야에서만 플립칩 실장이 사용되었지만 베어칩 및 실장비용의 상대적인 하락으로 점차 폭넓게 채용

되고 있다. 고밀도실장이 가능한 베어칩을 탑재하기 위해서는 미세화 패터닝기술이 필수적이다. 이를 위해서는 박막공정이 이용되는데 필연적으로 비용상승이 뒤따르게 되므로 성능 대비 비용효과가 반드시 고려되어야 한다. 또한 고밀도실장을 위한 배선설계기술을 포함한 설계기술의 품질향상도 중요하다. 이를 위해 전기, 열, 응력 등에 대한 시뮬레이션을 이용한 설계품질 향상을 위한 기법들도 고밀도화에 필요한 요소들이다.

2) 베어칩 검사비용의 절감

베어칩 실장비용은 베어칩의 검사비용을 줄임으로써 대폭 절감할 수 있다. 베어칩은 패키징 과정이 필요없기 때문에 확실히 그만큼 칩의 제조비용이 줄어든다.

그러나 문제가 되는 것은 칩의 검사비용이다. 베어칩의 형태로 검사하기 위해서는 전용 캐리어를 이용하여야 하며, 클린룸내에서

패키지된 칩보다 여러 가지 복잡한 단자접속 및 취급과정이 필요하게 된다.

이는 곧 비용상승으로 연결되어 베어칩 실장의 보급에 큰 장애요인으로 작용하고 있다. 실제로 현재의 상황은 베어칩의 가격이 패키징한 칩부품과 비슷하거나 오히려 높은 상태로 검사비용의 절감이 중요한 현안으로 되어있다.

결국 일반적인 소형 칩회로부품과 유사하게 LSI 칩부품 제조기술의 고도화를 통하여 신뢰성을 향상시켜 무검사로 이용하는 것이 최종 목표가 될 것이다. 즉 불량률이 전혀 없는 베어칩을 이용하는 것이 가장 이상적이다. 그러나 결정적인 고려요소인 비용 때문에 누구나 KGD를 쉽게 이용할 수는 없다.

이에 따라 칩사이즈 부품들을 이용하는 MCM이나 마더보드 등의 불량률은 이들 칩부품들의 불량률이 더해져서 나타나기 때문에 결국 보드의 크기를 제한하는 요

인으로 작용하고 있다. 이 모든 것들이 비용문제와 직결되어 있다.

3) 플립칩 공정이 확립

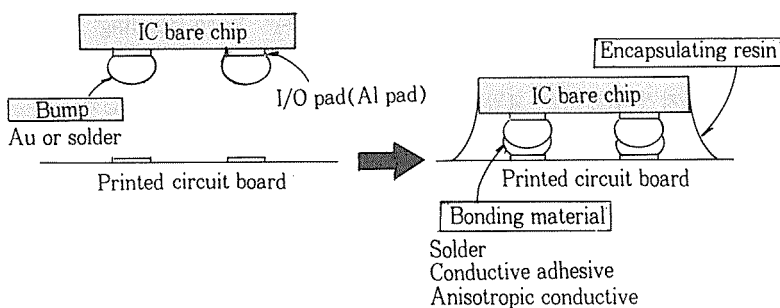
플립칩 실장은 베어칩 실장시 실장면적을 최소화시킬 수 있는 공정이다. 베어칩 실장에 이용되는 COB는 단자선이 전극으로부터 연결되어 나와 외부 기판에 접속되기 때문에 실장면적이 그만큼 커진다.

이에 비해 플립칩은 칩 이면에 범프단자를 형성하여 장착하기 때문에 칩실장면적을 최소화시킬 수 있다.

또한 다핀, 고속화의 측면에서도 플립칩이 단연 유리하다.

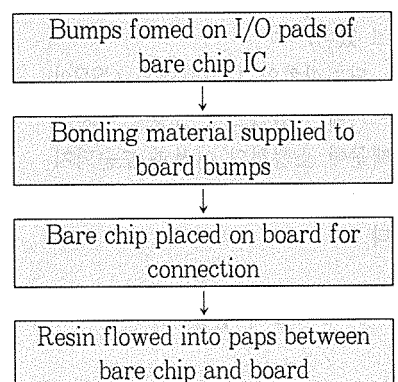
범프로 단자를 만들기 때문에 배선이 줄어들어 인덕턴스를 낮춤으로써 고속화에 단연 유리하다. 물론 고속 대응 측면만 본다면 CSP의 배선설계를 연구함으로써 접음대책을 강구하여 고속화시키

(a) Flip-chip mounting method



플립칩 실장공정

(b) Mounting process flow



는 것도 대안이 될 수 있다.

플립칩공장과 관련된 과제 또한 산재해 있다. 그 가운데 충격을 흡수시킬 수 있는 리드가 없다는 점이 가장 큰 과제이다.

플립칩 마운팅의 첫번째 문제는 PCB의 열팽창계수가 반도체칩보다 훨씬 크다는 것이다. 반도체칩(실리콘)의 열팽창계수는 3.5ppm/°C, 반면에 PCB의 경우는 15~30ppm/°C로 약 5배더 크다.

이 때문에 제조과정이나 외부의 온도영향에 따라 결합이 상당한 영향을 받기 쉽다. SMD의 경우는 리드와 뿔납의 연성으로 칩과 보드 사이에서 발생한 응력을 흡수하여 유연하게 변형된다.

그런데 플립칩 마운팅에서는 충격을 흡수하는 리드가 없어 충격을 흡수할 다른 수단이 요구된다. 충격이 흡수되지 않으면 결합부위에 틈이 발생하여 점차 커지며, 이는 전기적으로 단선을 일으키거나 접촉의 신뢰도를 떨어뜨린다.

두번째 문제는 PCB가 쉽게 변형된다는 것이다. 제조과정 또는 수송과정에서의 요인 때문에 기판은 휘거나 굴곡이 생긴다. 심지어는 칩이 장착된 10mm²내에서 20~30μm 정도의 높이편차가 발생할 수도 있다.

플립칩 마운팅에는 열처리 과정이 요구되며 이로 인해 보드는 더욱 변형되는데 높이편차가 10μm 이내가 되도록 보드 뒤틀림을 흡수하기 위한 방안이 필요하다.

무엇으로 SMD 리드와 패키지의 모든 기능을 충족할 수 있을

것인가?

이것이 플립칩 마운팅에서의 핵심기술이다. 일반적으로 플립칩 마운팅에서는 범프, 접합재료, 그리고 봉지수지 등이 이용되며 모두 열에 의한 변형을 흡수하는 역할을 한다.

그것들은 또한 PCB변형과 수증기로 부터 칩을 보호하여 접합신뢰성을 보장하는데 도움이 된다.

금(Au)과 뿔납은 가장 흔한 범프재료로서 대부분의 장치제조업자들은 금을 더 선호하는 경향이 있다. 뿔납은 부드러우며 칩과 보드 사이의 열팽창계수의 차이를 극복할 수 있는 이점이 있으나 가장 문제가 되는 것은 도금과 기포침전 같은 방법을 이용한 범프형성이 어렵다는 것인데, 그것은 이러한 공정들이 웨이퍼 상태에서 행해지기 때문이며, 이로 인해 필요한 장비의 투자비를 가중시킨다.

반면, 금범프는 단지 부분적으로 장비를 개조함으로써 웨이퍼

공정장비보다 비용이 싼 와이어 접합시스템으로도 만들 수 있다. 또한 이것은 광범위한 IC 분야에 걸쳐 쉽게 이용될 수 있어 대부분의 기기제조업자들이 금범프로 전환을 하고 있는 이유이다.

금 범프를 하려면 거기에 적합한 접합재료가 필요한데 뿔납, 전도성 접착제, 이방성 전도필름 등이 이용되고 있다.

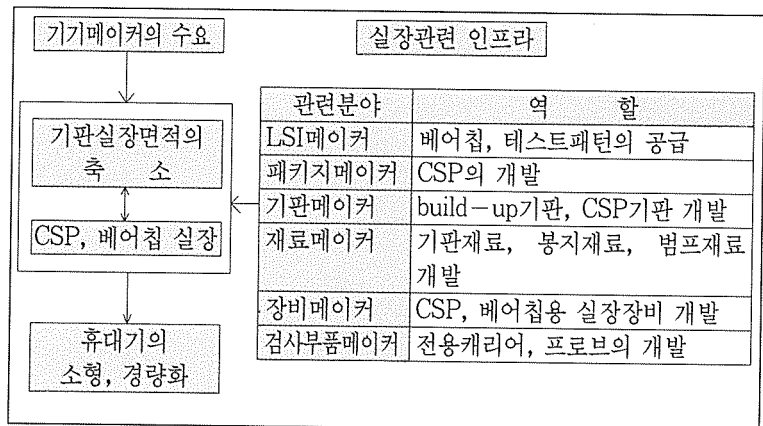
이외에도 베어칩에 범프를 형성하여 기판에 장착한 후 봉지재료로 이를 봉합하는 공정 등을 간소화시킴으로써 실장비용의 절감이 가능해 진다.

이와 같은 플립칩 공정상의 문제들을 해결함으로써 베어칩을 이용한 칩사이즈 실장의 장점을 최대한으로 활용할 수 있을 것이다.

III 칩사이즈 실장을 위한 인프라

칩사이즈 실장은 고도의 제조기

칩 사이즈 실장관련 인프라



슬이기 때문에 이와 관련된 기반 산업 분야도 기판, 재료, 장치, 주변부품 등 다양하고 광범위하다.

특히 고밀도, 고신뢰성을 위해서는 build-up 기판과는 새로운 기판이 개발되어야 하며 더불어 실용화를 위해서는 저가격화라는 어려운 요구를 양립시켜야 한다.

베어칩 실장의 경우 특히 신뢰성의 문제는 결정적인 요소이므로 접속시의 기판과 배선재와의 접속 강도를 높이기 위한 재료와 공정 개발이 아주 중요하며 현재 활발히 진행되고 있다.

칩과 기판의 접속시의 접속신뢰성 향상과 열사이클을 겪음으로써 발생하는 열팽창과 수축과정에서 발생하는 응력을 완화시키기 위해 기판자체 및 봉지수지재료 등의 개발도 활발하다. 봉지수지는 재료의 기능적 특성 뿐만 아니라 봉지재료의 주입의 용이성 및 경화시간의 단축 등 공정재료의 특성 면에서도 중요한 재료이다.

장비분야에서도 활발한 신제품들이 개발되고 있다. 칩사이즈 실장의 중요한 특성인 헵피치, 고밀

도 등에 의하여 그만큼 검사 및 제조장비의 고정밀도 및 특수기능 등이 요구되고 있다.

칩을 접속, 탑재하기 위한 장비의 높은 위치정밀도, 베어칩의 기계적 강도가 약하기 때문에 발생하는 위험을 방지하기 위한 운반, 처리장비 및 공정의 연구, 접속부위의 외관검사 불가능에 의한 X선 및 초음파 검사 등의 새로운 검사장비의 개발 등이 이루어지고 있다.

주변부품으로는 베어칩 전용의 캐리어 개발도 아주 중요한데 이는 해결하기 어려운 분야로 다방면에서 연구개발이 진행되고 있다.

인프라와 관련된 관심사항 중 베어칩의 중요한 과제인 소위 KGD(Known Good Die)의 유기반구축이 칩사이즈 실장의 실용화에 결정적인 요인으로 작용할 가능성이 크다.

베어칩은 확실히 패키지를 하지 않기 때문에 조립비용은 절감할 수 있지만, 패키지 되지 않은 그것 때문에 또한 양품을 검사하는

데 큰 어려움이 있다. 이것은 아주 복잡하고 어려운 문제로 현재는 사용 용도, 목적 등 다양한 기준에 따라 베어칩 공정 중 어느 단계에서 어떤 방식(전수 또는 선별 등)으로 검사할 것인가를 보통 4부류로 나누며, 이는 비용 등과 직결되어 있어 아직 명확히 정립되어 있지 않은 상태이다. 베어칩 제조기술을 다른 일반 부품과 같은 수준으로 높여 수요자인 기기 메이커가 무검사로 이용할 수 있도록 하는 유통인프라의 구축이 이 분야의 발전을 위해 아주 긴요하다.

칩사이즈 실장기술은 특정분야에 국한된 기술이 아니라 전자기 및 시스템의 기반기술로서 그 효과가 제품에 내재되어 있기 때문에 자칫 소홀히 다루기 쉬운 분야로서, 이미 언급하였듯이 광범위한 인프라와 연관되어 있는 전자기기의 차별화를 위한 중핵분야로서 전자산업전반에 걸쳐 활발한 대응이 있어야 하겠다.