

기생저항 및 트랜지스터 비대칭이 고저항 SRAM 셀의 읽기동작에 미치는 영향

Influence of Parasitic Resistances and Transistor Asymmetries on Read Operation of High-Resistor SRAM Cells

崔 鎭 榮*, 崔 元 相*

(Jin-Young Choi and Won-Sang Choi)

요 약

회로 시뮬레이터를 이용하는 DC 셀 노드전압 분석방법을 적용하여, 고저항 SRAM 셀 구조에서 기생저항들과 트랜지스터 비대칭에 의해 야기되는 정적 읽기동작에서의 동작마진을 조사하였다. 이상적인 셀에 기생저항을 선택적으로 추가함으로써 각 기생저항들이 동작 마진에 끼치는 영향을 조사한 뒤, 기생저항이 좌우대칭 쌍으로 존재하는 경우에 대해 조사하고, 또한 셀 트랜지스터의 채널폭을 선택적으로 변화시켜 트랜지스터의 비대칭을 야기시킴으로써 트랜지스터 비대칭에 의한 동작 마진의 저하를 분석하였다. 분석 방법은 시뮬레이션된 셀 노드전압 특성에 서 두 셀 노드전압이 하나의 값으로 수렴되는 전원전압의 값과 $V_{DD}=5V$ 에서 셀 노드전압의 차를 비교함으로써 상대적인 동작 마진을 비교하는 방법을 사용하였다. 회로 시뮬레이션에 의존한 본 분석으로부터 셀의 정적 읽기동작에 가장 심각한 영향을 끼치는 기생저항 성분과 트랜지스터의 비대칭 형태를 규명함으로써 새로운 셀 구조 설계시 참고할 수 있는 기준을 제시하였다.

Abstract

By utilizing the technique to monitor the DC cell node voltages through circuit simulation, degradation of the static read operating margin in high load-resistor SRAM cell was examined, which is caused by parasitic resistances and transistor asymmetries in this cell structure. By selectively adding the parasitic resistances to an ideal cell, the influence of each parasitic resistance on the operating margin was examined, and then the cases with parasitic resistances in pairs were also examined. By selectively changing the channel width of cell transistors to generate cell asymmetry, the influence of cell asymmetry on the operating margin was also examined. Analyses on the operating margins were performed by comparing the supply voltage values at which two cell node voltages merge to a single value and the differences of cell node voltages at $V_{DD}=5V$ in the simulated node voltage characteristics. By determining the parasitic resistances and the transistor asymmetries which give the most serious effect on the static read-operation of SRAM cell from this analysis based on circuit simulation, a criteria was provided, which can be referred in the design of new SRAM cell structures. Keyword: SRAM, Asymmetry, Cell ratio, Read operation, Noise margin

* 弘益大學校 電氣工學科

(Dept. of Electrical Engineering, Hongik Univ.)

※이 논문은 1996년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

接受日:1997年7月3日, 修正完了日:1997年10月6日

I. 서 론

Static Random Access Memory(SRAM)는 Dynamic RAM(DRAM)과 달리 리프래시가 필요없으며, 전력소모

가 매우 적고 초고속 동작이 가능하다는 장점이 있어 중요한 메모리 소자로 사용되고 있다. CMOS 기술을 이용하는 SRAM 셀(cell)은 집적도 증가의 요구에 따라 CMOS 구조의 6-트랜지스터 셀 구조^[1]에서 폴리실리콘 고부하 저항을 사용하는 4-트랜지스터 셀 구조^[2,3]로 변화해 왔다. 6-트랜지스터 CMOS 셀 구조는 p 웰(well)과 n 웰을 동시에 필요로 하여 소요면적이 크다는 단점이 있어 칩의 고집적화에 따라 그 사용 비중을 잃어왔고, 현재는 4 트랜지스터로 구성되는 셀이 대부분의 SRAM 셀로서 사용되고 있다.

SRAM의 고집적화, 고속화 및 전원전압의 저전압화에 따라 충분한 동작 마진을 갖는 새로운 메모리 셀의 지속적인 개발이 요구되고 있다. SRAM 제품의 성공을 좌우하는 요소의 하나는 얼마나 높은 집적도를 갖느냐에 있으며, 이는 셀 자체의 크기를 얼마나 작게 설계할 수 있는가에 달려 있다. 셀 크기는 요구되는 셀 트랜지스터의 크기 비(셀 비율)에 직접적으로 좌우되므로 셀 비율에 관한 분석은 매우 중요하다고 할 수 있다. 이러한 셀 비율의 분석에 관하여 많은 연구가 있었으며, 대표적인 발표로는 DC 특성을 나타내는 정적 잡음 마진(SNM) 분석^[4]과 AC 분석^[5]이 있었다. SNM 분석은 AC 분석 방법에 비해 간편하므로 시뮬레이션이나 측정에 의해 셀의 정적 읽기동작의 상대적인 안정성을 조사함으로써 셀의 동적 읽기동작의 안정성을 예측할 수 있는 방법으로 유용하게 사용되고 있으나, 셀의 정적 읽기동작의 한계를 조사할 수 있는 보다 효율적 방법으로서 셀 노드전압 분석방법^[6]이 제안되었다. 셀 노드전압 분석방법은 SNM 분석방법과 마찬가지로 DC 분석방법이므로 셀의 근원적인 동작한계에 대한 정보를 제공하며 셀들의 상대적인 동작마진 비교에 적합하다. 이 방법은 SNM 분석 방법에 비해 적은 회수의 회로 시뮬레이션이나 측정을 통해 셀 데이터 읽기동작의 저전압 한계를 분석하는 방법을 제공하며 동시에 동일한 시뮬레이션 결과로부터 여러 가지 셀 구조의 개략적인 SNM의 값을 비교할 수 있게 한다는 장점이 있다.

고집적도를 요구하는 메모리 칩에서는 셀의 지속적인 소형화 요구에 따라 셀 구조에 사용되는 접점의 종류는 다양해지고 그 크기는 계속 작아져 이에 따른 기생저항의 증가는 셀의 동작 마진을 크게 위협하고 있다. 또한 최대한 작은 공간에 셀을 배열하는 과정에서 발생하는 셀 트랜지스터의 크기 차이에 의한 셀의 비대칭성도 이러한 문제를 악화시키고 있다. 셀의 비대칭성에 의한 동

작마진의 저하에 관한 연구는 계속되어 왔으나^[5,7,8,9] 정적 동작마진에 관한 가장 최근의 연구 발표^[9]에도 기생저항이나 트랜지스터 크기의 비대칭성으로 인해 발생하는 정적 동작마진 저하에 관한 분석은 종합적이지 못한 것으로 생각된다. 본 논문에서는 미소 크기의 고저항 SRAM 셀에서 나타나는 트랜지스터 크기의 비대칭과, 접점의 크기 감소에 따른 기생저항의 증가가 셀의 데이터 읽기동작에 미치는 영향을 앞서 언급한 셀 노드전압 분석방법을 이용하여 종합적으로 분석하여 셀의 정적 읽기동작 마진에 가장 큰 위협이 되는 성분을 규명함으로써 셀의 설계 및 공정 과정에서 유의해야 할 사항들에 대해 논의한다.

II. 본 론

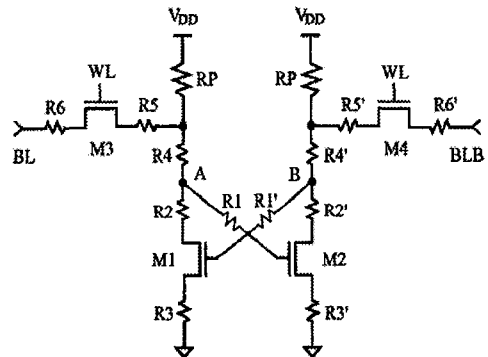


그림 1. 기생저항 성분들을 포함한 4-트랜지스터 SRAM 셀의 회로도.

Fig. 1. Circuit diagram of a 4-transistor SRAM cell including parasitic resistances.

그림 1은 셀 내에 존재할 수 있는 모든 기생 저항들을 포함한 4-트랜지스터 셀의 회로도이다. 이러한 기생저항들은 셀의 읽기동작시 셀 노드전압에 영향을 끼쳐 동작 마진을 향상시킬 수도 있고 혹은 저하시킬 수도 있다. 4-트랜지스터 셀은 기본적으로 4개의 증가형 NMOS 트랜지스터와 2개의 폴리실리콘 고부하 저항으로 구성되며, 4개의 트랜지스터는 2개의 Pull-down 트랜지스터(M1, M2)와 2개의 Pass 트랜지스터(M3, M4)가 풀립플롭 형태로 연결된다. 셀에 올바르게 데이터를 쓰고 읽기 위해서는 Pull-down 트랜지스터의 콘덕턴스가 Pass 트

랜지스터의 콘덕턴스보다 기준치 이상 커야한다는 제약이 있다. 이러한 제약은 읽기시의 제약이 보다 문제가 되며^[4], 셀 트랜지스터의 크기비가 작아 콘덕턴스의 비가 충분히 크지 못하면 읽기시 셀에 저장되어 있던 데이터가 플립되어 오동작을 야기하게 된다.

우선 그림 1에서 셀에 존재하는 기생저항 성분들을 무시하고 셀 트랜지스터도 완전한 좌우 대칭성을 가진 것으로 가정된 상태에서 노드 A에 'High', 노드 B에 'Low' 데이터가 저장되어 있는 경우의 읽기 상황을 고려해 보자. 대기 상황에서는 워드라인 전압 V_{WL} 이 0V가 되어 M3, M4가 오프 되고 V_A 는 공급전원의 크기인 V_{DD} 에 가 있고 V_B 는 0V를 유지한다. 읽기동작시 워드라인이 선택되어 V_{WL} 이 V_{DD} 로 올라가면 M3, M4가 온 상태가 된다. 이 경우 V_{BL} 및 V_{BLB} 는 PMOS Precharge 트랜지스터 사용시 V_{DD} 에 가까운 값을 가지며 그림에서 온 상태에 있는 M4, M2를 통해 읽기 전류가 흐르게 되고 트랜지스터 M4, M2의 콘덕턴스 비에 의해 V_B 는 증가하게 된다. V_B 의 증가는 M1에 Subthreshold 전류의 흐름을 야기하며, M3을 통해 이 전류가 흐르면서 V_A 는 감소한다. 정상적인 정적 읽기동작시 V_A 는 M2의 문턱전압(V_{T2})보다 커서 M2, M4를 통해 충분한 읽기 전류가 흐르고, V_B 는 M1의 문턱전압(V_{T1})보다는 작아 M1, M3에는 무시할 정도의 전류만이 흘러야 한다. 이 경우 M1, M3은 Subthreshold 영역에서, M4는 포화영역에서 동작하게 되며 M2만이 선형영역에서 동작한다. 그러나 M4, M2의 크기 비가 작아 콘덕턴스 비가 충분하지 않을 경우 V_B 의 증가가 과다하여 M2도 포화영역에서 동작하게 되면, 포화영역에서의 교류 드레인 저항($\Delta V/\Delta I$)은 매우 크므로 M2를 통해 흐르는 전류가 조금만 변화해도 V_B 는 쉽게 증가할 수 있다. 이 경우 V_A 와 V_B 는 같은 값으로 수렴하여 셀의 High 또는 Low 데이터를 잃게 되고 셀의 플립이 야기될 수 있다. 이러한 셀의 플립을 억제하기 위해서는 전원전압 V_{DD} 가 감소함에 따라 보다 높은 콘덕턴스의 비가 요구되어 셀이 차지하는 면적이 증가하게 된다^[6].

이러한 읽기동작을 참고문헌 [6]에서 제시한 시뮬레이션 방법을 이용하여 각각의 기생저항과 트랜지스터의 비대칭에 의한 효과를 조사해 본다. 시뮬레이션은 우선 그림 1에 나타난 기생 저항들을 0으로 하고 트랜지스터가 완전한 대칭을 이루는 것으로 가정하여 시행하고(이 경우를 이상적 셀이라고 정의하자.) 각각의 기생저항과 트랜지스터 비대칭을 이상적 셀에 추가하였을 경우의 결과와 비교, 분석함으로써 기생저항 또는 트랜지스터의 비대칭이 셀의 정적 읽기 동작에 미치는 영향을 분석해 본다. 사용된 회로 시뮬레이터는

HSPICE와 동급의 SPICE 상용본인 SmartSpice^[10]이고 MOSFET 모델은 레벨 13 BSIM 모델^[10]을 선택하였다. 모델 파라미터는 MOSIS 파라미터^[11]를 사용하였으며, Subthreshold 기울기 인자 $N_0=1.5$ 로 하여 MOSIS 파라미터에 고려되지 않은 Subthreshold 모델을 추가하였다. 상온에서 시뮬레이션된 이상적 트랜지스터의 문턱전압은 0.75V였다.

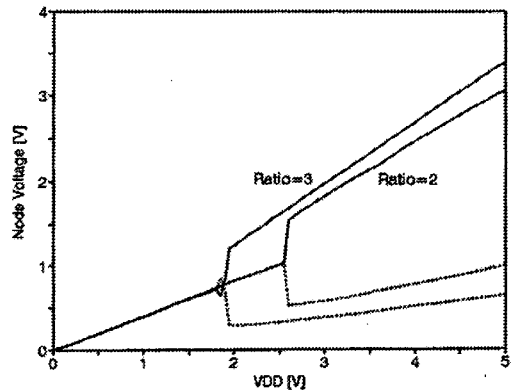


그림 2. 이상적 셀 경우 역방향 V_{DD} 소인에 따른 DC 노드전압 특성(실선은 High 노드전압, 점선은 Low 노드전압)

Fig. 2. DC node-voltage characteristics of an ideal cell with reverse V_{DD} sweep (solid line for high-node voltage and dotted line for low-node voltage).

그림 2는 참고문헌 [6]에서 제시한 셀 노드전압 분석방법을 이용하여 이상적 셀의 정적 읽기동작을 시뮬레이션한 경우의 셀 노드전압 특성이다. 이는 그림 1의 회로에서 비트라인과 워드라인 전압을 V_{DD} 로 하고, A 노드에 전원 전압 V_{DD} , B 노드에 0을 초기 예상치로 주고 V_{DD} 를 5V에서 0V까지 소인하면서 셀 노드 DC 전압 V_A , V_B 를 시뮬레이션한 결과이다. 그림의 실선은 A 노드의 전압 V_A 이고 점선은 B 노드의 전압 V_B 이다. 폴리실리콘 고저항의 값은 $10^{12}\Omega$ 을 가정하였고 Pull-down 트랜지스터 크기는 $W/L=20\mu\text{m}/10\mu\text{m}$, Pass 트랜지스터 크기는 $W/L=10\mu\text{m}/10\mu\text{m}$ 로 셀 트랜지스터의 크기비인 셀비율이 2인 경우(Ratio=2)와 Pull-down 트랜지스터 크기가 $W/L=30\mu\text{m}/10\mu\text{m}$ 로 셀비율이 3인 경우(Ratio=3)를 함께 도시하였다. 사용된 W와 L 값은 이상적 트랜지스터에 해당되는 충분히 큰 값이다. 근래의 실제 SRAM 설계에서 사용되는 수준으로 채널길이나

채널폭을 줄일 경우 MOSIS 파라미터를 사용한 본 시뮬레이션에서는 해석의 수렴에 문제가 발생하여 트랜지스터의 규모가 큰 경우를 선택하였다. 하지만 본 논문의 분석 내용은 각각의 기생저항 성분이나 셀 트랜지스터 비대칭성에 의한 셀의 상대적 마진 감소를 비교하는 것이기 때문에 분석 결과는 미소 크기의 셀 설계에도 적용될 수 있을 것으로 판단된다.

그림 2에서는 V_{DD} 가 감소하면서 셀 노드전압의 차가 감소하다가 같은 값으로 수렴하는 것을 볼 수 있다. 참고문헌 [6]에서 설명된 바와 같이 V_{DD} 가 작을 경우 정상적인 읽기 동작을 위해서는 보다 큰 셀비율이 요구되므로 셀비율이 작은 경우(Ratio=2)에 두 노드전압이 수렴되는 V_{DD} 의 값이 상대적으로 크을 알 수 있다. 이러한 결과는 실제 경우에서도 셀비율이 충분치 못할 경우 셀 노드전압이 한 점으로 수렴하면서 데이터의 플립이 야기될 수 있음을 의미한다. 노드전압이 수렴하는 V_{DD} 값은 해당 셀이 동작가능한 최저 전원전압의 값이며, 동시에 이때의 셀비율이 해당 V_{DD} 에서 사용 가능한 최소 셀비율이 된다^[6]. 또한 주어진 V_{DD} 에서는 두 셀 노드전압의 차이가 클수록 셀의 잡음 마진이 크다는 것은 쉽게 추론할 수 있다. SPICE DC 시뮬레이션에서는 바로 전 바이어스 점의 해를 초기 예상치로 하여 다음 해를 구하므로 그림 2의 시뮬레이션 결과는 실제 측정시의 상황과 유사하다는 점을 주목하자.

셀의 레이아웃이나 공정 방법에 따라 셀에는 그림 1에 도시한 각종 기생저항이 추가될 수 있고 셀 트랜지스터의 크기도 완전한 좌우대칭이 이루어지지 못한다. 이들에 의한 영향을 분석하기 위해 우선 이상적 셀에 그림 1에 표시한 각각의 기생저항을 연결함으로써 각각의 기생저항이 동작 마진에 미치는 독립적인 영향을 조사한 뒤, 기생저항이 좌우대칭의 쌍으로 추가되는 경우를 조사해 본다. 그 다음에는 4개의 셀 트랜지스터의 채널폭을 변화시킴으로써 셀에 비대칭을 야기시켜 트랜지스터의 비대칭이 동작 마진에 미치는 영향을 조사해 본다. 각 성분들의 영향을 조사하는 기준으로는 그림 2의 셀 노드전압이 합쳐지는 VDD의 최저 값 V_{min} 이 낮을수록, 또한 $V_{DD}=5V$ 에서의 두 노드전압의 차 $\Delta V=|V_A-V_B|$ 가 클수록 동작 마진이 우월한 것으로 판단하였다. 그림 2의 시뮬레이션 결과는 노드 A와 B의 초기 예상 전압을 서로 바꾸어도 High와 Low 노드가 바뀌는 것 외에는 노드전압 특성에 변화가 없다. 하지만 기생저항이나 트랜지스터의 비대칭이 존재하면 셀은 노드전압의 초기 상태('1/0' 또는 '0/1')에 따라 동작 마진이 다르게 나타나

므로 두 경우의 초기상태에 따른 시뮬레이션 결과 중 보다 열악한 경우의 데이터에 의해 동작 마진을 결정하였다. 본 분석에서는 동작 마진 설명시의 혼란을 피하기 위해 그림 1의 노드 A에 '1', 노드 B에 '0'의 초기 전압이 저장된 상태를 'High' 상태라 정의하고 그 반대 경우를 'Low' 상태라 정의한다.

셀비율이 2인 셀에 각각의 기생저항 성분을 추가하였을 경우 그림 2와 같은 시뮬레이션을 시행하여 셀 읽기 동작의 V_{min} 과 $V_{DD}=5V$ 에서의 노드전압 차 ΔV 를 산출하여 표 1과 표 2에 정리하였다. 표 1은 1개의 500Ω 기생저항 성분이 추가되었을 경우의 데이터이고, 표 2는 500Ω의 기생저항 성분이 좌우대칭의 쌍으로 추가되었을 경우의 데이터이다.

표 1. 1개의 500Ω 기생저항이 연결된 경우의 동작마진

Table 1. Operating margin of cells with a 500Ω parasitic resistor.

연결된 기생저항	$V_{min}(V)$	$\Delta V(V)$
R1	2.55	2.065
R2	2.45	1.893
R3	2.70	1.663
R4	2.55	2.060
R5	2.55	2.060
R6	2.55	2.066

표 2. 500Ω의 기생저항 성분이 쌍으로 연결되었을 경우의 동작 마진

Table 2. Operating margin of cells with 500Ω parasitic resistors in pairs.

연결된 기생저항	$V_{min}(V)$	$\Delta V(V)$
R1, R1'	2.55	2.065
R2, R2'	2.45	1.890
R3, R3'	2.70	1.689
R4, R4'	2.35	2.263
R5, R5'	2.35	2.263
R6, R6'	2.45	2.069

표 1의 결과를 이상적 셀의 결과와 비교해 본다. 이상적인 셀에 R1 추가시의 V_{min} 과 ΔV 는 각각 2.55V와

2.065V로 그림 2에서 셀비율이 2인 경우 산출된 V_{min} 과 ΔV 값과 동일하다. 이는 R1을 통하여 흐르는 DC 전류가 0이므로 정적 읽기 동작에 관한 본 분석에서는 당연한 결과이다. 나머지 경우의 결과를 비교해 보면 이상적 셀에 R3을 추가할 경우 V_{min} 이 가장 높고 ΔV 가 가장 작아, 최저 동작 전압이 가장 높고 노드간 전압차가 가장 작아 동작 마진이 가장 열악한 경우임을 알 수 있다(이는 'Low' 데이터를 읽는 경우임). R3을 연결한 경우 같은 쪽에 위치한 Pass 트랜지스터 M3의 기판 노드와 Pull-down 트랜지스터 M1의 기판 및 소스 노드는 '추가'의 저항을 연결하지 않고 같은 노드에 연결되어 있는 것으로 가정하였다. 이러한 연결은 셀의 레이아웃에 따라 다소 변화할 수 있으나 이러한 접지노드 연결에 다소 변화를 줄 경우 동작 마진이 보다 저하됨을 별도의 시뮬레이션에서 확인하였다.

표 1에서 다음으로 나쁜 영향을 끼치는 기생저항은 드레인에 연결되는 R2이며 $V_{min}=2.45V$, $\Delta V=1.893V$ 로 최소 동작 전압은 향상되나 노드전압 차가 감소하여 잡음 마진이 저하됨을 알 수 있다('Low' 데이터를 읽는 경우임). 그림 1에서 R3이나 R2가 연결된 상태에서 'Low' 데이터를 읽는 경우, 읽기 전류가 R3이나 R2를 통해 흐르면서 이상적인 셀 경우에 비해 노드 A의 전압이 상승되므로 'Low' 데이터를 읽는 경우의 마진이 감소할 것이라는 점은 예측이 가능하다. 이상적 셀에 R4나 R5를 추가할 경우 V_{min} 값에는 거의 변화가 없으며 ΔV 는 다소 감소하는 추세를 보이나 그 변화는 미약하다고 할 수 있다. R6의 경우에는 V_{min} 값에는 변화가 없으나 ΔV 는 오히려 다소 증가하는 경향을 보인다. 이는 셀 면적의 최소화가 요구되는 셀 구조 설계에서 다른 접점의 기생저항 성분들의 값이 증가하더라도 R3과 R2의 증가를 억제하면 셀의 동작 마진의 저하를 최소화할 수 있다는 것을 의미하므로 셀 레이아웃시 중요한 기준이 된다고 할 수 있다.

표 1에서 기생저항 성분을 추가하여 동작 마진이 나빠지는 경우, 반대 데이터를 읽는 경우의 동작 마진은 변화가 없거나 오히려 향상되는 것을 시뮬레이션에서 확인할 수 있었다. 참고로 R3을 연결하고 High 데이터를 읽는 경우 V_{min} 과 ΔV 는 각각 2.45V와 2.075V로 모두 향상되었고, R2를 연결하고 High 데이터를 읽는 경우 V_{min} 과 ΔV 는 각각 2.55V와 2.065V로 거의 변화가 없었다.

다음은 기생저항을 좌우대칭 쌍으로 추가한 경우인

표 2의 결과를 검토해 본다. 표 1의 경우와 마찬가지로 R1과 R1'의 추가는 아무런 변화를 야기하지 않는다. 나머지 경우의 결과를 비교해 보면 R3, R3'를 추가할 경우 V_{min} 이 가장 높고 ΔV 가 가장 작아, 표 1의 경우와 마찬가지로 동작 마진이 가장 열악하나 표1에 비해 ΔV 는 다소 개선됨을 알 수 있다. 다음으로 나쁜 영향을 끼치는 경우는 R2, R2' 추가 경우로서 1개의 저항만을 추가하였을 경우와 거의 동일한 수준으로 동작 마진이 저하됨을 알 수 있다. R4, R4' 또는 R5, R5' 추가 경우에는 V_{min} , ΔV 가 모두 향상되어 동작 마진이 오히려 다소 향상됨을 알 수 있고, R6, R6' 추가 경우에도 미약하나 동작 마진이 향상되는 경향을 보인다.

지금까지의 기생저항에 의한 영향을 보면 가장 나쁜 영향을 끼치는 성분은 Pull-down 트랜지스터의 소스 노드와 접지 사이의 저항인 R3(또는 R3')가 한 쪽에만 추가되는 경우이며, 이는 트랜지스터 소스 노드와 접지 노드 사이에 존재하는 기생저항의 감소가 동작마진의 향상을 위해 매우 중요함을 말해 준다. 다음으로 중요한 성분은 R2(또는 R2')로서 셀 구조 설계시 Pull-down 트랜지스터의 드레인 접점저항을 최대한으로 줄이는 것이 매우 중요함을 알 수 있다. R3(또는 R3') 저항값을 $1K\Omega$ 으로 하여 한 쪽에만 연결할 경우 $V_{DD}=5V$ 에서도 읽기 동작이 불가능할 정도로 동작 마진이 저하되며, 대칭으로 추가할 경우에는 동작은 가능하나 $\Delta V=1.147V$ 로 동작 마진이 현격히 줄어들음을 확인하였다. 나머지 저항 성분들의 값을 $1K\Omega$ 으로 증가시켜 시뮬레이션한 결과 앞에 논의된 500 Ω 경우의 분석 내용에 첨언할 특이한 사항은 발견되지 않았다.

다음에는 셀 트랜지스터의 비대칭이 동작 마진에 끼치는 영향을 조사하기 위해 트랜지스터의 채널폭 W를 선택적으로 10% 감소시켜 그림 2의 시뮬레이션을 시행하고 그 결과로부터 동작 마진을 산출하여 표 3에 정리하였다. 비교 기준은 역시 셀비율이 2인 경우로 하였다. 표 3에서 'Pass'는 Pass 트랜지스터 하나만의 W를 10% 감소, 'Pull'은 Pull 트랜지스터 하나만의 W를 10% 감소, 'Pass-Pull'은 같은 쪽에 위치한 트랜지스터 M3과 M1의 W를 10% 감소, 'Pass-Pull(cross)'는 서로 반대쪽에 위치한 트랜지스터 M3과 M2의 W를 10% 감소시켜 셀 트랜지스터의 비대칭을 야기시킨 경우들을 나타낸다. 'Pass(pair)'는 트랜지스터 M3, M4의 W를

10% 감소, 'Pull(pair)'는 트랜지스터 M1, M2의 W를 10% 감소한 경우이며, 이 두 가지 경우 셀 구조는 대칭을 이루지만 다른 경우에서의 결과와 비교를 위해 해당되는 동작 마진을 표에 포함하였다. 'Pass(pair)' 경우에는 셀비율의 증가로 인해 동작 마진이 향상되고 'Pull(pair)' 경우에는 셀비율의 감소로 인해 동작 마진이 저하되었음을 알 수 있다.

표 3. 트랜지스터 비대칭이 존재할 경우의 동작 마진
Table 3. Operating margin of cells with transistor asymmetry.

트랜지스터	Vmin(V)	$\Delta V(V)$
(a) Pass-Pull(cross)	2.85	1.540
(b) Pull	2.65	1.712
(c) Pass	2.70	2.010
(d) Pass-Pull	2.60	2.061
Pass(pair)	2.25	2.293
Pull(pair)	2.80	1.806

표 3의 결과에서 보면 서로 엇갈려 있는 Pass 트랜지스터(M3)와 Pull-down 트랜지스터(M2)의 채널 폭을 감소시킨 (a) 경우 Vmin, ΔV 가 모두 열화되어 동작 마진이 가장 크게 저하됨을 알 수 있다('High' 데이터를 읽는 경우임). 이 경우는 Pull-down 트랜지스터 모두의 W를 감소시켜 셀비율을 10% 감소시킨 'Pull(pair)'의 경우보다도 동작 마진의 저하가 심각함을 알 수 있다. 다음으로는 Pull-down 트랜지스터 (M2) 하나만의 W를 감소시킨 (b) 경우가 동작 마진의 저하가 심각하다('High' 데이터를 읽는 경우임). 그 다음으로는 Pass 트랜지스터(M3) 하나만의 W를 감소시킨 (c) 경우, 그리고 같은 쪽에 위치한 Pass 트랜지스터(M3)와 Pull-down 트랜지스터(M1)의 W를 감소시킨 (d) 경우 순으로 동작 마진이 나쁜 것을 알 수 있다(모두 'High' 데이터를 읽는 경우임). 비대칭성이 존재하는 (a)-(d) 경우 동작 마진이 모두 저하되나 반대 데이터에 대한 동작 마진은 모두 향상됨을 확인하였다. 참고로 같은 쪽 트랜지스터들의 W를 감소시킨 (d) 경우에 동작 마진의 저하가 가장 작고 엇갈려 있는 트랜지스터들의 W를 함께 감소시킨 (a) 경우에 동작 마진의 저하가 가장 심각하다는 점은 셀 구조 설계시 주목하여야 할 결과이다.

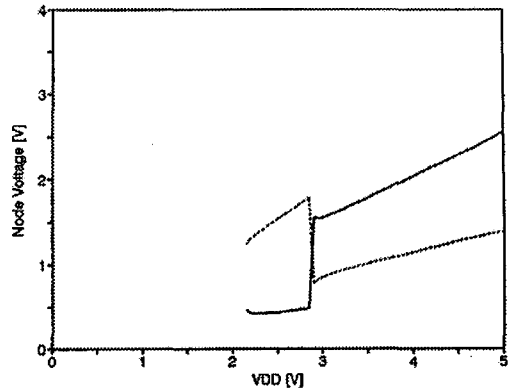


그림 3. 이상적 셀에 R2와 표3의 (a)에 해당되는 비대칭을 추가할 경우 역방향 VDD 소인에 따른 DC 노드전압 특성

Fig. 3. DC Node Voltage Characteristics with Reverse VDD Sweep when R2 and the transistor asymmetry of case (a) in table 3 were added.

끝으로 앞서 논의된 분석의 결과에서 가장 심각한 영향을 끼치는 성분들이 조합된 경우에 대해 그림 2의 시뮬레이션을 시행해 보았다. 표 1, 표 2, 표 3의 데이터로부터 최악의 경우는 'Pass-Pull(cross)' 구조에 한 쪽에만 R3을 연결한 경우라는 것을 알 수 있다. 이 경우 트랜지스터의 비대칭과 기생 저항 R3의 영향이 동작 마진을 최대한으로 저하시키는 회로적 연결은 그림 1의 회로에서 M3과 M2의 W를 10% 감소시키고 M2 트랜지스터의 소스와 접지간에 R3'=500 Ω 을 연결한 상태에서 셀에 'High' 데이터가 저장되어 있는 경우라는 것을 본 분석의 결과로부터 예측할 수 있다. 이러한 연결 상태에서 그림 2의 시뮬레이션을 시행한 결과, VDD=5V에서도 데이터가 플립될 정도로 셀 비대칭에 의한 동작 마진의 저하가 심각하였다. 실제 설계에서는 접지 저항을 줄이는데 최선을 다하므로 R3'는 500 Ω 보다 훨씬 작은 값으로 유지되는 것이 일반적이다. 다음으로 심각한 경우는 'Pass-Pull(cross)' 구조에 한 쪽에만 R2가 연결되는 경우라는 것을 표 3으로부터 알 수 있다. 이 경우 동작 마진을 최대한으로 저하시키는 회로적 연결은 그림 1의 회로에서 M3과 M2의 W를 10% 감소시키고 M2 트랜지스터의 드레인과 셀 노드 B 사이에 R2'=500 Ω 을 연결한 상태에서 셀에 'High' 데이터가 저장되어 있는 경우이다. 이

러한 연결 상태에서 그림 2의 시뮬레이션을 시행한 결과를 그림 3에 도시하였다. 그림 3에서 볼 수 있듯이 V_{DD} 가 낮아지면서 셀의 데이터 플립이 발생함을 알 수 있다. 플립이 일어나는 전압인 V_{min} 은 2.85V이고 ΔV 는 1.163V로 이상적인 셀에 비해 동작 마진이 현격히 저하됨을 확인할 수 있다.

본 분석에서 얻은 중요한 결과는, 셀 동작마진의 감소를 줄이기 위해서는 Pull-down 트랜지스터의 소스 노드와 접지 노드 사이의 기생저항과 Pull-down 트랜지스터의 드레인 접점저항을 줄이고, 엇갈려 위치하는 Pass 트랜지스터와 Pull-down 트랜지스터의 채널폭이 나머지 트랜지스터들의 채널폭과 비교할 때 동시에 감소되지 않게 하며, 채널폭이 상대적으로 작은 Pull-down 트랜지스터의 소스 노드 및 드레인 노드 저항이 최소화되도록 셀 레이아웃 및 공정시 최대한의 주의가 요구된다는 점이다.

본 논문의 시뮬레이션은 적절한 모델 파라미터의 확보가 어려워 트랜지스터의 채널폭과 길이가 큰 경우를 가정하여 시행하였으나, 본 분석의 결과는 셀에 부가되는 기생저항 및 트랜지스터 크기의 비대칭이 동작마진에 끼치는 효과 면에서는 소규모 셀의 분석에도 유사하게 적용될 수 있는 것으로 판단된다. 예상되는 차이점은 단 채널 및 협채널 효과에 의한 문턱전압의 변이이며 이에 의한 주 영향은 주어진 게이트 전압에서의 채널 전류의 변화이므로 본 시뮬레이션의 트랜지스터 채널폭 변화에 의한 영향과 가름하여 동작마진의 변화 추이를 예측할 수 있겠다. 정적 읽기 동작에 관한 본 분석에는 셀 노드의 기생 커패시턴스에 의한 효과는 포함되지 않으나 이러한 효과에 대해서는 참고문헌 [5]에 다루어져 있으며 본 분석은 셀의 근원적인 동작한계의 비교 결과를 제시한다는 면에서 셀의 실제적인 AC 특성을 가름할 수 있는 중요한 정보를 제공한다고 하겠다.

III. 결 론

본 분석은 셀 내에 존재하는 기생저항과 트랜지스터 비대칭에 의한 동작 마진의 저하를 조사하는 데 초점을 두었으며, 정적 읽기 동작을 위한 최소 전원전압과 주어진 전원전압에서의 상대적인 잡음 마진에 대한 정보를 얻는 데 셀 노드전압 분석방법이 효율적으로 활용될 수 있음을 보였다.

고집적화에 의한 셀의 미소화에 따라 셀 내에는 필연적으로 기생저항 값이 증가하고 트랜지스터의 크기에 차이가 발생하여 셀의 비대칭은 피할 수 없다고 할 수 있으나, 본 분석의 결과는 동작 마진에 가장 큰 영향을 미치는 기생저항 성분 및 비대칭 형태를 규명함으로써 미소 셀 구조의 설계나 레이아웃시 우선적으로 피하여야 하는 성분을 제시하였다는 점에서 의미가 있다. 또한 본 분석의 결과는 CMOS 형태의 6-트랜지스터 셀 설계시에도 적용될 수 있는 것으로 판단된다.

참 고 문 헌

- [1] F. J. List, "The static noise margin of SRAM cells," in Dig. Tech. Papers, ESSCIRC (Delft, The Netherlands), Sept. 1986, pp. 16-18.
- [2] T. Ohzone, M. Fukumoto, G. Fuse, A. Shinohara, S. Odanaka, and M. Sasago, "Ion-implanted thin polycrystalline-silicon high-value resistors for high-density poly-load static RAM applications," IEEE Trans. Electron Devices, vol. ED-32, no. 9, pp. 1749-1756, Sept. 1985.
- [3] H. Kato, K. Sato, M. Matsui, H. Shibata, K. Hashimoto, T. Ootani, and K. Ochi, "Consideration of poly-Si loaded cell capacity limits for low-power and high-speed SRAM's," IEEE J. Solid-State Circuits, vol. 27, no. 4, pp. 683-685, Apr. 1992.
- [4] E. Seevinck, F. J. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," IEEE J. Solid-State Circuits, vol. SC-22, no. 5, pp. 748-754, Oct. 1987.
- [5] B. Cappell, S. E. Schuster, and G. S. Sai-Halasz, "Stability and SER analysis of static RAM cells," IEEE J. Solid-State Circuits, vol. SC-20, no. 1, pp. 383-390, Feb. 1985.
- [6] 최진영, "고집적 SRAM Cell의 동작안정화에 관한 연구", 대한전자공학회 논문지 제32권, A편, 제11호, pp. 71-78, 1995.
- [7] K. Anami, M. Yoshimoto, H. Shinohara, Y.

- hirata, and T. Nakano, "Design consideration of a static memory cell," IEEE J. Solid-State Circuits, vol. SC-18, no. 4, pp. 414-418, Aug. 1983.
- [8] H. Ohkubo, S. Horiba, F. Hayashi, T. Andoh, M. Kawaguchi, Y. Ochi, M. Soeda, H. Nozue, H. Miyamoto, M. Ohkawa, T. Shimizu, and I. Sasaki, "16 Mbit SRAM cell technologies for 2.0 V operation," in IEDM Tech. Dig., pp. 481-484, 1991.
- [9] T. Ichikawa and M. Sasaki, "A new analytical model of SRAM cell stability in low-voltage operation," IEEE Trans. Electron Devices, vol. 43, no. 1, pp. 54-61, Jan. 1996.
- [10] SmartSpice Version 1.3.2 1995, Silvaco International.
- [11] HSPICE User's Manual 1992, Meta-Software, Inc.

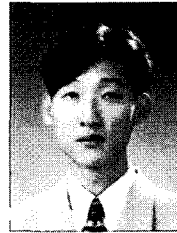
저 자 소 개



崔 鎭 榮 (正 會 員)

1956년 12월 10일생. 1979년 2월 서울대학교 전기공학과(공학사). 1986년 12월 University of Florida 전기공학과(석사). 1991년 5월 University of Florida 전기공학과(공학박사). 1991년 4월-1992년 8월

삼성전자 반도체부문 수석연구원. 1992년 8월-현재 홍익대학교 과학기술대학 전기공학과 조교수. 주관심 분야는 SOI 소자 기술, 반도체 소자 모델링, 집적회로 설계 및 신뢰성 연구 등임.



崔 元 相 (學 生 會 員)

1968년 9월 29일생. 1996년 2월 홍익대학교 전기공학과(공학사). 1996년-현재 홍익대학교 전기공학과 석사과정. 주관심 분야는 반도체 소자 모델링 및 집적회로 설계 등임.