

휴대 GPS 수신기용 RF IC, 신호처리 IC 및 소프트웨어 개발

Development of RF IC, Signal Processing IC and Software for Portable GPS Receiver

염병렬*, 구경헌**, 송호준***, 지규인****

Byung R. Ryum*, Kyung Heon Koo**, Ho Jun Song***, and Gyu In Jee****

요 약

다채널 디지털 GPS 수신기를 구현하기 위하여 RF-to-IF엔진 (엔진 1), 신호처리 엔진 (엔진 2), 항법 소프트웨어를 개발하였다. 고속 SiGe HBT를 이용한 LNA, 믹서, VCO 등의 하이브리드 IC를 COB형태로 구현하여 엔진 1 보드에 부착하였다. 6채널 디지털 상관기를 클락 및 마이크로프로세서 인터페이스와 함께 Altera Flex 10K FPGA 및 ASIC 기술로 구현하였다. 항법 소프트웨어는 GPS 신호의 트래킹 및 획득을 위한 상관기 제어, 메시지 저장, 위치 계산 등을 수행한다. 개발된 GPS수신기는 단일 채널 신호를 발생하는 STR2770 시뮬레이터를 이용하여 테스트하였는데, 성공적인 항법 신호획득 및 위치 계산 결과를 확인하였다.

Abstract

A multi-channel digital GPS receiver has been developed including a RF-to-IF engine (engine 1), a digital signal processing engine (engine 2) with a microprocessor interfacing, and a navigation software. A high speed SiGe heterojunction bipolar transistor (HBT) as a active device has been mounted on chip-on-board (COB) type hybrid ICs such as LNA, mixer, and VCO in RF front-end of the engine 1 board. A 6-channel digital correlator together with a real-time clock and a microprocessor interface has been realized using an Altera Flex 10K FPGA as well as ASIC technology. Navigation software controlling the correlator for GPS signal tracking, retrieval and storing a message retrieval, and position calculation has been implemented. The GPS receiver was tested using a single channel STR2770 simulator. Successful navigation message retrieval and position determination was confirmed.

I. 서 론

GPS(global positioning system)는 미 국방성

이 구축한 위치 및 시각 결정 시스템으로 GPS와 INS (inertial navigation system)를 결합한 장거리 미사일 시스템 등 군사적인 목적 및 상업적인 응용에 이미 활용되고 있으며, GPS 수신기, 차량항

* 한국전자통신연구원 고속소자연구실 (High Speed Devices Section, ETRI)
** 인천대학교 공과대학 전자공학과 (Dept. of Electronics Eng., Inchon Univ.)
*** 충남대학교 공과대학 전자공학과 (Dept. of Electronics Eng., Chungnam Univ.)
**** 건국대학교 공과대학 전자공학과 (Dept. of Electronics Eng., Konkuk Univ.)
· 논문번호 : 97-1-3
· 접수일자 : 1997년 11월 30일

법장치(Car Navigation System), 시각동기장치(Precise Timing Control System), 해상감시장비(Surveying System) 등 다양한 제품이 이미 시장에 선 보이고 있다[1]~[5]. 국내에서도 이러한 GPS의 중요성과 활용도를 깊게 인식함에 따라 많은 기업체와 연구소가 수신기 개발 또는 응용 시스템에 대한 연구를 본격적으로 시작하였다[6]~[8].

GPS 수신기는 부피가 크고 단채널이 주였으나, 최근 반도체 기술의 발전과 더불어 다채널 GPS 수신기가 고성능 DSP 및 CPU를 하나의 칩에 탑재하고 다양한 사용자 인터페이스를 제공하면서 소형화된 고성능 수신기로 발전하고 있다. 이러한 배경에서 본 논문에서는 국내의 연구소 및 대학이 공동 개발중인 L1 band (1575.42MHz) C/A code multi-channel 휴대용 GPS 수신기의 주요 기술을 각 요소기술별로 제시하고자 하였다. 이를 위하여 50GHz급 SiGe HBT 및 CMOS ASIC을 위시한 반도체기술 및 엔진 보드 제작, 항법소프트웨어 개발 등 총체적인 핵심기술을 확보하는 차원의 연구 결과를 설명하였다.

GPS 수신기는 안테나에서 수신된 GPS 신호를 저잡음 증폭한 후 중간 주파수 대역으로 저역변환하고 아날로그 - 디지털 변환하는 RF-to-IF engine (engine 1), 디지털 신호로부터 항법메세지를 복구하는 디지털 트래킹 engine (engine 2), 수신된 항법메세지 데이터를 받아서 위치 및 시각을 계산하는 수신기 소프트웨어로 크게 구별된다.

제 2장은 RF-to-IF 변환부분에 관한 내용으로 국내 개발된 SiGe HBT를 이용하여 hybrid IC 형태로 front-end 핵심 부품인 VCO, LNA, MIXER를 제작한 결과 및 현재 진행중인 RF IC 설계 및 제작, 필터 및 PLL, 분주기 등의 주변회로가 실장된 engine 1 보드를 설명하였다.

제 3장은 engine 1으로부터 저역변환된 GPS 신호로부터 Costas PLL을 사용하여 데이터를 트래킹하는 DSP부분을 다룬 것으로 engine 2에 해당한다. 전체적으로 6 채널을 트래킹할 수 있으며 기타 RTC 및 다양한 사용자 인터페이스를 제공하는 디지털 회로부분인데, CMOS ASIC으로 구현하였다. 제 4장은 engine 2에서 수신되는 GPS bit

stream으로부터 byte 동기, frame동기 등을 맞춘 후, 현재 수신기의 위치 및 시각을 계산하고, 계속적으로 데이터가 locking된 상태를 유지하도록 engine 2에 피드백 제어신호를 주는 소프트웨어로 본 연구에서는 PC에서 동작하도록 구성되어 있다. 5장에서는 본 연구에서 구성한 수신기에 GPS 신호 시뮬레이터의 출력을 인가하여 실행한 실험 결과를 보이고 마지막으로 6장에 결론을 제시하였다.

II. GPS 수신기용 Engine 1 모듈 설계

2-1 RF 모듈 개발

GPS용 RF 블록의 구성은 몇 가지 방법이 가능한데, 그 중 가장 많이 이용되는 방법은 double conversion 방식이며, triple conversion 방식이 이용되기도 한다. Triple conversion 방식은 회로의 복잡성에도 불구하고 적절한 필터의 선정 및 PLL등과 결합하면 우수한 특성을 얻을 수 있다. 본 연구에서는 triple conversion 방식을 설정하였다.

Triple conversion 방식의 RF 블록은 크게 안테나 및 저잡음 증폭부, 대역통과 필터, 제 1 믹서 및 증폭부, 필터부, 제 2 믹서 및 AGC 증폭부, 국부발전기용 신호발생기 등으로 구성되며, 2MHz 대역을 갖는 IF 신호로 출력되어 복조 및 역확산 회로부가 있는 엔진 2 블록으로 공급된다.

1차 및 2차 중간주파수는 image rejection, 적절한 필터의 유무, PLL의 주파수 합성 가능성 등을 고려하여 선정하며 본 논문에서는 활용 가능한 SAW 필터, TCXO 등을 고려하여 주파수 계획 및 전체 시스템의 구성방식을 결정하였다.

본 연구에서는 국부 발전기의 주파수 안정도를 높이기 위하여 1차 및 2차 LO 모두 PLL VCO로 설계하였고, 첫번째 믹서는 RF 입력 신호와 LO를 입력받아 1차 IF 주파수를 생성하고, 이는 다시 SAW 필터를 통과하여 IF 증폭을 거친 후 2차 믹서에 입력된다. 3차 중간 주파수는 4.3MHz로 선정하였으며, 이는 복조단의 입력이므로 복조부 회로의 요구 사항을 고려하여 선정되었다. 결정된 시스

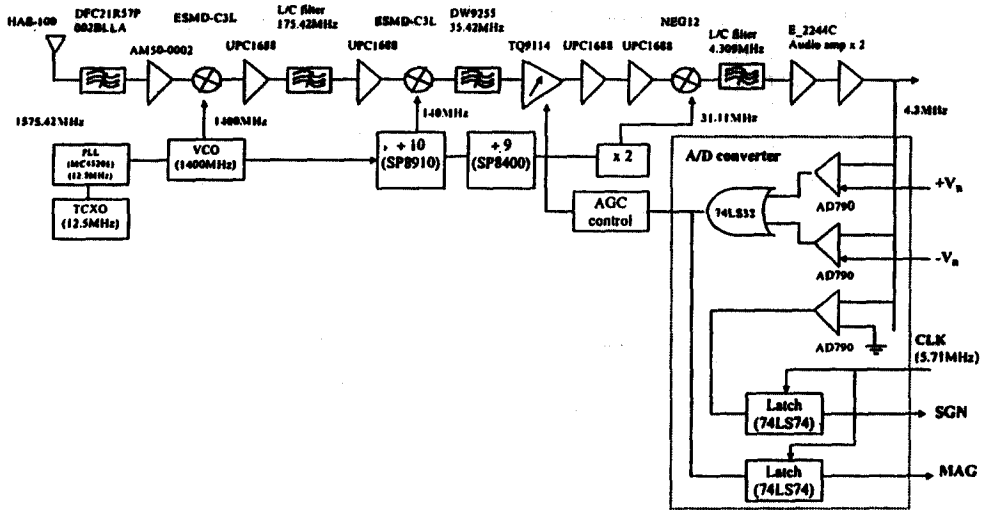


그림 1. GPS 수신기용 RF 모듈 블록도
Fig. 1. RF module block diagram for GPS receiver.

템에 대한 RF 블록은 그림 1과 같다.

설계한 RF 모듈의 기능은 위성에서 수신된 1575.42 MHz의 미약한 신호(-130 dBm)를 3번의 down conversion을 통하여 최종의 4.3 MHz와 복조 가능한 적정신호(-10 dBm)로 만드는 것이다. 모듈의 주요 구성은 수신 안테나, 증폭기, 믹서 및 PLL, BPF, AGC Loop 등으로 구성되며 정확한 대역을 갖기 위하여 SAW 필터를 사용하였다.

RF 수신에 사용된 능동안테나부는 약 30 dB의 이득을 갖고 있으며, 첫단의 LNA에 요구되는 임피던스 매칭은 PCB상의 마이크로스트립 라인을 이용하였다. RF 수신 신호의 대역 제한은 20 MHz의 대역폭을 갖는 BPF를 사용하였고, 첫번째 IF신호는 약 0 dBm 출력의 1400 MHz LO를 이용하여 175.42 MHz를 얻었다. 그림 2에 -60 dBm 입력 시 증폭기 출력, 그림 3에 LO 출력 스펙트럼 특성을 보였다.

AGC 증폭기는 +30 dB ~ -30 dB의 이득을 갖도록 설정하여 최종의 3차 IF단인 4.3 MHz로 약 -10 dBm 크기가 유지되도록 하였다. 수신된 신호의 대역제한을 위해 2 MHz의 통과대역 특성

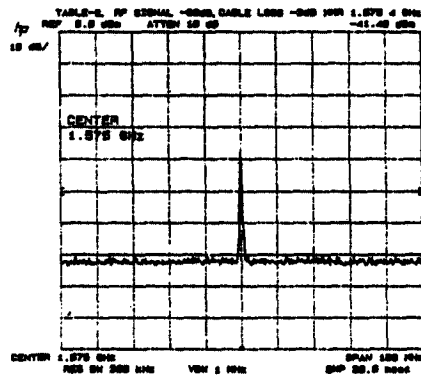


그림 2. LNA 출력 스펙트럼
Fig. 2. Output spectrum for low noise amplifier.

이 우수한 SAW Filter를 사용하였다. 3차 IF신호인 4.3 MHz는 31.11 MHz의 LO를 이용하여 세번째 down conversion으로 얻는다. 그림 4, 5에 SAW 필터 특성과 -100dBm 입력시 RF 모듈의 출력을 보였다. 또한, AGC 성능을 확인하기 위하여 입력 신호를 -90dBm에서 -110dBm까지 변화시켰을 때 최종 출력단의 전력을 측정하여 그림 6

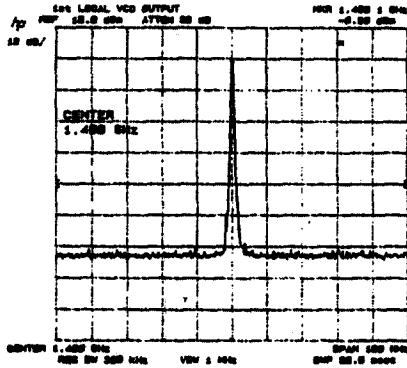


그림 3. 1차 LO 출력 스펙트럼
Fig. 3. Output power spectrum of 1st LO.

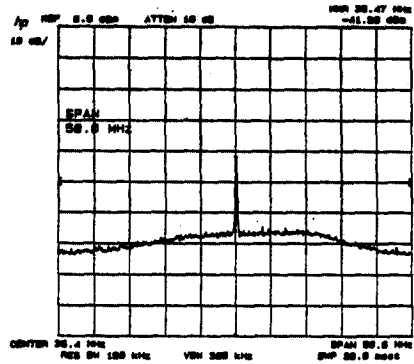


그림 5. 2차 IF 출력 스펙트럼
Fig. 5. Output spectrum of 2nd IF.

에 제시하였다. 그림에서 입력 신호가 20 dB 범위에 걸쳐 변화할 때 출력 신호는 4 dB내외로 변화하여 AGC 루프가 동작함을 알 수 있다.

2-2 RF IC의 설계

앞에서 제시한 RF 모듈의 사양 및 실험을 통하여 저잡음 증폭기, 믹서, VCO 등 3종의 IC를 ETRI에서 개발한 SiGe HBT를 이용하여 하이브리드 형태 및 모노리식 형태의 RF IC로 개발하고자 하였다. 먼저 SiGe HBT의 추출된 모델파라미터를 이용하여 3종의 하이브리드 집적회로를 알루미늄 기판상에 설계하였다. 설계된 3종 HMIC의 설계

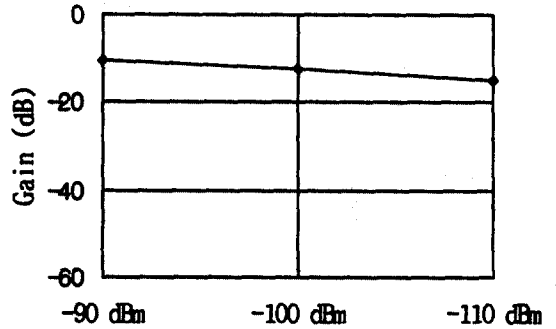


그림 6. 입력 신호의 변화에 따른 최종 출력신호
Fig. 6. Output power with the varying input power.

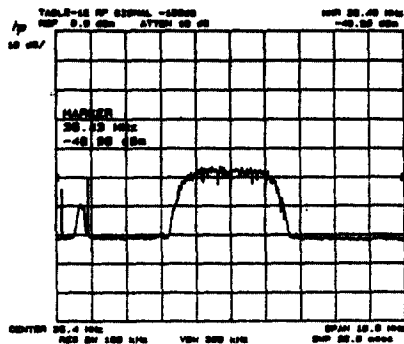


그림 4. SAW 필터 출력 스펙트럼
Fig. 4. Output spectrum of SAW filter.

특성은 그림 7, 8, 9와 같다. HMIC의 경우 chip을 본딩시 발생하는 wire inductance를 고려할 필요가 있으며 1608형의 chip R, L, C 및 마이크로스트립라인을 이용하여 정합회로를 구현하였다. VCO의 경우는 바랙터를 이용하여 발진 주파수를 결정하였으며, 제어 전압이 5 V 미만에서 요구 주파수의 발생이 가능하도록 하였다. 모노리식 회로의 경우는 사용 가능한 범위내의 커패시턴스를 이용하여 요구 특성을 얻는 것이 중요하다. 모노리식 IC의 제작을 위해 설계한 믹서부는 Gilbert cell 구조를 이용하여 설계하였으며 초단 증폭기와 믹서를 일체화한 front-end IC를 설계하였다. 설계된 증폭기는

Ⅲ. 디지털신호처리부

디지털신호처리부에서는 RF/IF단을 통과한 신호를 받아 기저대역으로 낮춘 후, 역확산하여 데이터를 복원한다. 본 장에서는 디지털신호처리부를 분석하고, 설계한 집적회로의 기능을 설명하였다.

중간주파수로 변환된 신호는 2비트로 양자화되어 상관기 블럭에 입력되며, 상관기 블럭은 이를 기저대역으로 낮춘 후, 의사잡음코드를 곱하여 적분한다. 적분된 값과 측정 데이터는 각 레지스터에 저장되며, 마이크로프로세서 인터페이스부를 통하여 마이크로프로세서로 전달된다. 상관기 블럭은 마이크로프로세서에 의해서 제어되며, 동시에 여러 위성을 추적하기 위해 6개 추적 모듈(Tracking Module)이 있다. 그림 13은 추적 모듈의 블럭도이다.

추적 모듈은 2비트의 신호를 입력받아 반송파 혼합기(carrier mixer)에서 반송파 성분을 제거한 후, 코드혼합기(code mixer)를 통과하여 역확산된다. 적분기는 역확산된 신호를 C/A 코드 한 주기 동안 적분하여 마이크로프로세서에 전달한다. 반송파 클럭 발생기(carrier DCO)의 기준 중간 주파수는 1.40539MHz이고, 반송파 클럭 발생기는 반송파 혼합기에 I(in phase)와 Q(quadrature phase) 정현파를 제공한다. 반송파 클럭 발생기 출력

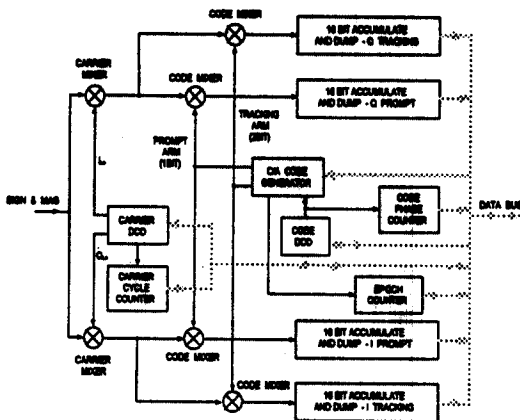


그림 13. 추적 모듈의 블럭도
Fig. 13. Block diagram of tracking module.

은 4-레벨, 8-위상의 정현파를 출력하는 NCO (numerically controlled oscillator)로 설계하였다. 코드 클럭 발생기(code DCO) 역시 반송파 클럭 발생기 블럭과 동일한 구조로 설계하였으며, 기준 주파수는 2.046 MHz이고, 주파수 조정 최소 변화량은 85.14949 mHz이다. C/A 코드 발생기는 선택된 위성의 의사잡음코드를 생성하며, 1-비트의 Prompt arm과 2-비트의 Tracking arm으로 나뉘어진다. 이 중 Tracking arm은 Early, Late, EML (early minus late) 코드 중 하나를 선택할 수 있다. 적분기는 16-비트 가산기로 구현하였으며, 한 추적 모듈에 적분기 수는 4개이며, I 가산기와 Q 가산기 결과는 다음과 같이 표현된다.

$$I_x = \sum_{k=1}^{M_s} I_k = \frac{A_{IF}}{2} M_E \frac{\sin(\pi \Delta f_x T)}{\pi \Delta f_x T} R(\tau_x) D_k \cos(\Delta \Phi_x)$$

$$Q_x = \sum_{k=1}^{M_s} Q_k = \frac{A_{IF}}{2} M_E \frac{\sin(\pi \Delta f_x T)}{\pi \Delta f_x T} R(\tau_x) D_k \sin(\Delta \Phi_x)$$

여기서, $M_E = T/T_s$: C/A 코드 한 주기동안의 표본화 수

T : C/A 코드 한 주기 D_k : 50bps 항법메시지

T_s : 표본화 주기

τ_x : 주기동안 수신된 코드와 생성한 코드 사이의 칩 지연량

$\Delta f_x, \Delta \Phi_x$: T 주기동안 수신된 반송파와 생성한 반송파 사이의 주파수차와 위상차.

$$R(t) \approx 1 - |t|, \quad |t| \leq 1$$

$$\approx 0, \quad |t| > 1$$

본 연구에서는 SYNOPSIS사의 VHDL 시뮬레이션 툴인 VSS를 사용하여 본 연구에서 설계한 DSP를 논리 시뮬레이션 하고, 위의 식을 검증하였다.

그림 14는 코드의 위상은 정확히 동기되어 있으며, 주파수차를 변화시키며 시뮬레이션하였을 때의 상관결과이다. In phase와 Quadrature phase축의

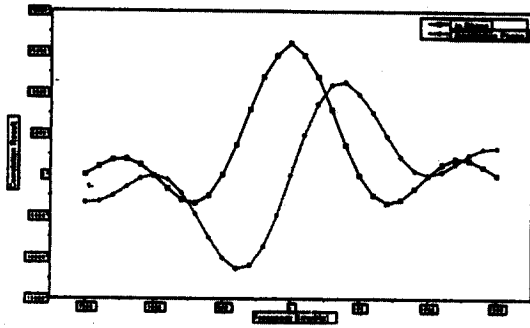


그림 14. In phase와 Quadrature phase축의 시뮬레이션 결과

Fig. 14. Simulation results of in phase and quadrature phase correlations.

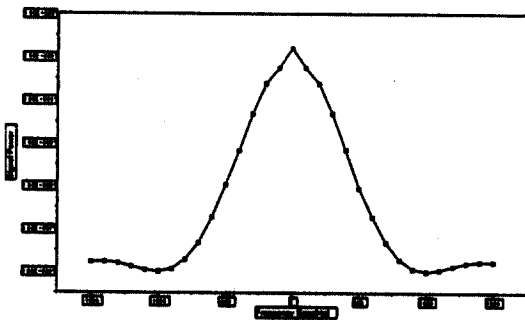


그림 15. $I^2 + Q^2$ 시뮬레이션 결과

Fig. 15. Simulation results of $I^2 + Q^2$.

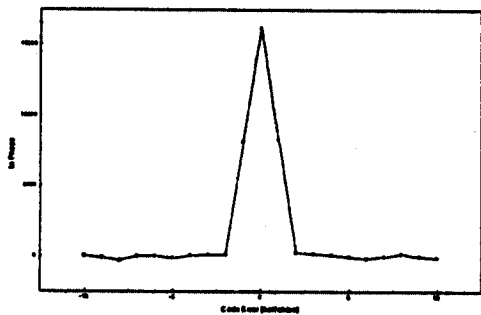


그림 16. C/A 코드 위상차와 상관값

Fig. 16. C/A code phase error vs. correlated value.

상관 결과 식과 비교해 보면 거의 동일함을 알 수 있다. 그림 15에는 이를 제공하여 구한 신호전력을 나타내었다.

그림 16은 반송파의 위상과 주파수는 정확히 맞고 C/A 코드 위상을 변화시키면서, 시뮬레이션하였을 때의 상관 결과이다. 그림에서 C/A 코드가 정확히 동기되면, 16,000이상의 상관값이 출력되며, 한 칩 이상의 오차가 생기면, 상관값이 거의 0이 됨을 알 수 있다. 위의 두 특성은 GPS 위성신호 초기동기 추적 방법의 하나인 2-domain search에 이용된다.

이상의 시뮬레이션을 바탕으로 설계된 ASIC 집적회로의 동작 및 항법 데이터 처리부의 신호추적 알고리즘 적용과 의사 거리 측정이 예상대로 진행됨을 확인하였다.

IV. 수신기 소프트웨어

수신기 소프트웨어는 그림 17과 같은 다중기능 (multi tasking) 구조를 가지며 크게 위성 추적 및 항법 메시지 획득 루틴과 항법해 계산루틴으로 구성된다. 그림의 소프트웨어 구조에서 각 기능은 상관기 인터럽트시 기능의 교체가 이루어지고 DGPS 보정 데이터는 시리얼 인터럽트를 통해 획득된다.

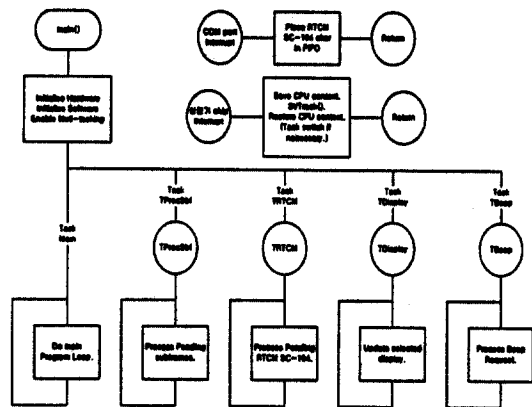


그림 17. 수신기 소프트웨어의 구조

Fig. 17. Architecture of receiver software.

4-1 위성 추적 및 항법 메시지 획득 루틴

GPS 위성 신호는 대역확산되어 있으며, 수신기는 위성으로부터의 항법 메시지를 얻기 위해 4단계의 과정인 C/A코드 일치(locking), 반송파 일치, 메시지 비트 일치, 메시지 프레임 일치 등을 거치게 된다.

이중 C/A코드와 반송파 일치는 RF단으로부터 얻어진 신호를 프로세서에 의해 제어되는 상관기의 Costas 루프를 거쳐 얻어지고 유지된다. 상관기는 보통 다수개의 채널을 가지는데 각 채널마다 특정 위성의 C/A코드 및 반송파의 검색과 추적을 수행한다. 코드와 반송파의 추적은 일반 통신이론에서와 같이 코드와 반송파의 복제신호를 생성한 후 이 복제신호와 수신된 위성신호를 믹싱하여 코드와 반송파를 제거하고 정보데이터를 추출하게 된다. 이 수행의 결과로 상관기는 코드와 반송파의 일치(locking) 상태를 알 수 있는 I, Q 값들을 출력하며 프로세서는 이 I, Q값으로 Costas 루프의 DLL, FLL, PLL의 락 정도를 나타내는 루프 락 표시기를 형성하여 상관기의 코드 및 반송파의 복제를 제어한다.

코드 일치는 위성신호의 도플러 효과에 의한 주파수 변화를 대략적으로 추정된 반송파 주파수에서의 신호의 크기($P + Q^2$)가 특정값을 넘으면 선언되고 이때 코드는 1/2칩 이내의 정밀도로 복제된다. 코드 일치가 이루어지면 정밀한 반송파 주파수의 결정이 이루어져야 하는데 이는 Costas 루프의 위상 오차값에 관계되는 Q arm의 값을 루프에 Feedback하여 이루어지며 반송파 일치 표시기($P + Q^2$)를 사용하여 반송파 일치의 여부를 결정하게 된다. 근래에 사용되는 GPS수신기는 디지털 루프를 사용하므로 보통 C/A 코드 일치 루프와 반송파 일치 루프는 코드와 반송파의 발생빈도를 조절하는 NCO (numerical controlled oscillator)에 의해 제어되며 이 NCO는 위성과 수신기 사이의 도플러 효과로 인한 주파수 변화를 고려하여 프로세서가 계산하여 조절하게 된다.

코드 NCO는 한 주기가 1ms인 1,023개의 상태를

가진 PRN(pseudo random noise) 코드를 발생시키는 빈도를 결정하게 되는데 발생 순차는 추적하려는 위성의 PRN 번호에 따라 결정된다. 루프를 제어하는 시간 간격을 결정하는 것 또한 중요한데 보통 1ms 간격으로 프로세서가 루프로부터 이전 1ms간의 I, Q arm 적산 값을 제공받아 갱신될 DCO값을 계산하여 적용한다. 또한 수신기 내부에는 TIC라고 불리는 시간 간격에 따라 해를 구하게 되므로 TIC는 수신기가 위치해를 제공하는 빈도의 최소 단위를 결정한다. 일반적인 수신기에서 TIC는 100ms가 되고 수신기는 100ms마다 위치해를 갱신할 수 있게 된다. 또한, 수신기는 PRN 코드와 반송파를 얼마나 발생했는지를 기억하여 계산할 수 있는데 이것이 위성에서 출발한 신호가 수신기에 도달하기까지 걸린 시간을 실제로 계산할 수 있는 원리이다.

코드와 반송파의 완전한 복제가 이루어지면 Costas 루프의 I arm은 20ms 간격의 데이터 비트를 나타내게 된다. 이 데이터는 GPS에서 항법 메시지를 나타내는데 이 항법 메시지의 각 비트를 구별해 내는 것이 비트 일치이다. 비트가 변화하는 지점을 찾는 작업 즉, 비트 일치를 이루는 방법으로는 BPSK의 특성을 이용하여 위상의 변화 지점을 알아내는 방법이나 20ms 간격 동안의 샘플링 값의 적산으로 알아내는 방법을 사용한다.

비트 일치가 이루어지면 GPS항법 메시지 자체가 가지는 Preamble, 패리티, Zero 비트, 프레임 번호 등을 검사하여 메시지를 프레임 단위로 구분하여 그 값을 취하게 된다. 이 값은 Ephemeris, Almanac등의 위성궤도 정보와 GPS시각 정보를 포함하게 되며 GPS항법해 계산을 수행하기 위한 기초가 된다.

4-2 항법해 계산 루틴

항법해를 구하는 루틴은 관측값의 처리와 사용자의 위치를 구하기 위해 현재의 시간을 추정하는 부분, 위성의 위치를 구하는 부분, 사용자의 위치를 구하는 부분으로 이루어진다. 위성의 위치는 Almanac 또는 Ephemeris정보를 이용하여 케플러

운동방정식을 통해 구한다. 사용자의 위치는 각 위성으로부터 사용자까지의 거리로 구하게 되고, 각 위성으로부터의 거리는 위성에서 전송된 신호가 수신기에 도달되기까지의 시간으로 측정하는데, 여기에는 이온층 및 대류권 지연오차, 수신기 및 위성의 시계오차, SA(Selective Availability) 등의 오차가 포함되어 있고, 이때 측정된 거리를 의사거리라 한다.

이 오차들은 항법해를 구하기 전 오차 모델들을 사용하여 보정되어야 하며, 위성은 항법 메시지에 위성 자신의 위치를 계산할 수 있는 정보와 오차 모델에 대한 계수들을 실어 전송한다. 이온층과 대류권 지연오차의 경우 지역에 따라 다른 특성을 가지지만, 위성이 사용하는 대표적인 오차모델에 근거해서 보정을 수행한다. 위성시계의 오차는 항법 메시지의 subframe 1에 들어있는 다항식 계수 a_{f0} , a_{f1} , a_{f2} 를 이용해 다음 식으로 보정한다.

$$t = t_{sv} - \Delta t_{sv}$$

여기서 t : GPS system time

t_{sv} : Satellite PRN code phase time at message transmission time

Δt_{sv} : Satellite PRN code phase offset

$$\Delta t_{sv} = a_{f0} + a_{f1}(t - t_{oc}) + a_{f2}(t - t_{oc})^2 + \Delta t_e$$

수신기에서 추정된 현재의 GPS 시간을 t_r 이라 하고, 메시지가 전송된 시간을 t_s 라 하면, 전달시간은 $t_r - t_s$ 으로 계산된다.

따라서 의사거리는

$$PR = \Delta t \times c = (T_{receive} - T_{send}) \times c = (t_r - t_s) \times c \quad [sec]$$

수신기에서는 Δt 를 얻기 위해 위성과 같은 Gold code를 생성하고, DCO 값을 변화시켜 복제 신호를 시간축에서 앞뒤로 이동하여 위성 신호와 일치시킨다. 이렇게 하여 두 신호가 lock을 이루면 상관기 칩셋의 1ms, 20ms epoch counter 값을 증가시키

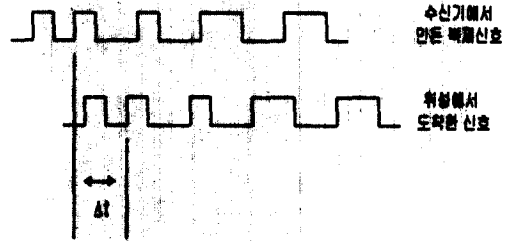


그림 18. 의사거리 측정원리

Fig. 18. Principle of pseudo-range measurement.

고 프로그램에서는 매 TIC(100ms)마다 읽어들이 Δt 를 계산한다. 이렇게 얻은 4개 이상의 위성으로부터의 의사거리를 측정치로 하여 최소자승법(least square method)으로 사용자의 위치를 계산한다.

오차를 고려하지 않는 경우, 위성과 수신기 사이의 거리는 다음과 같은 관계를 갖고,

$$r_i = \sqrt{(S_x - U_x)^2 + (S_y - U_y)^2 + (S_z - U_z)^2} + cb$$

보정해야 할 위치오차는 다음 식과 같다.

$$\delta u = (H^T H)^{-1} H^T \delta r$$

수신기에 초기위치를 주고 반복적으로 위 식의 위치오차를 구하여 보정하고 보정값의 크기가 임계치 안에 들어오면 그 값을 해로 한다.

V. 실험결과

실험은 그림 19에 보인 것처럼 GP2010, CNU-2021을 이용해 제작한 수신기를 사용하였다. 그림 20에 실험에 사용된 수신기의 블록도를 나타내었다. 이 실험에서는 새로 제작한 correlator chip인 CNU2021이 제어 알고리즘에 따라 위성신호를 트랙킹하는 것을 검증하였고, 트랙킹 알고리즘 및 기타 소프트웨어 알고리즘의 정상적인 작동을 검증하였다.

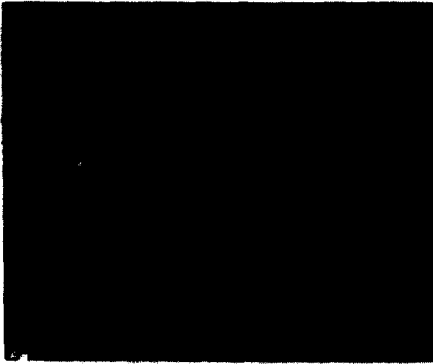


그림 19. 테스트 보드 사진

Fig. 19. Picture of the test board.

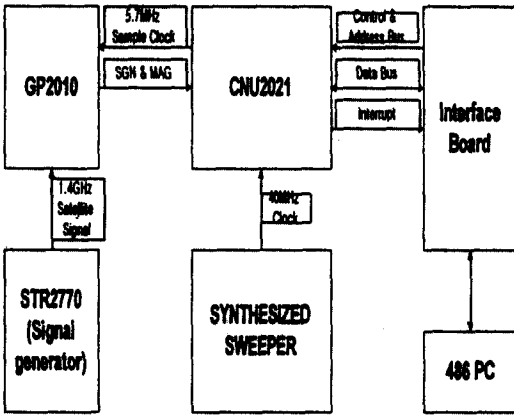


그림 20. 실험에 사용된 수신기의 블록도

Fig. 20. Block diagram of the receiver.

Lat	N 37°28.4603'	Spd	0.76	GDOP	3.5	SVs	5	HR	81840.6	Date	21/10/97		
Lon	E126°53.3647'	Hdg	187.9°	PDOP	3.1	Nav	3D	VE	93.8	UTC	05:53:52		
Hgt	153.84	ROC	1.05	VDOP	2.8	NO	DGPS	DO	-787.0	OccErr	0.50		
CH	SV	ELV	AZI	DOPP	NCO	URSE	SF	PRerr	PRerr	ICPerr	DiffC	LOCKS	SNR
1	9	55	46	-2100	-2880	32	5	-2082.1	-0.4	-1923.5	--	CCBF	13.7
2	1	22	286	2413	1630	32	5	-2100.6	-1.1	-2075.7	--	CCBF	12.6
3	17	19	202	-3584	-6771	32	1	--	--	--	--	CC	28.0
4	26	22	82	-2384	-3167	32	5	-2158.6	-0.3	-1998.4	--	CCBF	14.1
5	21	49	311	2469	1609	32	5	-2188.8	-1.6	-2022.9	--	CCBF	12.1
6	30	18	171	3578	2794	32	5	-1986.3	-2.3	-1958.3	--	CCBF	11.6

Konkuk Univ. Dept. of Electronic Eng. Control system Lab.

그림 21. 실험결과의 표시

Fig. 21. Result display of the test.

Cold start의 경우, 위성의 배치에 따라 위치해를 구해내는 시간이 차이가 많았으나, warm start의 경우 네개의 위성을 잡는데 (frame lock 까지) 20초 내외가 소요되었으며, 위치해까지 구하는데 걸리는 시간은 평균 80초 가량 소요되었다. 그림 21에 실험 결과를 보였다. 좌측 상단의 박스는 수신기의 위치를 llh 형태로 나타냈고, 상단의 두 번째 박스에는 speed와 heading에 관한 정보를, 세 번째 박스는 DOP를 각각 표시하였고, 중간층 박스에는 채널 및 채널에 할당된 위성에 관한 정보를 나타내었다. CH, SV, ELV, AZI, DOPP, NCO, SF, PRerr, PRRerr, LOCKS, SNR 열은 각각 채널 번호, 채널에 할당된 위성번호, 고도, 양각, 예측한 도플러 값(Hz), 측정된 도플러 값, 수신된 서브프레임 번호, Pseudo range error (Observed-Predicted, meter), Pseudo range rate error (Observed- Predicted, meter /sec), 위성신호의 lock 상태, 신호대 잡음비(dB)를 나타내며, LOCKS 열의 CCBF는 순서대로 Code correlation lock, Carrier frequency lock, Bit sync, Frame sync를 의미한다. CNU2021의 클럭 입력 신호레벨이 GP2010의 40MHz clock 신호레벨과 일치하지 않은 관계로 40MHz는 외부에서 연결한 synthesized sweeper를 사용하였으며, 이로 인해 RF단의 다운컨버전 클럭과 동기가 정확히 맞지 않게 되었다. 그림 21에서 의사거리 오차 및 의사거리 오차율 변화값이 상대적으로 큰 것은 위와 같이 수신기내에서 정밀한 시각동기가 이루어지지 않아서 나온 결과라고 판단한다. GP2010과 CNU2021사이의 40MHz 클럭신호의 연결이 가능해지면 수신기 내에서의 단일 클럭 사용으로 보다 정확한 의사거리 측정이 가능하다.

VI. 결 론

최근에 GPS 수신기가 경박단소되는 추세에 맞추어 소형화를 달성하기 위해 필요한 총체적인 기술확보 차원에서 RF 소자로 SiGe HBT를 개발하고, 이를 이용한 하이브리드 IC 및 RF 모듈의 측정 결과를 제시하였다. 또한 현재 제작중인 모노리식

형태의 RF IC의 설계결과 및 레이아웃을 제시하였다. 또한 L1 band 6채널 GPS 수신기를 설계, 측정을 하였으며 그 결과 GPS 위성데이터로부터 현재의 위치 및 시각정보를 정확히 추출할 수 있음을 확인하였다.

본 연구는 향후 소형화를 이루고 경쟁력있는 GPS 수신기를 제작하기 위해 RF- to- IF 부분의 핵심 회로와 주변회로들을 SiGe HBT를 이용하여 한 칩에 모두 구현하고 DSP와 PC상의 CPU를 하나의 digital ASIC칩에 동시 구현하여 전체 시스템을 two chip화한 GPS 수신기로 개발하기 위한 연구를 진행 중이다. 향후 DGPS, 정확한 위치 및 시각정보 추출을 위한 다양한 알고리즘 개발, 러시아의 글로너스(GLONASS) 시스템과 GPS 신호를 모두 수신 가능한 이중 수신기 구현 등의 연구가 필요할 것이다.

참고문헌

[1] D. Wells, *Guide to GPS Positioning System*, Canadian GPS Associates, 1987.

[2] P. Mattos, GPS2: Receiver Architecture, *Electron. World & Wireless World*, pp. 29-32, Jan. 1993.

[3] P. Mattos, GPS4: Radio architecture, *Electron. World & Wireless World*, pp. 210-216, Mar. 1993.

[4] B. Parkinson et al., *Global Positioning System: Theory and Application*, AIAA Inc., 1996.

[5] GEC Plessey Semiconductors, *GPS-Builder 2 Designers Guide*, April 1995.

[6] 김영백외 4명, 단채널 GPS 수신기 개발, 한국 자동제어학술대회, pp. 290-293, Oct. 1995.

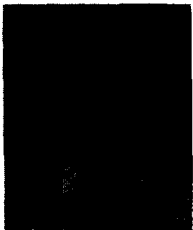
[7] 박상현외 5명, L1 C/A Code 수신기용 디지털 신호처리 집적회로, 제 3차 GPS workshop 논문집, pp. 422- 431, 서울, 1996년 11월.

[8] 박종현외 4명, SiGe HBT를 이용한 GPS 수신기용 RF IC 설계, 제 3차 GPS workshop 논문집, pp. 418- 421, 서울, 1996년 11월.

[9] D. Manners, Consumer star is born, *Electron. Weekly*, pp. 20-22, Dec. 13, 1995.

[10] B. Sklar, *Digital Communication*, New Jersey, Prentice-Hall, Inc., 1988.

염 병 렬 (廉炳烈)



1982년 서울대학교 전자공학과 (공학사)

1984년 서울대학교 대학원 전자공학과 (공학석사)

1990년 Northwestern University 전기공학과 (공학박사)

1990년~현재 한국전자통신연구원 반도체연구단 책임연구원, 화합물반도체부 고속소자연구실 실장

관심분야 : Si/SiGe HBT 모델링 및 아날로그/디지털 IC 설계, 광통신기이용 고속소자연구, 셀룰러통신용 전력소자 연구, 휴대용 GPS수신기설계

구 경 현 (具京憲)



1981년 서울대학교 전자공학과 (공학사)

1983년 서울대학교 대학원 전자공학과 (공학석사)

1991년 서울대학교 대학원 전자공학과 (공학박사)

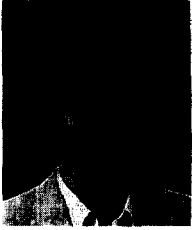
1984년~1985년 나우정밀주식회사 연구원

1986년 통신기술 주식회사 위촉연구원

1987년~현재 인천대학교 공과대학 전자공학과 부교수

관심분야 : 선형, 고효율 RF/MW 회로 설계 및 측정, 전파 통신 시스템 분석, GPS수신기용 RF모듈설계 등

송 호 준 (宋昊俊)



1985년 서울대학교 제어계측공학과
(공학사)

1988년 한국과학기술원 전기 및 전자
공학과 (공학석사)

1992년 한국과학기술원 전기 및 전자
공학과 (공학박사)

1985년~1986년 삼성정밀주식회사 연구원

1992년~1994년 현대전자주식회사 선임연구원

1994년~현재 충남대학교 전자공학과 조교수

관심분야 : 통신용 RF/IF Analog 설계, DSP 설계, 저전력
고속 메모리설계

지 규 인 (池圭仁)



1959년 11월 24일생

1982년 서울대 공대 제어계측공학
과 (공학사)

1984년 서울대 대학원 제어계측공
학과 (공학석사)

1989년 Case Western Reserve
University 시스템공학과 (공학박사)

1990년 Rensselaer Polytechnic Institute 연구원

1990년 9월~1992년 2월 강원대학교 제어계측공학과 전임
강사.

1992년 3월 ~ 현재 건국대학교 전자공학과 부교수

관심분야 : GPS/GLONASS 위성항법시스템, GPS/
INS 항법시스템, 차량항법시스템, 자동주행차량 항법
및 제어