

전압 레귤레이터를 내장한 이동통신용 VCO(Voltage Controlled Oscillator) 설계

Design of VCO(Voltage Controlled Oscillator) for mobile communication with a built-in voltage regulator

조 현 목*
(Hyon-Mook Cho*)

요 약

본 논문은 이동통신기기의 핵심부품중 하나인 VCO를 IC로 설계한 내용을 기술하였다. 설계한 VCO는 배리캡을 사용한 LC 동조형발진기로 구현하였다. 사용한 발진소자중 인덕터는 실리콘 IC 구현상의 난점[8]으로 인해 외부로 구성하고 나머지부분을 모두 IC화 하였다. 제작하는데 사용된 마스크 수는 15개이며 칩 사이즈는 $1150\mu\text{m} \times 780\mu\text{m}$ 이다. 제작한 VCO IC를 테스트한 결과 전원전압 5V에서 제어전압을 1V에서 3V로 변화시킬때 880MHz-915MHz 영역에서 동작하였으며 주파수 천이는 425KHz/V, 주파수 편이는 1.97MHz/T, 캐리어 레벨은 -7dBm, 전류소모는 16.7mA이었다. 또한, 위상 잡음은 50KHz 오프셋에서 -80dBc/Hz 이며 중심주파수에 대한 하모닉응답은 -41dBm 이다. 향후 송수신단을 단일 칩화하기 위해서는 외부회로도 실리콘 기판위에 구현할 수 있는 실리콘 MMIC[1][8]에 대한 연구가 수행되어야 할 것이다.

ABSTRACT

In this paper, one of the core components of a mobile communication system, VCO(Voltage Controlled Oscillator) IC is designed. The VCO IC was designed, have realized as LC tuned oscillator using varicap. LC sinusoidal tuned oscillator generally requires external inductors and thus remaining circuit is implemented in monolithic IC. The circuit is fabricated using an 15 mask IC process and has a die size of $1150\mu\text{m} \times 780\mu\text{m}$. The tests showed that VCO was operated at frequencies in the regions between 880MHz-915MHz in the control voltage range of 1V to 3V at 5V supply voltage and as the power supply was varied from 4.5V to 5.5V, the frequency varied 425KHz/V. The VCO IC has frequency shift of 1.97MHz/T, carrier level of -7dBm and power consumption of 16.7mA. Also it has phase noise of -80dBc/Hz, offset at 50KHz and harmonic response of center frequency is -41dBm. For the future development of the transceiver 1 chip, the previously mentioned external devices need to be incorporated into Si MMIC.

I. 서 론

VCO(Voltage Controlled Oscillator)는 통신시스템에서 널리 사용되는 회로로서, VCO의 성능을 평가하는 주요한 요소로는 동작주파수, 온도에 대한 주파수의 안정도 [1], 전압-주파수사이의 선형적 특성[2], 전압의 변화에 따른 주파수감도, 위상잡음등이다. 고주파 VCO는 주로 릴렉세이션(relaxation) 발진기, 링 발진기[4][9], LC 동조형 발진기등으로 구현된다. 앞의 두형태는 단일 칩으로 구현이 가능하나 위상잡음특성이 좋지않으며 고주파영역에서는 주파수 안정도가 떨어진다. LC 동조형 발진기는

고주파영역에서 상대적으로 좋은 특성을 가지나 외부 인덕터나 배리캡들로 인해서 단일 칩으로 구현할 수가 없다. 본 논문에서는 주파수대역이 900MHz 이상인 이동통신시스템에 사용되는 VCO를 LC 동조형 발진기[6]를 사용해서 설계하였다. 현재 이동통신용 VCO 제품은 모듈 형태와 IC 형태의 두가지 형태로 개발되고 있는데, 이동통신기기에서는 채널간격이 25KHz-30KHz 정도로 좁고 요구되는 전기적특성이 까다롭기 때문에 모듈화된 제품을 선호하는 경향이 있다. 그러나, 장기적인 측면에서 송수신단을 하나의 단일칩으로 구성하기 위해서는 IC 형태의 VCO에 대한 연구가 필수적이라고 생각한다. 본 논문에서 제시한 VCO는 전압레귤레이터[11]를 내장하여 전원전압변화에 대한 주파수의 안정성을 높였으며, 마이크로스트립라인으로 외부 인덕터를 구현함으로써 외부 어

*공주대학교 전자공학과

접수일자: 1997년 3월 17일

플리케이션회로의 면적을 줄일 수 있었다.

II. 이동통신용 VCO의 설계

2.1 이동통신용 VCO 회로의 전체구성

본 논문에서 설계한 VCO의 내부회로는 바이어스 회로, 발진회로, 외부 발진탱크회로, 증폭 회로, 버퍼 회로의 5개 블록으로 구성된다. 각 블록의 동작을 간략히 설명하면 바이어스 회로는 발진을 위해 필요한 일정한 전류를 생성하여 각 회로에 바이어스를 제공하는 역할을 한다. 발진회로는 외부 발진회로와 정계환을 이용해서 원하는 주파수를 생성하는 회로이다. 외부 발진탱크회로는 발진주파수를 결정하는 부분으로 기본적으로 LC 공진회로[6]로 구성하였으며 인덕터는 코일이나 마이크로 스트립 라인을 사용하고 커패시터 성분으로는 배럴터 다이오드를 사용하였다. 증폭기 회로는 발진회로에서 나온 신호중에서 차동 신호를 증폭하여 버퍼회로에 보내주는 역할을 수행한다. 버퍼회로는 다음 블록의 직류전압과 레벨에 맞게 신호를 제어하는 역할을 수행한다.

2.2 바이어스 회로의 설계

이 회로는 각 회로에 제공되는 전류 소오스의 레퍼런스를 설정하고 바이어스를 결정하는 회로이다. 이 회로의 회로도에는 그림 1에 나타내었다.

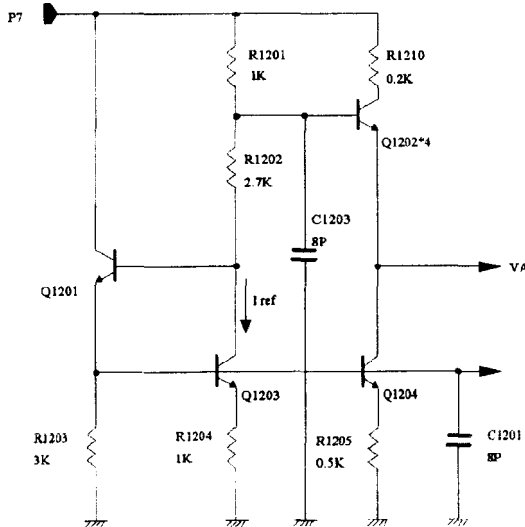


그림 1. 전류 소오스와 바이어스 생성회로

바이어스 전류를 구하기 위해서 우선 Q1201과 Q1203의 V_{BE} 를 구한 후 레퍼런스 전류를 식 (1)을 이용해서 구하면 500uA가 된다. 여기에서, 레퍼런스 전압 P7은 전압 레귤레이터의 출력으로써 4V이다.

$$I_{ref} = \frac{V_{P7} - 2 \times V_{BE}(Q1201, Q1203)}{R1201 + R1202 + R1204} \quad (1)$$

레퍼런스 전류를 500uA로 비교적 크게 한 이유는 가능한 오프셋을 줄이기 위해서이다. VA는 다음단인 발진회로의 DC 바이어스 전압이다. VA는 P7에서 R1201을 통해 Q1202를 거치는 경로로 식 (2)와 식 (3)을 이용해서 구한다. C1203 (8pF)은 잡음을 줄이기 위해서 사용하였다.

$$V_{BE}(Q1202) = V_T \ln \frac{I_C}{I_S} = 0.799 V \quad (2)$$

$$VA = V_{P7} - R1201 \times i_{ref} - V_{BE}(Q1202) = 2.701 V \quad (3)$$

2.3 발진 회로의 설계

이 회로는 외부 발진탱크회로와의 콜렉터 커플링[3]을 이루는 회로이다. 이 발진회로의 회로도에는 그림 2에 나타내었다. 이 회로는 차동 증폭기의 동작전류를 결정하는 바이어스 전압 VA와 외부 발진탱크, 차동 증폭기의 입출력단으로 구성된다. 이 회로의 바이어스 전류는 고주파수의 발진출력을 충분히 얻기 위해서 적절히 설정되어야 한다. 발진회로에 사용된 NPN 트랜지스터(Q1209, Q1210)는 멀티-베이스 트랜지스터인데 베이스 저항 r_b 를 감소시켜 3dB 주파수를 크게하여 주파수 특성이 좋고 또한 노이즈 특성도 좋은 특성을 가지고 있다. 발진회로의 설계에서 충분한 컷-오프 주파수를 얻기 위해서 바이어스 전류를 4mA로 설정하였는데 이는 그림 3에 나타난 설계시 사용한 멀티-베이스 트랜지스터의 AC 특성 그래프에 근거하여 설계하였다.

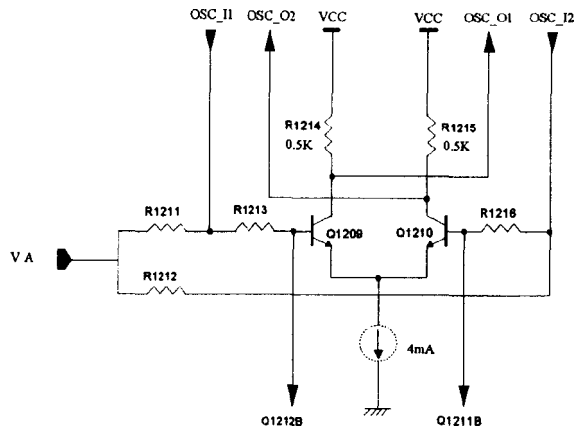


그림 2. 발진 회로

그림 3의 AC 특성 그래프에서 볼 수 있듯이 최대 컷-오프 주파수(4.5 GHz)에서 약 2mA 정도의 전류를 필요로 한다. 따라서, VCO의 발진회로 설계시 구현하고자 하는 주파수인 900MHz의 4-5 배에 해당하는 $f_T = 4.5$ GHz에서 요구하는 전류로 최소 2mA는 흐르게 설계해야만 발진을 보장할 수 있다.

발진회로에 사용된 차동증폭기의 최대 출력 스윙과 증폭기의 이득을 구해보면 다음식과 같다.

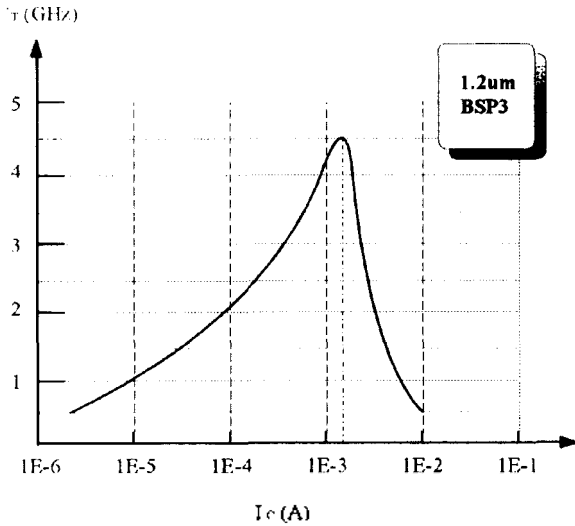


그림 3. NPN 트랜지스터의 AC 특성 그래프

$$V_{PP} = 2 \times ((0.5 \times 10^3) \times 2mA) \approx 2V \quad (4)$$

$$K = \frac{-2 \times 0.5K}{2r_e + \frac{R1213}{\beta} + 2r_E + \frac{2r_b}{\beta} + \frac{R1216}{\beta}} \quad (5)$$

r_E : Q1209와 Q1210의 에미터 직렬저항 (≈ 11.4)

r_b : Q1209와 Q1210의 베이스저항 (≈ 158)

r_e : Q1209와 Q1210의 에미터저항 (≈ 13)

에미터 직렬저항은 증폭기의 이득에 영향을 주며, 또한 베이스저항은 대역폭에 상당한 영향을 미치게 된다. 위의 식에서 K 값을 계산하면 약 19.4가 되며 차동모드 전압이득을 dB로 나타내면 25dB가 된다.

2.4 증폭단 블럭의 설계

이 블럭은 발진회로에서 발진된 신호중에서 동상신호는 제거하고 차동신호만을 증폭시켜서 다음단으로 전달한다. 그림 4에 증폭단 블럭의 회로도를 나타내었다. 이 회로에서 저주파 이득[8]은 다음식으로 구해진다.

$$A_V = \frac{2 \times R_L (0.5K)}{r_e + R1220(0.1K) + r_e} \approx 16.36 dB \quad (6)$$

이 회로에서의 전류 소오스는 주파수 f_T 를 만족하기 위해서 2mA로 설계하였으며, C1202(8pF)는 잡음을 가능한 줄이기 위해서 사용하였다.

2.5 외부발진탱크회로의 설계

외부발진탱크회로는 발진 주파수를 결정하는 부분으로 LC 탱크회로를 사용하였으며, 발진회로와 콤팩트 발진형태를 이용하였다. 그림 5에 외부발진탱크의 회로도를 나타내었다. 인터는 코일이나 PCB 상에 마이크로스트립 라인으로 설계하고 주파수 가변은 배릭터 다이오우

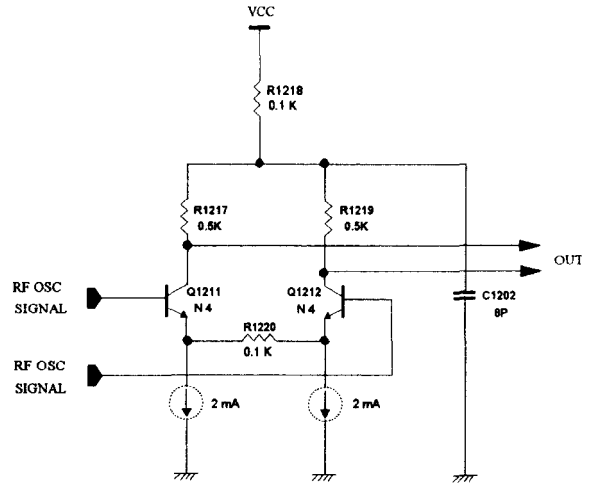


그림 4. 증폭단 회로

드를 사용하였다. C1에서 C4는 발진회로와의 커플링을 위해서 사용하였으며 저항은 사용한 배릭터 다이오우드에 역바이어스를 형성해 주기 위해서 사용하였다. C5와 C6는 위상잡음을 좋게하기 위해서 사용하였으며 C7은 배릭터 다이오우드와 연결된 커패시터이다. 즉, 주파수가 변이 배릭터 다이오우드[2]와 C7의 조합에 의해 결정된다. VT 단자에 연결된 부분에 직렬로 초크회로를 사용하기도 한다.

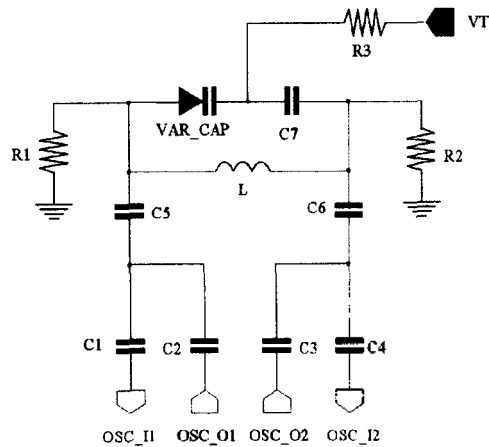


그림 5. 외부발진탱크의 회로도

III. 전압 레귤레이터의 설계

본 논문에서 설계한 전압 레귤레이터는 밴드-갭 레퍼런스를 이용한 직렬 레귤레이터 회로이다. 회로는 전압 레퍼런스, 에러 증폭기, 직렬 통과소자의 세 부분으로 구성되어 있다. 또한, 부가적으로 전체회로의 올바른 동작을 위해서 바이어스 회로가 첨가되어 있다.

3.1 밴드-갭 전압 레퍼런스 회로의 설계

그림 6에 밴드-갭 전압 레퍼런스 회로[10][11]를 나타내었다. R₆에 의한 전압강하와 R₇에 의한 전압강하사이의 전압차가 에러전압이 된다. 그림 6과 같은 저항조절하에서의 R₆에 흐르는 전류 I₁₄와 R₇에 흐르는 I₁₆의 비는 다음과 같게 된다.

$$\frac{I_{14}}{I_{16}} = \frac{R_7}{R_6} = \frac{36 \text{ k}\Omega}{9 \text{ k}\Omega} = 4 \quad (7)$$

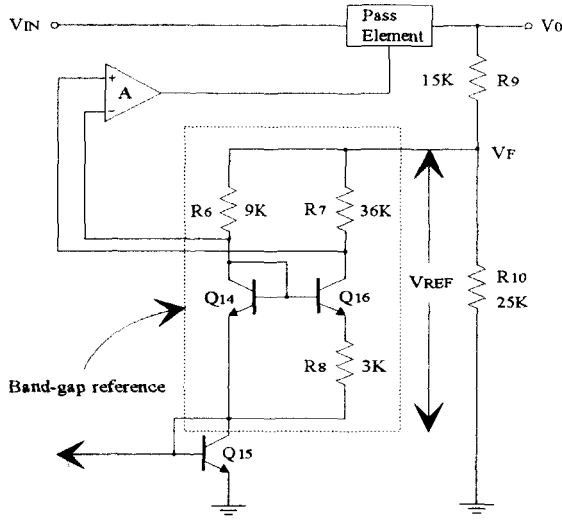


그림 6. 밴드-갭 레퍼런스 회로

즉, R₆에 흐르는 전류가 R₇에 흐르는 전류보다 4배 많이 흐르게 된다. I₁₄와 I₁₆은 Q₁₄와 Q₁₆의 콜렉터 전류와 같으므로, 다음 식이 성립한다.

$$\begin{aligned} I_{14} &\cong I_{CO} \exp(V_{BE14}/V_T) \\ I_{16} &\cong I_{CO} \exp(V_{BE16}/V_T) \end{aligned} \quad (8)$$

여기에서, I_{CO}는 포화전류이고, V_T(=kT/q)는 온도 전압이다. V_{BE}의 차이는 R_k에 걸리는 전압과 같으므로, ΔV_{BE}는 다음식과 같다.

$$\Delta V_{BE} = V_{BE14} - V_{BE16} = I_{16} R_8 \quad (9)$$

$$V_T \ln\left(\frac{I_{14}}{I_{S14}}\right) = V_T \ln\left(\frac{I_{16}}{I_{S16}}\right) + R_8 I_{16}, I_{S14} \cong I_{S16} \quad (10)$$

식 (7)을 이용하고 R₈을 3K로 설정을 한다면, I₁₆은 12μA가 흐르게 된다. 따라서, I₁₄는 약 4배인 48μA 정도가 흐르게 된다. 레퍼런스 전압 V_{REF}는 Q₁₄의 베이스-에미터 전압과 R₆에 걸리는 전압과의 합이므로, 다음식으로 표현될 수 있다.

$$V_{REF} = V_{BE14} + I_{14} R_6 = V_{BE14} + V_T \ln\left(\frac{R_7}{R_8}\right) \quad (11)$$

V_{REF}가 온도변화에 무관[10]하려면, V_{REF}의 온도계수, TC_{V(REF)}가 0이 되어야 한다. 식 (12)를 이용해서 V_{REF}를 구하면 식 (13)과 같이 된다. 여기에서, E_{GO}는 밴드-갭 전압으로 1.205V 정도이다.

$$i_{C_{V(REF)}} \cdot \frac{dV_{REF}}{dT} = \frac{dV_{BE14}}{dT} + \frac{V_T}{T} - \frac{R_7}{R_8} \ln\left(\frac{R_7}{R_8}\right) = 0 \quad (12)$$

$$V_{REF} = V_{BE14} - T \frac{dV_{BE14}}{dT} = E_{GO} + 3 V_T = 1.283 V \quad (13)$$

3.2 차동증폭기를 이용한 에러 전압증폭기 회로 설계

그림 7의 회로는 에러 증폭기부분[5]이다. 이 회로는 차동증폭기를 이용한 회로로써 밴드-갭 레퍼런스[10]의 한 부분일 뿐만아니라 직렬 레귤레이터 전체 회로의 에러 증폭기의 기능도 한다. Q₁₃에 흐르는 전류 I₁₃를 구해보면 약 60μA가 된다.

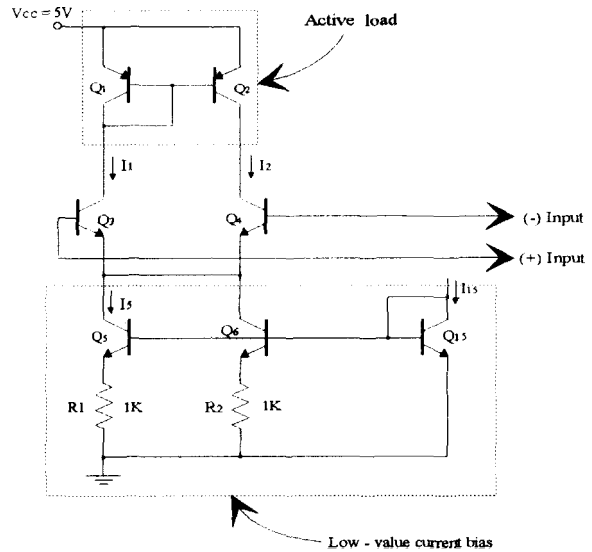


그림 7. 차동 증폭기를 이용한 에러증폭기회로

이 증폭기 회로의 이득은 다음식을 이용해서 구할 수 있는데 약 443.8 정도이다.

$$A_v = g_m R_{out} = \frac{1}{V_T} \cdot \frac{V_{AN} V_{AP}}{V_{AN} + V_{AP}} \quad (14)$$

여기에서, V_{AN}:npn 트랜지스터의 Early 전압 (≅50)
V_{AP}:pnp 트랜지스터의 Early 전압 (≅15)

3.3 통과 소자회로의 설계

통과소자회로는 그림 8과 같이 Q₁₇, Q₁₈, Q₁₉, Q₂₀로 구성되어 있다. Q₁₃의 에미터전류를 I₁₃라 하면, 다음과 같은 식으로 표현할 수 있다.

$$I_{13} = \frac{V_{BE}}{R_{11}} + 4 I_B (V_{BE} = V_{BE17} \sim V_{BE20}, I_B = I_{B17} \sim I_{B20}) \quad (15)$$

V_{BE} 는 거의 변화가 없다고 가정하면, I_{B3} 이 변하게 되면, I_B 가 변하게 된다. 따라서, I_{B3} 이 증가하면, I_B 가 증가하여서, 통과 트랜지스터를 흐르는 전류가 증가하게 된다. 이 전류는 전압 레퍼런스의 전압을 증가시켜서, 결국엔 I_{B3} 을 감소시키게 된다.

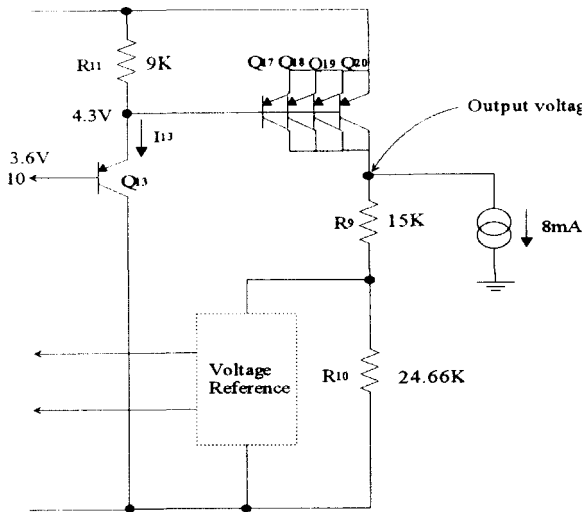


그림 8. 통과 소자의 회로도

IV. 시뮬레이션, 레이아웃 및 테스트

시뮬레이션은 HSPICE와 고주파용 전문 시뮬레이터인 MDS(Microwave Design System)를 사용하여 수행하였다. 시뮬레이션을 수행한 결과를 항목별로 간단한 설명과 함께 나타내었다.

4.1 발진여부에 대한 시뮬레이션

발진기를 시뮬레이션하는데 있어서 가장 기본적인, 중요한 항목이 발진회로가 Barkhausen조건을 만족하는가를 알아보는 것이다. 발진여부에 대해 시뮬레이션을 수행한 결과를 그림 9에 나타내었다. 그림에서 보면 선형 그래프에서 970MHz 근처에서 발진함을 알 수 있다.

4.2 동작주파수에 대한 시뮬레이션

동작주파수에 대한 시뮬레이션은 주파수영역에서 하모닉성분을 감안해서 시뮬레이션을 수행하였다. 이 시뮬레이션은 하모닉의 차수를 7차까지 고려해서 시뮬레이션하였다. 하모닉의 차수를 크게할 수록 시뮬레이션은 정확해 지지만 메모리와 시간이 상당히 소요된다. 따라서, 보통 MDS에서는 7차로 하모닉 차수를 설정할 것을 권고하고 있다. 시뮬레이션 한 결과, 그림 10에서 보인 것처럼 스펙트럼으로 표현한 그래프에서 950MHz에서 동작주파수가 결정됨을 알 수 있다. 이 시뮬레이션은 기본적으로 정상적인 조건에서의 회로를 사용하였다.

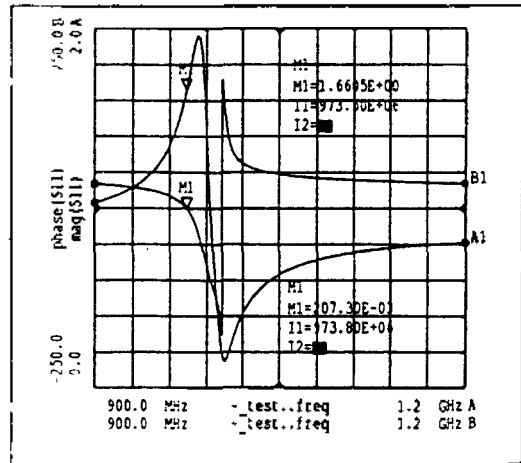


그림 9. 발진여부에 대한 시뮬레이션 결과

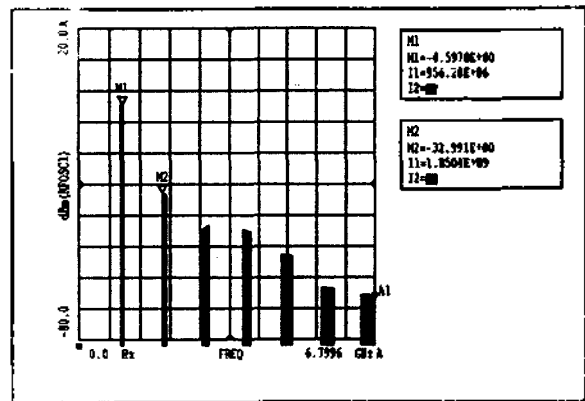


그림 10. 동작주파수에 대한 시뮬레이션 결과

4.3 주파수 천이에 대한 시뮬레이션

주파수 천이[3][6]에 대한 시뮬레이션은 전원전압을 전원전압(5V)에 대해서 $\pm 10\%$ 를 변화시켰을 때 동작주파수의 변화를 알기위한 것이다. 즉, 전원전압을 4.5V에서 5.5V 까지 변화시키면서 주파수의 변화를 살펴보았다. 시뮬레이션 결과는 8.73 KHz로서 기존의 상용화된 미국 Motorola社의 MC12148 모델의 제품과 비교할 때 상당히 우수한 결과이다.

4.4 주파수 편이에 대한 시뮬레이션

주파수 편이[1]에 대한 시뮬레이션은 동작온도의 변화에 대한 동작주파수의 변화를 살펴보게 된다. 동작온도는 휴대용 이동통신기가 가질 수 있는 최악조건인 -20°C 에서 $+80^{\circ}\text{C}$ 까지 변화를 시키게 된다. 이는 MDS에서 제공하는 TEMP 라는 함수를 이용해서 변화시킬 값을 대입시켜 수행할 수 있다. 수행한 시뮬레이션의 결과는 1.6 MHz가 변화됨을 알 수 있었다.

4.5 주파수 제어감도에 대한 시뮬레이션

주파수 제어감도[2][10]에 대한 시뮬레이션은 외부발진 탱크회로에서 사용한 LC 공진회로중 커패시터 성분으로 사용한 배리캡을 제어하는 제어전압을 변화시켰을 때의 동작주파수 변화를 알고자 한다. 시뮬레이션을 수행하기 위해서는 배리캡의 모델링이 우선되어야 하는데 사용한 배리캡은 BB535;1SV214 모델로써 그림 11에 나타난 C-V 데이터 특성곡선을 이용하여 모델링을 한 후 시뮬레이션에 사용하였다. 배리캡을 모델링하기 위한 식을 식 (16)과 (17)에 나타내었다. 여기에서, VT는 제어직류전압을 나타낸다.

$$C_J(VT) = C_{J0} \left[1 + \frac{VT}{V_J} \right]^{-M_J} \quad (16)$$

$$M_J = \frac{\ln\left(\frac{C_{J1}}{C_{J2}}\right)}{\ln\left(\frac{V_{02}}{V_{01}}\right)}, K = \left[\frac{C_{J3}}{C_{J1}} \right]^{\frac{1}{M_J}}, \quad (17)$$

$$V_J = \frac{KV_{03} - V_{01}}{1 - K}, C_{J0} = C_{J3} \left[1 + \frac{V_{03}}{V_J} \right]^{M_J}$$

실제로, 식 (16)과 식 (17)을 검증하기 위해서 실제적인 값을 넣어서 계산을 해 보았다. 실제적인 BB535 C-V 데이터 특성에서 CJ1, J2, J3의 값과 V01, V02, V03의 값을 측정하면 다음과 같다.

$$V_{03} = 1.0V, V_{01} = 2.0V, V_{02} = 3.0V \\ C_{J3} = 19pF, C_{J1} = 15.1pF, C_{J2} = 12.8pF$$

직접 계산을 해보면 다음과 같은 값을 얻을 수 있다.

$$M_J \doteq 0.407, K = 1.759, V_J = 0.317, C_{J0} \doteq 39.92$$

따라서, 위의 각 파라미터 값들을 각각 다른 전압값에 대해서 식 (16)에 대입해서 모델링한 커패시터의 값을 확인할 수 있다.

$$\text{VT: } 1.0V \text{인 경우: } C_J(1.0V) \doteq 19pF \\ \text{VT: } 2.0V \text{인 경우: } C_J(2.0V) \doteq 15.09pF \\ \text{VT: } 3.0V \text{인 경우: } C_J(3.0V) \doteq 12.9pF \text{이다.}$$

즉, 모델링한 수식에 직접적인 값을 대입한 결과와 C-V 데이터의 값과 일치함을 확인할 수 있다. 시뮬레이션 결과를 그림 12에 나타내었는데 제어전압을 1V에서 3V까지 0.1V씩 증가시키면서 시뮬레이션 수행한 결과 1V당 약 25MHz의 주파수변화가 생기는 것을 알 수 있었다.

4.6 중심주파수에 대한 하모닉응답에 관한 시뮬레이션

주파수해석을 하면 기본주파수 외에 여러 하모닉성분 [1]이 나타나게 되는데 이 성분들과 기본주파수사이의 관계를 알아볼 수 있다. 기본주파수와 2차 하모닉성분과의 캐리어레벨차이가 약 25dBm 정도가 됨을 알 수 있었다.

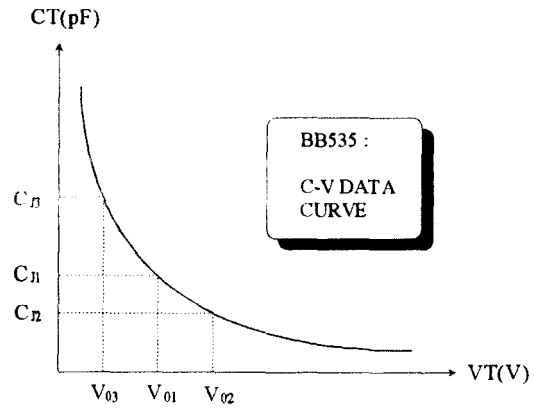


그림 11. 배리캡의 C-V 데이터 플롯

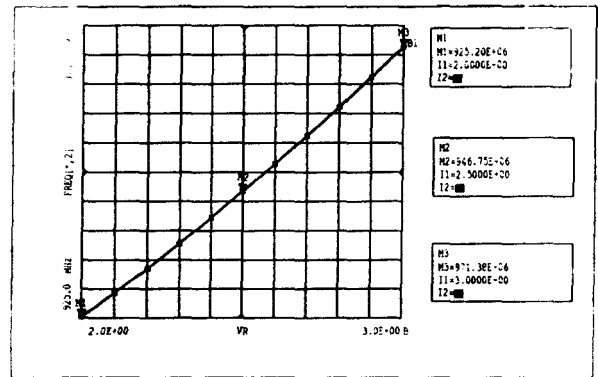


그림 12. 주파수 제어감도에 대한 시뮬레이션 결과

4.7 위상잡음에 대한 시뮬레이션

MDS에서는 $L_f(f)$ 라는 함수를 이용해서 위상잡음[1] [6]에 대한 시뮬레이션을 수행한다. 위상잡음에 기여하는 요소로는 크게 4개라고 알려져 있다. 그림 13에 나타내었는데 가장 낮은 잡음주파수에서부터 Flicker FM, White FM, Flicker PM, White PM에 의해 전적으로 좌우된다. MDS에서는 Flicker FM과 White FM만을 고려해서 시뮬

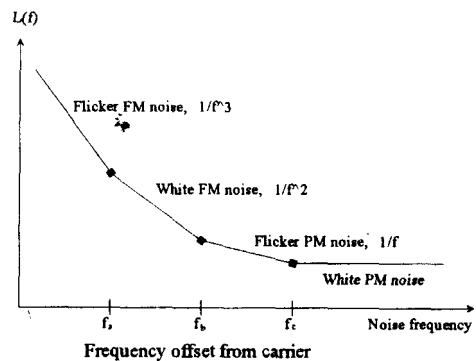


그림 13. 위상잡음에 기여하는 잡음 메카니즘

레이션을 한다. 시뮬레이션 결과는 오프셋 주파수 28KHz에서 98dBc/Hz의 결과를 얻었다.

4.8 레이아웃

본 논문에서 설계한 VCO는 2um 바이플라 공정인 BSP3의 설계 규칙을 이용하여 레이아웃을 수행 하였다. 레이아웃에 사용된 레이어 수는 총 15개이며 결과적인 칩 내부 사이즈는 1150um x 780um이며, 패드와 스크라이버 라인을 포함한 사이즈는 1200um x 1200um이다. 패키지 형태는 8 PIN SOP-N 형태이다. 결과적인 전체 레이아웃의 그림을 그림 14에 나타내었다.

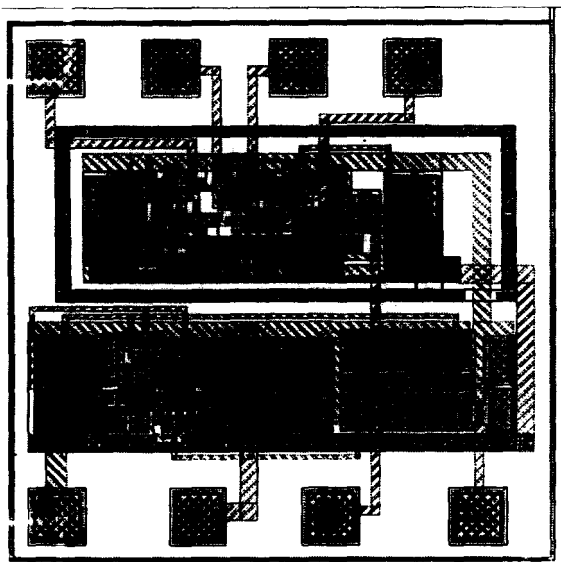


그림 14. 전체 레이아웃

4.9 제작한 VCO 회로의 테스트

제작한 VCO 칩은 고주파영역에서 동작을 하기 때문에 정확한 테스트를 보장하기 위해서는 외부전파와의 혼신을 방지할 수 있는 쉴드룸(Shield room)에서의 테스트가 필수적이다. 또한, 출력에 연결되는 케이블은 고주파전용 BNC 케이블(≤6 GHz)을 사용하여 테스트하였다. 사용한 장비는 스펙트럼 어날라이저(≤1.5GHz), 오실로스코프, 전원공급기, 함수 생성기, 멀티미터등이다. 테스트 보드는 앞의 회로도들 기초로 하여 여러가지 옵션을 고려하여 제작하였다. 테스트 보드의 신호선을 제외한 모든 부분은 그라운드 처리를 하였으며 신호선(전원전압, 튜닝전압)은 바이패스 사커서 안정된 신호를 공급하도록 제작하였다. 그림 15에 제작한 테스트 보드를 나타내었다. 테스트 보드의 실제 크기는 7cm x 7cm이다. 먼저 최대 동작주파수를 알아보기 위해서 주파수가 변을 무시하고 커패시터 1개만을 인덕터와 단독으로 연결하여 측정을 하였다. 그 결과는 최대 동작주파수가 933MHz에서 발전하고 출력레벨이 -12dBm임을 알 수 있다. 그림 16에 스펙트럼 어날라이저로 측정한 결과를 나타내었다.

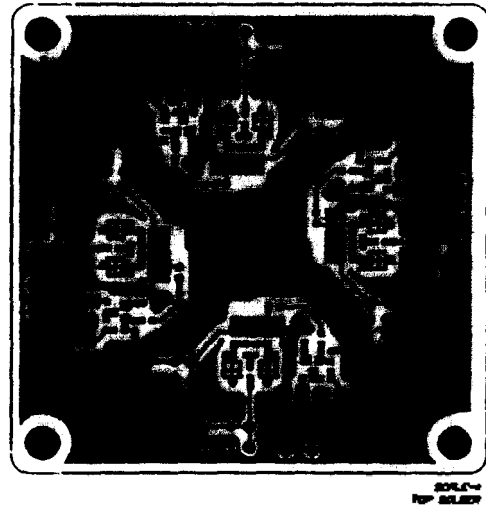


그림 15. 마이크로 스트리프를 이용한 테스트 보드

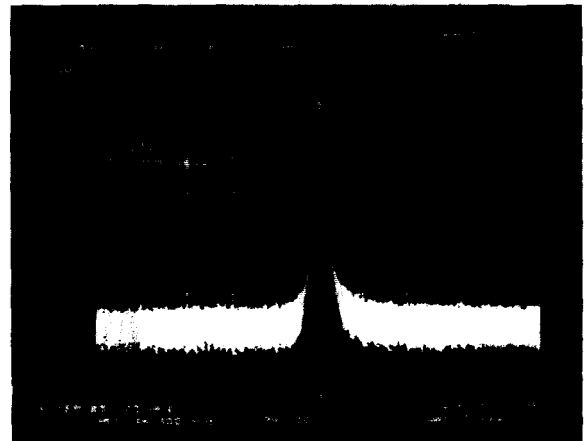


그림 16. 동작주파수의 측정결과

주파수 천이에 대한 테스트 결과는 425KHz의 주파수 천이가 있었다. 또한, 주파수편이에 대한 테스트 결과는 1.97MHz 정도로 측정되어 원하는 결과를 얻었다. 그림 17은 주파수제어감도에 대한 테스트결과이다. 제어전압을 2V에서 3V로 변화시켰을 때의 주파수변화를 나타내는데 16MHz/V의 주파수제어감도를 갖는다. 그러나, 배리캡의 C-V 데이터 특성이 완전한 선형성을 가지지 못하므로, 1V에서 2V로 변화시킬때는 10MHz/V의 주파수제어감도를 갖는다. 따라서 이를 동시에 나타내면 13MHz ± 3/V라고 나타낼 수 있다. 전체적으로 가변주파수 범위는 약 25MHz 정도가 된다. 그림 18은 위상잡음에 대한 테스트 결과이다. 위상잡음의 단위는 dBc/Hz인데 신호원의 캐리어에 대한 1Hz당 잡음비로 SSB 위상잡음[6]을 표시한다. SSB 위상잡음이란 캐리어 주파수의 단기적 변동을 표시하는 것으로 캐리어의 위상변조에 의한 전력밀도(캐리어 주파수로부터 +f_m 또는 -f_m 떨어진 주파수에서는 1Hz 당의 전력)를 전신호전력으로 나눈 값이다. 테스트 결과는 50KHz 오프셋일때는 80 dBc/Hz이었다.

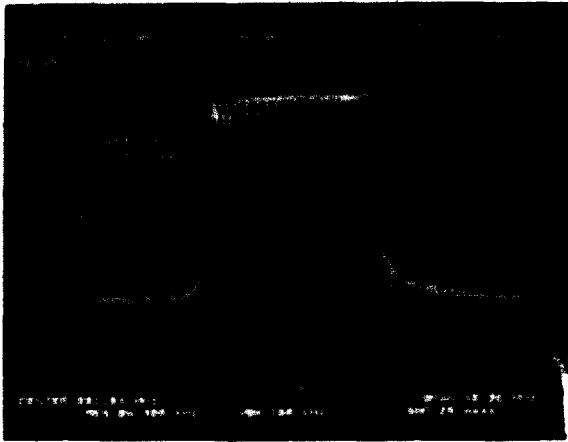


그림 17. 주파수제어감도의 측정결과



그림 19. 중심주파수에 대한 하모닉응답 측정결과

그림 19에는 중심주파수에 대한 하모닉응답특성에 대한 테스트 결과를 나타내었다. 중심주파수와 2번째 하모닉 성분과는 41dB의 차이가 있음을 알 수 있어서 만족한 결과를 얻었다. 이 외의 테스트 결과를 상용화된 IC 형태인 미국 Motorola社의 MC12148모델의 모델과 비교하여 표 1에 나타내었다. 표 1에서 보듯이 전류소모가 많은 단점이 있으나, 이는 공정상의 문제로 현재의 BJT 공정으로서의 한계가 있다. 동작주파수는 시뮬레이션 결과보다 약 50MHz 정도 낮은 범위에서 동작을 한다. 이는 앞에서 언급한 바와 같이 사용된 공정의 트랜지스터 주파수특성과 테스트보드상의 문제등이 복합적으로 관련된다고 생각한다. 주파수편이 특성은 전압레귤레이터를 내장해서 상당히 만족스러운 결과를 얻었다고 생각한다. 주파수 편이 특성은 공정의 온도특성[1]에도 관계가 되나 테스트보드를 구성하는데 사용하는 칩 커패시터나 칩 저항들의 온도계수들을 고려하여 사용하는 것도 중요하다. 위상잡음은 좋지않은 결과를 나타내었는데 이는 앞으로 많은 연구가 진행되어야 할 것으로 생각한다. 회로설계

표 1. 테스트결과와의 비교

항 목	조 건	MC12148	시뮬레이션 결과	테스트 결과	단 위
동작 전압	-	5 ± 0.5	5	5	V
동작 전류	-	14	16	16.7	mA
동작 주파수	T = 25℃	900	925-975	880-915	MHz
주파수 편이	V _{cc} = ±10%	3600	8.73	425	KHz/V
주파수 편이	-20 ~ 70℃	-	1.6	1.97	MHz/℃
캐리어 레벨	T = 25℃	-10 ~ -6	-5	-7	dBm
제어 전압	-	-	2-3	1-3	V
위상 잡음	25KHz offset	-90	-98(28)	80(50)	dBc/Hz
주파수 제어 감도	-	10	46	13 ± 3	MHz/V
중심주파수의 하모닉 응답	-	-25	-25	-41	dBm
풀링 피격	V _{SWR} = 2	-	-	-	KHz
출력임피던스	-	50	50	50	

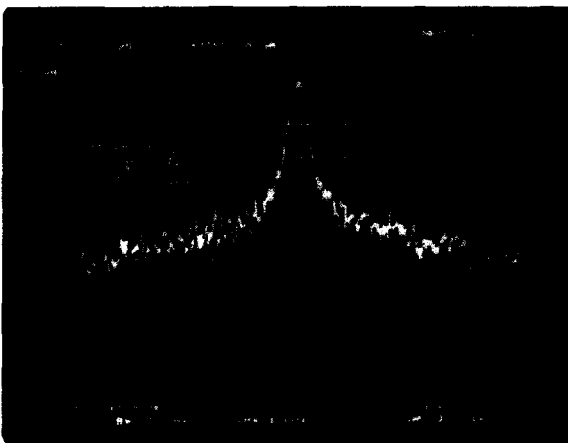


그림 18. 위상잡음의 측정결과

단계에서부터 노이즈방지에 대한 충분한 고려가 있어야 할 것이며, 차후 Si MMIC[7][8]가 구현될 경우 상당히 개선되리라 생각한다.

V. 결 론

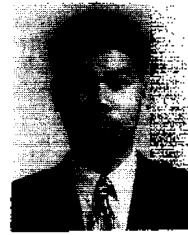
본 논문에서는 이동통신기기의 핵심부품중 하나인 VCO를 IC로 설계 제작하였다. 본 논문에서 설계하고 제작한 VCO는 전압레귤레이터를 내장한 IC로서, 발진기 형태는 동조형 발진기 형태이며 발진소자로서는 LC 공진기를 사용하였다. 또한, 발진탱크와의 커플링은 플피츠 발진 형태를 사용하였다. 발진탱크회로는 인덕터의 Si IC 구현상의 난점[8]으로 인해 외부소자로 구성하였다. 본 논문에서 설계하고 제작한 VCO는 전압레귤레이터를 내장하여

전원변화에 대한 주파수 천이를 개선했다는 점과 외부 인덕터의 구현에서 동축케이블대신에 다층 PCB 상에 직접 마이크로스트립라인[7]을 사용함으로써 외부 어플리 케이션회로의 면적을 감소시켰다. 향후 f_T 가 높은 공정에 대한 연구가 진행된다면, 동작주파수가 더 높은 VCO를 설계할 수 있으리라 생각한다. 또한, PCB 상의 마이크로 스트립라인에 대한 문제도 어느정도 동작주파수의 감소에 영향을 주었다고 생각하는데, 인덕터를 구현할 때 좀 더 높은 Q를 갖도록 설계하는 연구가 진행되어야 할 것이며, 향후 송수신단을 단일칩화하기 위해서는 외부회로도 실리콘 기판위에 구현할 수 있는 Si MMIC의 연구가 진행되어야 할 것으로 생각한다.

참 고 문 헌

1. J. F. Kukielka and R. G. Meyer, "A high frequency temperature-stable monolithic VCO", IEEE J. Solid-State Circuits, vol. SC-16, No. 6, pp. 1214-1219, Dec. 1981.
2. T. P. Liu and R. G. Meyer, "A 250MHz monolithic voltage-controlled oscillator with low temperature coefficient", IEEE J. Solid-State Circuits, vol. 25, No. 2, Apr. 1990, pp. 555-561.
3. Kazuo Kato, Takashi sase, Hideo sato, Ichiro Ikushima, and Shin'ichi Kojima, "A low-power 128-MHz VCO for monolithic PLL IC's", IEEE J. Solid-State Circuits, vol. 23, No. 2, Apr. 1988, pp. 474-479.
4. S. K. Enam and Asad A. Abidi, "A 300-MHz CMOS voltage-controlled ring oscillator", IEEE J. Solid-State Circuits, vol. 25, No. 1, Feb. 1990, pp. 312-315.
5. Richard R. Spencer and James B. Angell, "A voltage-controlled duty-cycle oscillator", IEEE J. Solid-State Circuits, vol. 25, No. 1, Feb. 1990, pp. 274-281.
6. Nhat M. Nguyen and Robert G. Meyer, "A 1.8-GHz monolithic LC voltage-controlled oscillator", IEEE J. Solid-State Circuits, vol. 27, No. 3, Mar. 1992, pp. 444-450.
7. E. Frlan, S. Meszaros, M. Cuhaci and J. S. Wight, "Computer Aided Design of Squire Spiral Transformers and Inductors", IEEE MTT-S Digest 1989, pp. 661-664.
8. Nhat M. Nguyen and Robert G. Meyer, "Si IC-compatible inductors and LC passive filters", IEEE J. Solid-State Circuits, vol. 25, No. 4, Aug. 1990, pp. 1028-1031.
9. Frederick L. Martin "A BiCMOS 50-MHz Voltage-Controlled Oscillator with Quadrature Output", in IEEE 1993 CICC Conf. Rec., 1993, pp. 27.4.1-27.4.4.
10. Yannis P. Tsvividis, "Accurate anaysis of temperature effects in IC-VBE characteristics with application to bandgap reference sources", IEEE J. Solid-State Circuits, vol. SC-15, No. 6, Dec. 1980, pp. 1076-1084.
11. David P. Laude and James D. Beasom, "5V temperature regulated voltage reference", IEEE J. Solid-State Circuits, vol. SC-15, No. 6, Dec. 1980, pp. 1070-1075.

▲조 현 목(Hyon-Mook Cho)



1985년 3월~1989년 2월: 고려대학교
전자공학과(공학사)

1989년 3월~1991년 2월: 고려대학교
대학원 전자공학과 반도체 및 통신전공(공학석사)

1991년 3월~1995년 2월: 고려대학교
대학원 전자공학과 반도체 전공(공학박사)

1995년 9월~현재: 공주대학교 전자공학과 전임강사

※주관심분야: 통신용 ASIC 설계, 컴퓨터 구조 및 DSP 칩 설계등