

삼층 그리드 채널 배선을 위한 최소 혼신 배선 총 할당 방법

장 경 선[†]

요 약

대규모 집적회로의 공정 기술의 발달로 전선 간의 간격이 가까와 짐에 따라서, 전선 간에 발생하는 결합 캐패시턴스가 집지 캐패시턴스에 비하여 급격히 증가하게 되었다. 그에 따라, 레이아웃의 설계과정에서 결합 캐패시턴스로 유발되는 혼신을 중요한 요인으로 고려할 필요가 있게 되었다. 본 논문에서는 3개 이상의 배선 층을 사용하는 배선 영역, 특히 채널 배선 영역에서 혼신을 최소화시킬 수 있는 배선 총 할당 방법을 다룬다. 제안된 방법은 배선 총 할당 문제를 0/1 정수 선형 프로그래밍 문제로 형식화하여 해결하는 것이다. 또한, 비용 함수에 대한 상한을 추정함으로써 효율을 향상시키는 방법을 제안한다. 실험을 통하여 제안된 방법이 혼신을 효과적으로 개선함을 보인다.

Minimum Crosstalk Layer Assignment for Three Layers Gridded Channel Routing

Kyoung-Son Jhang[†]

ABSTRACT

As inter-wire spacing on a VLSI chip becomes smaller with the evolution of VLSI fabrication technology, coupling capacitance between adjacent wires is increasing rapidly over ground capacitance. Therefore, it becomes necessary to take into account the crosstalk caused mainly by coupling capacitance during the layout design of VLSI systems. This paper deals with layer assignment problem to minimize crosstalk in three layers gridded channel routing. The problem is formulated in 0/1 integer linear programming style. Upper bound for cost function is estimated for the fast termination. Experiment shows the effectiveness of our approach to minimize crosstalk.

1. 서 론

VLSI 회로의 공정 기술의 발달로 전선 간의 간격이 가까와지면서, 전선 간에 발생하는 결합 캐패시턴

스(coupling capacitance)가 크게 증가하고 있다[1, 2]. 그 이유는 기존의 공정에서 1 μ m이하의 CMOS VLSI 공정으로의 전환과정에서 수직 차원(전선의 두께, 절연물질의 두께 등)은 거의 일정하게 유지하면서, 수평 차원(전선의 너비, 전선 간의 간격)만을 축소해가기 때문이다[1]. 또한, 결합 캐패시턴스는 혼신을 유발시키는 주 요인이므로, 혼신을 줄이는 것을 설계 상의 중요한 요인으로 고려할 필요가 있게 되었다. 설계 과정에서는 네트 별로 혼신의 허용 한계(혼신 제

※ 본 연구는 한국과학재단 97년도 핵심전문연구의 지원을 받아 수행됨(과제번호: 971-0915-092-2).

† 정 회 원: 한남대학교 컴퓨터공학과 교수
논문접수: 1997년 2월 18일, 심사완료: 1997년 6월 23일

약 조건)가 주어지게 된다. 최근에는 100MHz이상의 속도로 동작하는 마이크로프로세서들이 등장하고 있으며, 앞으로 회로의 동작 속도는 더 증가할 것으로 예상된다. 이와 같이 빠르게 동작하는 회로의 경우에는, 신호 전이 속도(signal transition rate)가 빠르므로, 혼신이 발생할 가능성은 더욱 크다. 따라서, 안정성과 고속을 요하는 대규모 집적 회로의 구현을 위한 레이아웃 설계 과정에서 혼신 제약 조건을 만족시키거나, 혼신을 최소화시키는 것은 매우 중요한 문제로 고려되어야 할 것이다.

초기 배선이 주어진 경우에 혼신을 고려하여 배선을 개선하는 방법[3, 4, 5, 6]이 제안된 바 있다. Gao는 주어진 초기 배선의 각 트랙에 있는 수평 선분들을 하나의 단위로 하여 혼신을 최소화시키는 문제를 순열(permutation) 문제로 보고, 이를 정수 선형 프로그래밍(Integer Linear Programming) 문제로 형식화하여 해결하려 하였으며[3], 스위치박스 배선에도 유사한 방법을 적용하였다[4]. Jhang의 방법[5]은 한 트랙 안에 있는 수평 선분을 단위로 재배열하는 휴리스틱을 제안하였다. Chaudhary는 레이아웃 최적화(layout compaction) 과정에서 선분 간의 간격을 재조정함으로써 혼신을 개선시키려 하였다[6].

초기 배선이 주어진 경우에 위와 같은 재배선 방법들은 설계된 회로의 연결 지연과 같은 다른 요인들에 영향을 줌으로써 설계자가 예상하지 않은 결과를 초래할 가능성이 있다. 그러나 본 논문에서 제안하는 배선 층의 할당 방법은 주어진 초기 배선의 배선 층만을 변경하고, 배선 층들이 거의 같은 전기적 특성을 갖기 때문에 위와 같은 부작용을 초래하지 않으면서, 혼신을 개선하는 방법이다. VLSI 공정 기술이 발달하면서, 3개 이상의 메탈층을 사용하는 경우가 많아지고 있다. 따라서, 본 논문에서는 2개의 층을 수평(수직) 배선에 나머지 한층은 수직(수평) 배선에 사용하는 HVH(VHV) 형태의 삼층 그리드 배선 모델에 적용 가능한 배선 층 할당 방법을 제안한다.

기존의 배선 층 할당 방법[7, 8]은 비어(via)의 수를 줄이는 등의 목적을 갖는다. 그런데, 혼신은 인접한 선분 간에 발생하기 때문에, 기존의 방법을 그대로 적용하기 어렵다. MCM(Multi Chip Module) 설계 등에 적용 가능한 혼신 최소화를 위한 배선 층 할당 방법[9, 10]은 수십 개나 되는 매우 많은 배선 층 가정하고

있다. 또한, 혼신 최소화를 위한 전체 배선과 배선 층 할당을 한 후에 상세 배선을 하는 방식을 취한다. 따라서, 이 방법을 2-3개 정도의 배선 층을 갖는 대규모 집적회로 칩 레이아웃의 설계에 효과적으로 적용하기는 곤란할 뿐만 아니라, 효율성을 보장하기도 어렵다.

최근에 VHV 형태의 3층 그리드 배선 모델에 적용 가능한, 혼신 최소화를 목적으로 하는 배선 층 할당 방법이 제안되었다[11]. 이 방법은 설계 과정에서 선분 별로 혼신에 대한 허용 상한 치가 주어진 것으로 가정하고, 혼신 제약 조건을 만족시키는 배선 층 할당 방법을 찾는 다항식 복잡도를 갖는 알고리즘을 제안하였다. 그러나, 혼신에 대한 허용 상한 치는 네트 별로 주어지기 때문에, 이 방법을 실제적으로 사용하기 위해서는 각 선분에 대하여 혼신의 허용 상한치를 분배하는 효과적인 알고리즘을 필요로 한다. 그런데, VHV 배선 모델의 경우에 하나의 네트에 적게는 3-4개, 많게는 10개 이상의 수직 선분을 갖는다. 따라서, 한 네트의 혼신에 대한 허용 상한치를 그 네트에 속한 수직 선분들에 분배하는 최적의 방법을 찾는 문제의 탐색 공간의 크기는 네트의 수(또는 선분의 수)에 대한 지수함수 복잡도를 갖는다.

네트 별로 혼신에 대한 허용 상한치가 주어진 경우에 배선 층 할당 문제의 탐색 공간의 크기는 선분의 수에 대한 기하학적인 복잡도를 갖는다. 그리고, 저자가 아는 한 아직까지는 이에 대한 다항식 복잡도를 갖는 최적의 알고리즘이 알려져 있지 않다.

본 논문에서는 위와 같은 문제를 0/1 정수 선형 프로그래밍 방식으로 형식화하여 최적의 해를 찾고자 한다. 또한, 수행 속도를 줄이기 위한 방법이 제안된다. 먼저, 특정한 부류의 예제에 대해서는 최적 해를 간단하게 찾을 수 있음을 보인다. 둘째로, 초기 해로부터 비용 함수의 상한을 추정함으로써 수행 시간을 개선하는 방법이 기술된다. 실험 결과를 통하여 제안된 방법이 효과적으로 주어진 문제에 대한 최적 해를 찾음을 보여준다.

2. 문제의 정의 및 형식화

본 논문에서는 세개의 배선 층이 HVH(VHV) 형태로 사용되는 그리드 배선 모델을 가정한다. HVH

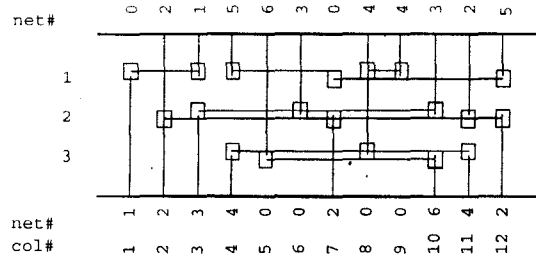
(VHV) 형태란 세개의 배선 층 중에서 최상위와 최하위의 배선 층이 수평(수직) 배선에 사용되고, 중간 층이 수직(수평) 배선에 사용됨을 의미한다. 또한 그리드 배선 모델이므로, 일정한 간격을 갖는 수평, 수직 그리드 선 위로만 배선이 이루어진다. 두 그리드 선이 만나는 점을 그리드 점이라고 하며, 그런 점 위에만 다른 배선 층 간의 연결에 사용되는 비어가 놓일 수 있다. 한 그리드 점에는 하나의 비어만 놓일 수 있다. 채널 배선이란 아래 (그림 1)과 같이 셀 영역인 상단과 하단에 있는 핀들을 같은 번호끼리 연결하는 것이 목적이며, 배선에 사용되는 상하단 사이의 영역을 채널이라고 한다. 채널에 있는 수평 그리드 선을 트랙이라고 하며, 사용된 트랙 수를 채널의 너비라고 한다. 채널에 있는 수직 그리드 선을 열이라고 하며, 열의 수를 채널의 길이라고 한다. 열은 왼쪽부터 1, 2, ...와 같이 번호 붙이고, 트랙은 최상단 트랙부터 1, 2, ...와 같이 번호 붙여진다. (그림 1)은 HVH 배선 형태를 갖는 초기 배선 예제를 보여준다. (그림 1)에서는 한 트랙에서 두 개의 수평 배선 층 나타내기 위하여 한층은 가는 실선, 다른 층은 굵은 실선으로 표현하였고, 비어는 네모로 표시되어 있다.

유효한 HVH(VHV) 채널 배선이 되기 위해서는 다음과 같은 조건들이 만족되어야 한다. 이 이후로는 HVH 형태의 배선만 고려한다. VHV 형태의 배선도 수평과 수직을 바꾸어 유사하게 처리할 수 있다. 특히, HVH 배선 모델은 2층 배선 모델에 비하여 채널의 너비를 현격히 줄여서, 칩의 전체 면적을 줄일 수 있다는 장점을 갖는다.

HVH(VHV) 채널 배선의 유효성 조건:

1. 상단과 하단 층은 수평(수직) 배선에만 사용되고, 중간 층은 수직(수평) 배선에만 사용된다.
2. 그리드 선 위로만 배선이 되어야 한다.
3. 다른 네트에 속한 두 비어가 한 그리드 점에 놓일 수는 없다.

결합 캐패시턴스는 혼신을 가져오는 주 요인이다. 본 논문에서는 혼신이 오로지 결합 캐패시턴스에 의해 결정되는 것으로 가정한다. 그 이외에 신호 전이 속도 등은 모든 네트가 같은 조건인 것으로 한다.



(그림 1) HVH 채널 배선 예제.
(Fig. 1) A HVH channel routing example.

인접한 두 선분 간의 결합 캐패시턴스 C_x 는 $C_x = k * L/D^s$ 로 계산될 수 있다[12]. k 는 상수이며, L 은 두 선분이 평행하게 인접한 부분의 길이이고, D 는 두 선분 간의 거리이다. s 는 일반적으로 1.34[12]정도이나, 그 이외에 다른 요인을 고려하면 2에 가깝다[13].

본 논문에서는 인접한 트랙 간에 놓인 두 선분이 같은 배선 층에 할당되었을 경우에만, 두 선분 간에 혼신이 발생하는 것으로 가정한다. 그 이유는 다른 경우들(인접 트랙에 있는 두 선분이 서로 다른 배선 층에 할당된 경우, 같은 배선 층에 할당되었으나, 두 트랙 이상 떨어져 있는 경우, 같은 트랙에서 서로 다른 층에 할당되어 있는 경우)은 일반적으로 사용되는 공정 인자들로 고려해 볼 때, 전자의 경우에 비하여 거의 십분의 일 정도의 크기이므로 무시할 만하기 때문이다. 부가적으로 계산의 편의를 위하여, 위의 식에서 상수 k 는 1인 것으로 가정한다.

HVH 배선 모델을 갖는 임의의 초기 배선이 주어진 경우에 배선 층을 재할당함으로써 혼신을 최소화하려는 것이 본 논문에서 고려하는 문제이다. 수직 배선에는 한 개의 배선 층만이 사용되므로, 수직 선분의 배선 층은 재할당의 대상이 되지 않으나, 수평 배선에는 두개의 배선 층이 사용되므로 수평 선분들의 배선 층은 상단과 하단 층 중 하나로 재할당이 가능하다. VHV 배선 모델에는 HVH 배선 모델에 적용된 방법을 90도 회전한 상태에서 적용할 수 있다. 다만, HVH 배선 모델의 경우에는 트랙 수가 일반적으로 수십개 정도이지만, VHV 배선 모델의 경우에 열의 수는 수백개 정도가 될 수 있다는 것이 다르다.

설계 과정에서 네트 별로 혼신의 허용 한계, 즉 혼신 제약 조건이 주어지며, 네트 n 에 대한 혼신 제약

조건은 UB_n 으로 표시한다. 또한 현재 네트 n의 혼신, 즉 결합 캐패시턴스의 합은 $CC(n)$ 으로 표시한다. $CC(n)$ 은 네트 n의 각 선분과 인접한 다른 네트에 속한 선분과의 결합 캐패시턴스를 모두 합한 것이다. (그림 1)에서 네트 6의 혼신의 합, $CC(6)=4+5=9$ 가 된다. 4는 수직 선분들과의 혼신의 합, 5는 수평 선분들과의 혼신의 합이다.

이와 같이 $CC(n)$ 을 계산하는 이유는 최악의 경우, 즉 네트 n의 신호가 전이할 때, 인접한 다른 네트들이 일정한 값(예, 접지 상태 0V)을 유지하는 경우, 또는 그 반대의 경우를 고려하기 때문이다. 이와 같이 계산된 두 값으로부터 $slack(n)=UB_n-CC(n)$ 을 구할 수 있다. 이 값은 현재 네트 n이 혼신 허용 한계까지 얼마만큼의 여유가 남아 있는 가를 표시하는 혼신 여유치로, 그 값이 0 또는 양수일 때, 해당 네트에 대한 혼신 제약 조건이 만족되는 것이다. 이와 같은 여유치 값 중에서 최소의 값이 0 보다 크거나 같으면, 모든 네트가 혼신 제약 조건을 만족하게 된다. 이 값은 해당 회로의 안정성을 표시하는 값으로 볼 수 있으므로, 이 값을 최대로 함으로써 회로의 안정성을 극대화시킬 수 있을 것이다.

본 논문에서 고려하는 문제에 대한 비용 함수는 혼신 여유치의 최소 값이며, 이 값을 최대로 하는 것이 문제의 목적이다. 즉, 비용 함수는 $MIN(slack(n))$ for $\forall n$ 으로 정의된다. 또한, 한 네트 n의 혼신 $CC(n)$ 은 n에 속한 각 수평/수직 선분 i와 그에 인접한 다른 네트의 수평/수직 선분들과의 결합 캐패시턴스의 합으로 계산되므로 다음의 (식 1)과 같이 표현된다. 아래의 (식 1)에서 CC_n^* 은 네트 n의 수직 선분들의 결합 캐패시턴스를 모두 합한 값이다. 수직 배선에는 한 개의 층만 사용되므로 수평 선분의 배선 층 할당과정 동안에는 고정된 값을 가진다. 따라서, 상수로 표현되었다.

$$CC(n) = CC_n^* + \sum_{i \in n} \sum_{j \in n} CC(i, j) \quad (1)$$

또한 $CC(i, j)$ 는 두 수평 선분 i, j가 인접한 트랙 있는 경우에, 같은 배선 층에 할당되는 경우에만 결합 캐패시턴스가 존재하므로, $CC(i, j)$ 는 0/1 정수 변수 x_{ij} 를 사용하여 $O_{ij} * x_{ij}$ 로 정의된다. 0/1 정수 변수 x_{ij} 는 두 선분이 다른 배선 층에 할당되면(혼신이 거

없는 경우로 간주되는 경우) 0, 같은 배선 층에 할당되면(혼신이 발생하는 경우) 1로 정의된다. O_{ij} 는 상수 값으로 두 선분의 수평 구간의 겹친 부분의 길이를 나타내며 그리드 채널 배선에서는 두 선분이 겹친 부분에 있는 열의 수에서 1을 뺀 값을 의미한다. 두 선분이 인접한 트랙에 있지 않은 경우에 $CC(i, j)=0$ 이 된다. 위와 같이 결정되는 $CC(n)$ 이 비용 함수 계산에 사용되도록 하기 위해서는 각 네트 n 별로 (식 2)와 같은 식이 추가되어야 한다.

$$비용함수 \leq UB_n - CC(n) \quad (2)$$

그런데, 변수 x_{ij} 는 각 수평 선분 i, j가 어떤 배선 층에 할당되는 가에 따라 그 값이 달라진다. 따라서, 각 수평 선분이 할당되는 배선 층을 나타내는 0/1 정수 변수 x_i 를 다음과 같이 정의하여 사용할 필요가 있다. 즉, 임의의 수평 선분 i가 상단(하단) 배선 층에 할당될 경우 변수 $x_i=0(1)$ 이라고 한다. 이런 변수들에 의하여 변수 x_{ij} 는 다음의 (식 3)과 같이 정의될 수 있다.

$$x_{ij} = \begin{cases} 1 & \text{if } x_i = x_j, \\ 0 & \text{else} \end{cases} \quad (3)$$

위의 (식 3)은 더 간단하게 (식 4)와 같이 표현될 수 있다. *는 논리 AND, +는 논리 OR이며, x_i' 은 x_i 의 NOT에 해당한다. 또한 부가적인 변수 x_i' 을 도입하기 위하여 (식 5)가 필요하다.

$$x_{ij} = x_i * x_j + x_i' * x_j' \quad (4)$$

$$\begin{aligned} x_i + x_i' &= 1 \\ x_j + x_j' &= 1 \end{aligned} \quad (5)$$

그런데 (식 4)는 선형식이 아니므로, 정수 선형 프로그래밍 형태로 표현하려면 (식 4)를 선형화 시켜야 한다. (식 4)와 같은 비선형식은 (식 5)를 고려하면 (식 6)과 같은 4개의 선형 부등식을 사용하여 선형화될 수 있다.

$$\begin{aligned} x_{ij} &>= 1 - 2x_i - x_j \\ x_{ij} &>= -2 + 2x_i + x_j \end{aligned}$$

$$\begin{aligned} x_{ij} &\leq 1 + 2x_i - x_j \\ x_{ij} &\leq 2 - 2x_i + x_j \end{aligned} \quad (6)$$

같은 트랙에 있는 수평 선분 중에서 수평 구간이 서로 겹치는 두 수평 선분은 항상 다른 배선 층에 할당되어야 한다. 따라서, 그러한 두 수평 선분 i, j 에 대하여 다음의 (식 7)과 같은 제약 조건이 설정되어야 한다. $\text{trk}(i)$ 는 수평 선분 i 가 속한 트랙을 나타낸다.

$$x_i + x_j = 1 \quad \text{for } \forall i, j \text{ s.t. } \text{trk}(i) = \text{trk}(j) \quad (7)$$

비용 함수를 나타내는 변수는 0/1 정수 변수가 아니기 때문에, 0/1 정수 변수화시켜야 한다. 그 방법은, 정수를 2진수로 표현하는 방법과 같다. 즉, 비용 함수 값이 표현해야 하는 범위의 크기가 $K (>= 0)$ 라고 하자. 그러면 해당 변수를 표현하려면, $\log_2 K + 1$ 개의 0/1 정수 변수를 사용하여 표현할 수 있다. 예를 들면, 최대 크기가 30인 변수 y 는 아래의 (식 8)과 같이 5개의 0/1 정수 변수(b_4, \dots, b_0)에 관한 선형식으로 표현된다. 그런데, 비용 함수 값이 표현해야 하는 범위가 대개는 1000이하이므로 10개 정도의 변수이면 일반적인 경우에 충분히 비용 함수에 해당하는 변수를 표현할 수 있다.

$$y = 2^4 * b_4 + 2^3 * b_3 + 2^2 * b_2 + 2^1 * b_1 + 2^0 * b_0 \quad (8)$$

본 논문의 문제에 대한 유효한 해는 수평 선분의 집합 H 에 속하는 각 선분을 0, 또는 1 중 하나의 배선 층에 할당하는 함수 중에서 (식 7)과 같은 제약 조건을 만족하는 함수 f 로 정의되며, 이러한 함수 중에서 비용 함수 값이 최대인 함수 f 를 찾는 것이 목적이다. 따라서, 문제 공간의 크기는 $2^{|H|}$ 가 된다.

$$f: H \rightarrow \{0, 1\}$$

0/1 정수 선형 프로그래밍 형태로 문제를 형식화시킬 때에 문제의 복잡도는 대개 정수 변수의 수와 부등식의 수로 나타낸다. 먼저 0/1 정수 변수의 수는 $|H| + k * w$ 로 나타낼 수 있다. $|H|$ 는 수평 선분의 수, k 는 한 트랙 당 평균 수평 선분의 수, w 는 채널의 너비(트랙 수)를 나타낸다. 첫째 항은 각 수평 선분 i 에 대한

배선 층을 나타내는 x_i 를 고려한 것이고, 둘째 항은 x_{ij} 형태의 변수 수를 나타낸다. 그런데, $k * w$ 는 결국 수평 선분의 수 $|H|$ 로 나타낼 수 있으므로, 전체적으로 0/1 정수 변수의 수는 $2 * |H|$ 으로 표현할 수 있다. (식 8)에서와 같이 비용 함수에 해당하는 변수를 표현하기 위해서 사용되는 부가적인 변수들의 수는 위의 식에서 고려되지 않았다. 그 이유는 대개 10개 정도의 부가적인 0/1 변수로 비용 함수에 해당하는 변수를 표현할 수 있기 때문이다.

선형 부등식의 수는 $4 * k * w + k * w + n$ 으로 나타낼 수 있다. 여기에서, n 은 네트의 총수를 나타낸다. 첫째 항은 (식 4)와 같은 비선형식을 선형화하는 데 필요한 부등식(식 6)의 수를 고려한 것이다. 둘째 항은 같은 트랙에 속하는 구간이 겹치는 선분 간의 겹침을 막기 위한 제약 조건(식 7)에 해당하는 부등식의 수를 나타낸다. (식 5)는 (식 6)을 유도하는 과정에서만 사용되므로 실제로 제약 조건이나 비용 함수 요소에 포함될 필요가 없다. 셋째 항은 각 네트 별 비용 함수에 관한 선형식(식 2)의 수를 나타낸다. 대개 $n \leq |H|$ 을 만족하므로, 전체적인 선형 부등식의 수는 $6 * |H|$ 로 표현될 수 있다. 0/1 정수 변수의 수와, 선형 부등식의 수가 수평 선분의 수에 대하여 선형으로 증가한다고 할 수 있다. 그러나, 정수 선형 프로그래밍 해결기는 정수 변수 수에 대하여 다항식 복잡도를 갖는 것으로 알려져 있지 않으므로, 비용 함수에 대한 상한을 추정하는 방법이 필요하다.

3. 문제 공간의 축소

3.1 최적 해를 쉽게 구할 수 있는 간단한 배선 예제
다음의 (식 9)와 같은 조건을 만족하는 간단한 형태를 갖는 배선의 경우에는 혼신을 최소화하는 최적 해를 선형 시간 안에 결정할 수 있다.

간단한 배선 예제의 조건:

$$O_{ij} = 0 \text{ for } \forall h_i, h_j \in H \text{ s.t. } \text{trk}(h_i) = \text{trk}(h_j) \quad (9)$$

간단한 배선 예제란 같은 트랙에 할당된 임의의 두 선분 간의 겹침이 없는 경우를 의미한다. 이와 같은 경우에 최적 해를 결정하는 방법은 다음 (정리 1)과

같다.

(정리 1) 간단한 배선 예제의 조건을 만족하는 배선에 대한 다음과 같은 배선 총 할당은 항상 비용 함수를 최소화 하는 최적 해를 생성한다.

배선 총 할당 방법:

작수 트랙에 있는 선분들에는 배선 총 0(1)을 할당하고,
 홀수 트랙에 있는 선분들에는 배선 총 1(0)을 할당한다.

증명:

임의의 두 선분 i, j 는 다음 중 한 가지 경우에 해당한다.

1. 임의의 두 선분이 같은 트랙에 할당되어 있는 경우에는 간단한 배선 예제의 조건에 의해서 $O_{ij} = 0$ 이므로 $CC(i, j) = 0$ 이다.
2. 임의의 두 선분이 인접 트랙에 할당되어 있는 경우에는 배선 총 할당 방법에 의해, $x_{ij} = 0$ 이므로, $CC(i, j) = 0$ 이다.
3. 임의의 두 선분이 두 트랙 이상 떨어져 있는 경우에는 $x_{ij} = 1$ 이고 $O_{ij} > 0$ 이더라도, 문제의 가정에 의해서 $CC(i, j) = 0$ 이 된다.

따라서, 임의의 두 선분 i, j 에 대한 $CC(i, j)$ 값은 항상 0이 된다. $CC(i, j)$ 값이 모두 0이므로, 비용 함수는 그 상한 값인 $MIN(UB_n)$ 이 된다. 따라서, 간단한 배선 예제의 조건을 만족하는 배선에 대해 위와 같은 배선 총 할당 방법을 적용하면, 항상 최적 해를 얻게 된다.

그런데, 모든 선분의 집합이 (식 9)와 같은 조건을 만족하는 예제는 많지 않다. 수직 제약 조건이 많아서 한 트랙에서 사용가능한 배선 총을 불가피하게 사용하지 못하는 경우를 제외하면 전체적으로 그런 조건을 만족하는 예제는 많지 않다고 보아야 한다. 그러나, 배선 예제의 일부에서는 부분적으로 나타날 수 있다. 즉, 일부 선분들의 집합에 대해서는 (식 9)를 만족하는 경우가 발생할 수 있다. 예를 들어, (그림 2)와 같은 배선 예제에서 네트 13, 7, 9의 수평 선분이 그런 조건을 만족시키고 있다. 이 경우에 네트 13의 수평

선분의 배선 총과 네트 7, 9의 수평 선분의 배선은 항상 다르게 할당하면 관련된 네트의 혼신을 최소화 하면서, 다른 네트의 비용 함수 요소를 증가시키지 않는다. 즉, 네트 13, 7, 9의 수평 선분이 마치 하나의 선분인 것처럼 취급할 수 있다. 즉, 네트 13의 수평 선분의 배선 총이 정해지면 네트 7, 9의 수평 선분을 그와 다른 배선 총에 항상 할당하더라도 무방하다.

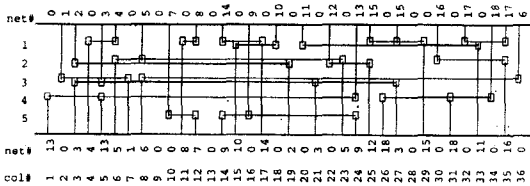
3.2 비용 함수에 대한 상한의 추정

정수 선형 프로그래밍 해결기의 성능을 높일 수 있는 한가지 방법은 비용 함수에 대한 범위를 축소하는 것이다. 이를 위하여, 이 절에서는 비용 함수 값에 대한 상한 값을 추정하는 방법을 제시한다.

비용 함수의 일차적인 상한 값은 $MIN(UB_n)$ 이지만, 효율적인 최적 해의 탐색을 빠르게 종료시키기 위해서는 이것보다 더 정확한 상한을 구할 필요가 있다. 그러기 위해서는, 각 네트에 대한 좀 더 정확한 결합 캐패시턴스의 하한 값을 구해야 한다. 그리고, 그 네트에 속한 각 수평 선분들의 결합 캐패시턴스의 하한 값을 구해서, 그 합을 그 네트에 대한 결합 캐패시턴스의 하한 값으로 정하면 된다. 한 트랙에 구간이 서로 겹치는 선분들은 서로 다른 배선 총에 할당되기 때문에, 그 사실을 이용하여, 각 선분에 대한 결합 캐패시턴스의 하한 값을 구할 수 있다.

먼저, 한 트랙에서 구간이 겹치는 선분들 간에 배선 총 할당 시에 종속성이 발생하게 되는 선분들의 집합에 대해서 알아보자. 예를 들어서, (그림 2)에서 네트 5에 속한 수평 선분을 고려해 보자. 먼저, 트랙 1에 위치한 선분들을 보면, 네트 4, 8, 14에 속한 선분과 와 네트 2에 속한 선분들이 마치 하나의 단위처럼 배선 총 할당이 이루어짐을 알 수 있다. 즉, 네트 4, 8, 14에 속한 선분들이 메달 1층에 할당되면, 네트 2에 속한 선분은 메달 3층에 할당되어야 한다. 또는, 그 반대로 될 수도 있다. 그리고, 네트 15, 17에 속한 선분과 네트 11에 속한 선분도 같은 경우에 속한다. 이들은 여러 개의 선분들로 이루어져 있지만, 두 가지 가능한 배선 총 할당 방법만을 가지고 있다. 이와 같은 선분들의 집합을 그룹이라고 한다. 즉, 트랙 1에는 두 개의 그룹이 있다. 첫째 그룹(지금부터 그룹 1이라고 한다)은 네트 4, 8, 14에 속한 선분과 네트 2에 속한 선분으로 구성되어 있고, 둘째 그룹(지금부터는 그룹

2라고 한다)은 네트 15, 17에 속한 선분과 네트 11에 속한 선분으로 구성되어 있다. 트랙 3에는 하나의 그룹(네트 3에 속한 선분과 네트 6에 속한 선분으로 구성됨, 그룹 3이라고 한다)으로 되어 있다. 이런 경우에, 트랙 2에 있는 네트 5에 속한 수평 선분 h5의 결합 캐패시턴스에 대한 하한 값을 구해보자. 선분 h5는 그룹 1, 그룹 2, 그룹 3과 각각 구간 겹침을 가지고 있다. 선분 h5는 그룹 1, 2, 3이 (그림 2)에서와 같은 (반대의) 할당을 갖는 경우에, 각 그룹과의 구간 겹침은 13(4)이 되고, 그룹 2와는 각각 3(0), 그룹 3과는 15(17)가 된다. 따라서, 선분 h5의 결합 캐패시턴스의 하한 값은 각 그룹과의 겹침이 작은 경우만을 선택한 경우가 되므로 $4 + 0 + 15 = 19$ 가 된다. 따라서, 비용 함수에 대한 상한 값을 예측하는 알고리즘은 아래 (그림 3)과 같다.



(그림 2) 한 트랙에서 수평 선분들의 구간이 겹치는 예.
(Fig. 2) An example with tracks consisting of segments with overlapping intervals.

- 0. 각 트랙 별로 그룹을 구성한다.
- 1. 각 네트 n에 대하여,
 - 1.1 네트 n의 각 수평 선분 h에 대하여,
 - 1.1.1 선분 h의 결합 캐패시턴스 값을 초기화한다 ($CC_{LB}(h) = 0$).
 - 1.1.2 선분 h에 인접한 각 그룹 g에 대하여
 - 1.1.2.1 그룹 g의 할당이 초기 할당과 같은(반대인) 경우에 h와의 겹침 $O_{g,h}^1(O_{g,h}^2)$ 을 계산한다.
 - 1.1.2.2 $CC_{LB}(h) = CC_{LB}(h) + \text{MIN}(O_{g,h}^1, O_{g,h}^2)$
 - 1.2 네트 n에 대한 혼신 여유 치의 상한 추정값, $slack_{UB}(n)$ 을 계산한다.
- 2. 비용 함수에 대한 상한 추정 값, $\text{MIN}(slack_{UB}(n))$ 을 결정한다.

(그림 3) 비용함수의 상한값을 추정하는 알고리즘.
(Fig. 3) Algorithm to estimate the upper bound of cost function.

4. 실험결과

제안된 방법은 C 언어를 사용하여 Sun UltraSparc 시스템에서 구현되었다. 0/1 정수 선형 프로그래밍 문제 해결기는 opbdp[14]를 사용하였다. opbdp는 정수 선형 프로그래밍 해결을 위한 공개 소프트웨어 중 하나이며, 0/1 정수 변수만을 취급하도록 제작되었다.

사용된 배선 예제들은 2층 채널 배선 예제를 3층 HVH 채널 배선 예제로 바꾸는 프로그램을 사용하였다. 이 프로그램은 기존의 알고리즘[15]을 단순화시킨 것이다. 사용된 2층 채널 배선 예제들은 Gao의 논문 [3]에서 사용된 예제들이다. <표 1>은 사용된 실험 예제들의 특성을 보여 주고 있다. 특히, deutsch는 Deutsch[16]의 난해한 채널이라는 이름으로 알려진 예제를 3층 HVH 채널 배선 모델로 변환한 것이다. 각 배선 예제는 상하단 핀에 관한 정보, 수평 선분, 수직 선분에 대한 정보, 수평 선분에 대한 초기 배선 총 할당 정보, 네트 별 혼신 제약조건(UB_n)을 포함한다.

<표 2>는 <표 1>의 예제들에 대한 실험 결과를 보여 주고 있다. 예제 별로 초기 비용 함수 값과 비용 함수에 대한 상한 추정치, 달성된 최적 비용 함수와 수행 시간을 각각 보여 주고 있다. 수행 시간은 opbdp의 수행시간만 포함되었다. 그 이유는 문제 형식을 생성하는 시간은 무시할 만 하기 때문이다. <표 2>에서 수행 시간을 보면, 전반적으로 그룹의 수가 클수록 많은 시간이 소요됨을 알 수 있다.

<표 1> 실험 예제의 특성.
<Table 1> Characteristics of test examples.

실험 예제	H , 선분의 수	그룹의 수	n, 네트의 수	트랙 수
small2	12	5	10	3
d1	77	30	65	10
deutsch	118	84	72	15

예제 d1₁, d1₂, d1₃, d1₄, d1₅는 예제 d1과는 각 네트 별 혼신 제약 조건에 대한 정보에서만 차이가 있는 예제들이다. 마찬가지로, 예제 deutsch₁, deutsch₂, deutsch₃, deutsch₄, deutsch₅도 예제 deutsch와는 혼신 제약 조건만 다르다. 이 예제들의 혼신 제약 조건은 난수 생성 함수를 사용하여 무작위로 정해졌다. 이와 같은 예제들에 대한 실험을 통하여 혼신 제약

조건을 달리함으로써 수행시간에 많은 차이가 발생함으로 알 수 있다. 특히, d1₅와 같은 예제의 경우에는 최적의 해를 찾는 데에 비교적 많은 시간이 소요됨을 알 수 있다. 이와 같이 같은 배선 예제에 대하여 다른 혼신 제약 조건을 적용할 경우에 수행 시간이 많은 차이를 보이는 것은 혼신 제약 조건이 달라지면 비용 함수의 요소(혼신 여유치)들이 변화되고, 그에 따라 0/1 정수 선형 문제 해결기 내에서 문제 공간을 탐색하는 데 걸리는 시간도 달라지기 때문일 것으로 예상된다.

상한지 추정 방법이 비교적 정확함을 <표 2>를 통해서 알 수 있다. 즉, <표 2>에서 비용 함수에 대한 상한지 추정 값이 도달된 최적 비용 함수 값과 많은 경우에 일치함을 볼 수 있다. <표 2>의 수행 시간을 나타내는 열에서 ()안의 숫자는 비용 함수의 상한이 없는 경우의 수행시간을 의미한다. <표 2>에 제시된 예제들에서 알 수 있는 바와 같이 상한 추정치가 최적 비용 함수와 같은 경우에는 문제 해결기가 빠르게 종료됨을 관찰할 수 있다.

<표 2> 실험 결과.
(Table 2) Experimental results.

실험 예제	초기 비용함수	비용함수 상한	최적 비용함수	수행시간(초)
small2	7	9	9	0.01(0.01)
d1	-18	5	5	0.23(2.14)
d1 ₁	12	35	28	3.11(3.11)
d1 ₂	17	58	58	0.04(0.6)
d1 ₃	64	99	99	0.06(0.07)
d1 ₄	8	44	44	10.23(10.51)
d1 ₅	33	58	57	186.8(186.8)
deutsch	12	83	77	2.75(2.75)
deutsch ₁	-35	43	43	79.58(-)
deutsch ₂	-190	-78	-78	54.75(-)
deutsch ₃	-226	-30	-30	76.95(77.57)
deutsch ₄	-100	26	26	28.87(-)
deutsch ₅	-80	50	50	85.79(111.23)

() 안은 비용함수 상한이 없는 경우의 수행 시간을 의미함
- 는 수행시간이 1시간 이상임을 의미함

5. 결 론

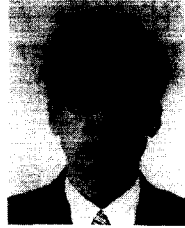
본 논문에서는 3층 HVH 그리드 채널 배선 모델에 사용될 수 있는 혼신 최소화를 위한 배선 층 할당 문제에 대한 최적 할당 방법을 제시하였다. 이 방법은 해당 문제를 0/1 정수 선형 프로그래밍 방식으로 형식화하여 해결하는 것이다. 이 방법은 많은 경우에

짧은 시간 내에 최적의 해를 찾아내지만, 혼신 제약 조건에 따라서 비교적 많은 시간이 소요되는 경우도 발생한다. 따라서, 앞으로 최적의 결과는 아니지만 최적에 가까운 좋은 결과를 가능한 짧은 시간 내에 생성할 수 있는 휴리스틱 방법의 개발에 대한 연구가 진행되어야 한다.

참 고 문 헌

- [1] H. B. Bakoglu, "Circuits, interconnections, and packaging for VLSI," Addison wesley, 1990.
- [2] E. Barke, "Line-to-ground capacitance calculation for VLSI: a comparison," *IEEE Trans. CAD*, vol. 7, no. 2. pp. 295-298, Feb. 1988.
- [3] T. Gao, C. L. Liu, "Minimum crosstalk channel routing," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, vol. 15, no. 5, May 1996, pp. 465-474.
- [4] T. Gao, C. L. Liu, "Minimum Crosstalk Switch-box Routing," *IEEE International Conference on Computer Aided Design 1995*, Nov. 1995, pp. 610-615.
- [5] K.-S. Jhang, S. Ha, C. S. Jhon, "COP: A Cross-talk Optimizer for Gridded Channel Routing," *IEEE Trans. Computer-Aided Design of Integrated Circuits and Systems*, vol. 15, no. 4, May 1996, pp. 424-429.
- [6] K. Chaudhary, A. Onozawa, E. S. Kuh, "A spacing algorithm for performance enhancement and cross-talk reduction," *Proc. ICCAD '93*, pp. 697-702, Nov. 1993.
- [7] X.-M. Xiong, "A New Algorithm for Topological Routing and Via Minimization," *IEEE International Conference on Computer Aided Design 88*, Nov. 1998, pp. 410-413.
- [8] J. Cong, "K-Layer Planar Subsets and Via Minimization Problems," Chapter 6 of "Routing Algorithms in the Physical Design of VLSI Circuits," Ph.D. Thesis, Report # UIUCDCS-R-90-1618, Dept. of Computer Science, University of Illinois at Urbana-Champaign, Aug. 1990.

- [9] H. H. Chen, C. K. Wong, "Wiring and crosstalk avoidance in Multi-Chip Module Design," *IEEE 1992 Custom Integrated Circuits Conference*, pp. 28.6.1-28.6.4, May 1992.
- [10] J. D. Cho, S. Raje, M. Sarrafzadeh, M. Sriram, S. M. Kang, "Crosstalk-minimum layer assignment," *IEEE 1993 Custom Integrated Circuits Conference*, pp. 29.7.1-29.7.4, May 1993.
- [11] S. Thakur, K.-Y. Chao, D. F. Wong, "An Optimal Layer Assignment Algorithm for Minimizing Crosstalk for Three Layer VH Channel Routing," *Proc. IEEE International Symposium on Circuits and Systems*, Apr. 1995.
- [12] T. Sakurai, K. Tamaru, "Simple formulas for two- and three- dimensional capacitance," *IEEE Trans. Electron Devices*, Vol. ED-30, No. 2, pp. 183-185, Feb. 1983.
- [13] H. W. Jhonson, M. Graham, "High Speed Digital Design," Prentice Hall Inc, 1993.
- [14] P. Barth, "A Davis-Putnam Based Enumeration Algorithm for Linear Pseudo-Boolean Optimization," Max-Planck-Institut Für Informatik, MPI-I-95-2-003, Jan. 1995.
- [15] J. Cong, D. F. Wong, C. L. Liu, "A New Approach to the Three Layer Channel Routing Problem," *Proceedings of IEEE International Conference on Computer-Aided Design*, Nov. 1987, pp. 378-381.
- [16] D. N. Deutsch, "A Dogleg Channel Router," *Proc. of 13th Design Automation Conference*, 1976, pp. 425-433.



장 경 선

1986년 서울대학교 전자계산공학과 졸업(학사)
 1988년 서울대학교 대학원 전자계산공학과(공학석사)
 1995년 서울대학교 대학원 컴퓨터공학과(공학박사)
 1996년~현재 한남대학교 컴퓨터공학과 조교수

관심분야: VLSI 설계자동화, 알고리즘 설계 및 분석