

ICBD법으로 증착된 Al 박막의 증착특성 연구

안성덕, 김동원*, 천성순, 강상원

한국과학기술원 재료공학과, 대전, 305-701

*경기대학교 재료공학과, 수원, 442-760

A study on the deposition characteristics of the Al thin films deposited ionized cluster beam deposition

Seong-Deok Ahn, Dong-Won Kim*, Soung-Soon Chun and Sang-Won Kang

Department of Materials Science and Engineering, Korea Advanced Institute Science and Technology, Taejon 305-701, Korea

**Department of Materials Science and Engineering, Kyonggi University, Suwon 442-760, Korea*

요 약 Ionized Cluster Beam Deposition(ICBD)방법을 이용하여 Si(100)기판과 TiN(60 nm)/Si(100)기판위에 Al 박막을 증착하였다. 증착된 Al 박막의 증착특성은 α -step, four-point-probe, XRD, SEM, AES 측정장치를 가지고 조사해 보았다. 도가니 온도가 증가함에 따라 Al 박막의 증착속도는 증가하였고 비저항 값은 감소하였다. 도가니 온도가 1800℃인 경우 가속전압이 증가함에 따라 연속적이며 평평한 박막이 형성되고 비저항이 감소되었다. 최소의 비저항 값은 Si 기판에서는 가속전압이 4 kV일 때 $3.4 \mu\Omega\text{cm}$, TiN 기판에서는 가속전압이 2 kV일 때 $3.6 \mu\Omega\text{cm}$ 이었다. AES 분석결과 형성된 박막내에서는 불순물이 존재하지 않는 것을 알 수 있었다. 따라서 Al 박막의 비저항은 박막층의 미세구조에 의해 영향을 받는다.

Abstract Aluminum (Al) thin films were deposited on the Si(100) and TiN(60 nm)/Si(100) substrate by the ionized cluster beam deposition (ICBD) method. The characteristics of thin films were examined by the α -step, four-point-probe, Scanning Electron Spectroscopy (SEM), Auger Electron Spectroscopy (AES). The growth rate of the Al thin film increased and the resistivity decreased as the crucible temperature increased. At the crucible temperature 1800℃, the microstructure of Al thin film deposited was smooth and continu-

ous, the resistivity decreased as the acceleration voltage increased. Also, the minimum resistivity in Si(100) substrate and TiN(60 nm)/Si(100) substrate were $3.4 \mu\Omega\text{cm}$, $3.6 \mu\Omega\text{cm}$ at the acceleration voltage 4 kV and 2 kV respectively. From the AES spectrum, it wasn't detected any impurities in the Al thin film. Therefore the resistivity of Al thin film was affected by the microstructure of film.

1. 서 론

반도체 소자 기술의 발전으로 이제 대단위 집적 회로(VLSI), 초고집적 회로(ULSI)의 시대로 바뀌어 가고 있으며 이에 따른 소자 크기의 감소로 회로의 층상 구조도 복잡해져 전기적 성능과 신뢰도를 향상시킬 수 있는 새로운 금속선 재료와 공정 기술에 대한 요구가 증대되고 있다[1]. 소자 크기의 감소로 인해 배선의 전류 밀도가 증가하는데, 이러한 전류 밀도의 증가는 배선에서의 전압 강하를 유발하므로 인가된 외부 전압의 일부만이 실제 소자 구동에 사용된다[2]. 이러한 손실을 최대한 줄이기 위해서는 배선 재료의 비저항을 줄이는 것이 중요하다. 배선 재료의 선택시 고려하여야 할 것은 이외에도 ohmic contact 형성 가능성, 기판과의 접착성 등 여러 가지이다[3]. 그러나 이와 같은 조건들을 모두 만족시킬 수 있는 재료는 없기 때문에 비교적 많은 조건을 충족시킬 수 있는 알루미늄(Al)을 사용하고 있다.

집적 회로 공정에서 알루미늄과 이의 합금은 지금까지 가장 널리 사용되고 있으며 주로 PVD(Physical Vapor Deposition) 방식인 스퍼터링에 의해 박막을 형성해 왔다. 그러나 초 고집적 소자 시대로 접어들면서 신뢰성 있는 금속선 형성이 중요한 문제로 등장하게 되었으며 다층 구조 형성에 치명적인 step coverage 문제와 electromigration(EM) 저항 특성 문제는 그중 가장 전형적이면서도

시급히 해결해야 하는 것들이다. PVD 공정 방식에 의한 Al 금속배선에서 step coverage 불량 특성과 EM 특성의 열화 등은 증가된 전류 밀도로 인해 초 미세화된 pattern을 갖는 초고집적의 신뢰성에 심각한 문제를 야기시킬 것으로 예상된다.

이에 반하여 ICBD를 이용하여 Al 금속 박막을 증착하는 경우[4-10] 고진공영역에서 증착을 행하므로 particle과 탄소 등과 같은 불순물들에 의한 EM 저항 특성 감소를 막을 수 있다. 그리고 step coverage 또한 기판으로의 가속 전압을 증가시키면 클러스터들이 기판에 충돌시 각 원자들의 이동 효과(migration effect)가 증가하여 기존의 스퍼터링 방법에 비하여 step coverage를 상당히 개선할 수 있다.

본 연구에서는 Si(100) 기판과 Si(100) 기판위에 스퍼터링 방법으로 증착된 TiN 기판을 이용하여 Al 금속 박막을 ICBD 방법을 이용하여 증착하였다. ICBD 방법의 중요한 변수인 기판에 가하는 도가니 온도, 가속 전압의 변화 및 기판종류에 따른 증착층의 미세구조, 불순물 및 비저항 등을 조사하여 이들의 상관관계 및 최적조건을 규명하였다.

2. 실험장치 및 방법

본 연구에서 사용한 장치의 개략도를 Fig. 1에 나타내었다. 이 장치는 크게 Al source

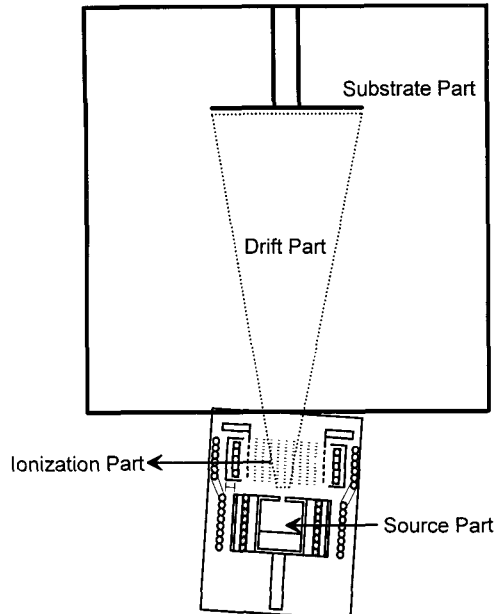


Fig. 1. Schematic diagram of the ICBD.

를 기화하여 클러스터(cluster)를 형성하는 source 부분과 이 클러스터를 이온화시킬 수 있는 이온화 부분, 이온화된 클러스터가 가속되는 부분 그리고 클러스터가 증착되는 기판 부분으로 구성되어 있고 최저 진공도는 2×10^{-7} torr였다.

Al source를 위한 도가니는 외경 35 mm, 높이 45 mm로서 carbon 재질로 만들었으며 직경 2 mm, 높이 2 mm의 실린더형 다중노즐을 사용하였다. 또한 도가니의 온도는 전자충격에 의해 가해주었으며 도가니에 가해진 열이 복사되는 것을 방지하기 위하여 molybdenum-plate로 차폐하였다. 그리고 filament에서 방사되는 복사열을 차단하고 도가니 주위의 진공도를 향상시키기 위해서 housing 외부에 물을 순환시켜 냉각시켰다. 생성된 Al 클러스터의 이온화를 위해 직경 0.8 mm인 1 % thoriated tungsten filament를 사용한 전자총을 노즐로부터 30 mm 떨어진 곳에 설치하여 source가 grid 내부를

통과해 나가는 과정에서 수직으로 입사되는 전자에 의한 충격으로 이온화되게 하였다. 이 때 filament와 grid 사이의 전위 차는 200 V이고 전류는 100 mA를 사용하였다. 그리고 기판에 전압을 0~4 kV 까지 가하여 이온화된 클러스터를 가속시켰다.

Si(100) 기판과 TiN(60 nm)/Si(100) 기판을 세척하여 사용하였고 2×10^{-7} torr에서 기판온도 600°C에서 2시간동안 thermal cleaning을 하였다. 사용된 Al source는 Al grains로 순도는 99.999 %이다.

Si(100) 기판과 TiN(60 nm)/Si(100) 기판 위에 증착된 Al 박막의 두께는 α -step을 이용하여 측정되었다. 이를 위해서는 etching을 하여 step을 만들어 주어야 하는데 사용된 etching solution은 $H_3PO_4 : HNO_3 : CH_3COOH : H_2O = 16 : 1 : 1 : 2$ 로 구성되어져 있다. 증착된 박막에 PR(photoresist)을 입힌 후 100°C, 30 분간 dry oven에서 baking을 행하였다. 다음 hot plate 위에서 etching solution의 온도가 약 80°C 정도 되었을 때 etching을 실시한 후 α -step을 이용하여 두께를 측정하였다. 비저항 값은 four point probe를 사용하여 sheet resistance(Ω/\square)를 측정한 후 측정된 박막의 두께를 곱함으로써 얻을 수 있었다. 증착된 박막의 상 분석과 결정성을 알아보기 위해 TFXRD(Thin Film X-ray Diffraction, Rigaku Inc.)를 이용하였다. 이 TFXRD는 Cu target, Ni filter를 사용하는 것으로 분석에 사용된 tube 전압과 전류는 각각 30 kV, 60 mA이었다. 또한 입사각도는 2° 로 고정되어 있으며 scanning speed는 $4^\circ/\text{min}$, 측정범위는 $30 \sim 80^\circ$ 의 2θ 영역에서 행하였다. 증착된 박막의 표면 형상을 관찰하기 위해서 SEM을 이용하였다. Al 박막의 조성 분석을 위해서 AES(Auger Electron Spectroscopy,

Perkin-Elmer SAM 4300)를 사용하였다. 이때 사용한 electron beam의 조건은 5 keV, 300 nA 였으며, 시편의 수직 방향에 대해 50°로 tilting하였다.

3. 결과 및 고찰

가속전압 1 kV, 이온화 전류 100 mA, 기판을 가열하지 않고 30분 동안 증착하여 도가니 온도 변화에 따른 증착 두께 및 비저항 값을 Fig. 2에 나타내었다. 도가니 온도가 1400°C인 경우에는 박막의 증착이 이루어지지 않았고, 도가니의 온도가 증가함에 따라 증착되는 Al 박막의 두께는 증가하는 양상을 관찰할 수 있었다. 도가니 온도가 1800°C인 경우에 증착속도는 30 nm/min였다. 이에 따른 비저항 값을 보면 증착두께가 증가함에 감소하는 양상을 관찰할 수 있었다. 도가니 온도가 1500°C, 1600°C, 1800°C로 증가함에 따라 측정되는 비저항 값은 각각 29.4 $\mu\Omega\text{cm}$, 13.5 $\mu\Omega\text{cm}$, 4.1 $\mu\Omega\text{cm}$ 였다. 이러한

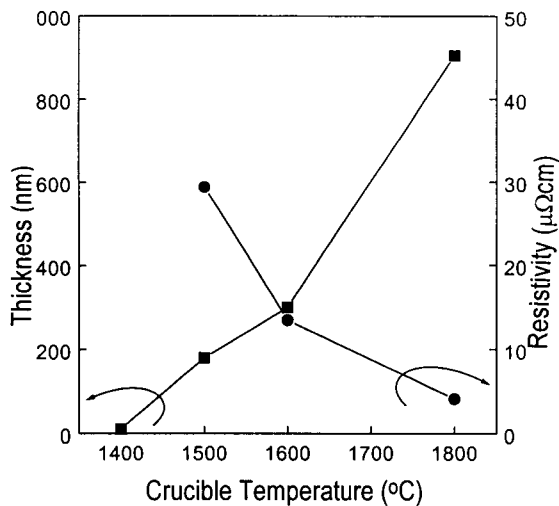


Fig. 2. Thickness and resistivity as a function of the crucible temperatures.

결과는 일반적으로 금속박막의 비저항 측정 시 두께가 증가하면 비저항 값이 감소하는 효과로 생각된다. 이에 대한 XRD pattern을 Fig. 3에 나타내었다. 그림에서 보면 1400°C의 경우 박막이 형성되지 않는 것과 일치하게 기판의 peak만 관찰되었고, 1500°C에서 1800°C로 도가니 온도가 증가함에 따라 증착되는 Al 박막은 다결정으로 성장됨을 알 수 있었고, (111) peak이 크게 증가함을 볼 수 있었다. 1800°C의 경우 다른 peak에 비해 (111) peak이 매우 크게 나타나 (111) 방향으로 우선 성장함을 알 수 있었다. 1500°C와 1600°C에서 형성된 Al 박막 평면형태에 대한 SEM 사진을 Fig. 4에 나타내었다. 그림에서 보면 1500°C에서 1600°C로 도가니 온도가 올라감에 따라 기판에 성장되는 Al 박막의 결정립의 크기가 커지고 개개의 결정

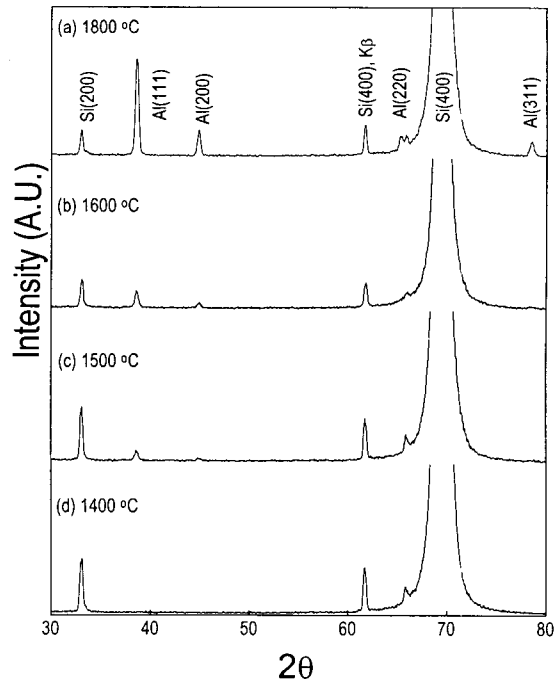


Fig. 3. X-ray diffraction patterns of Al/Si(100) samples deposited at various crucible temperatures.

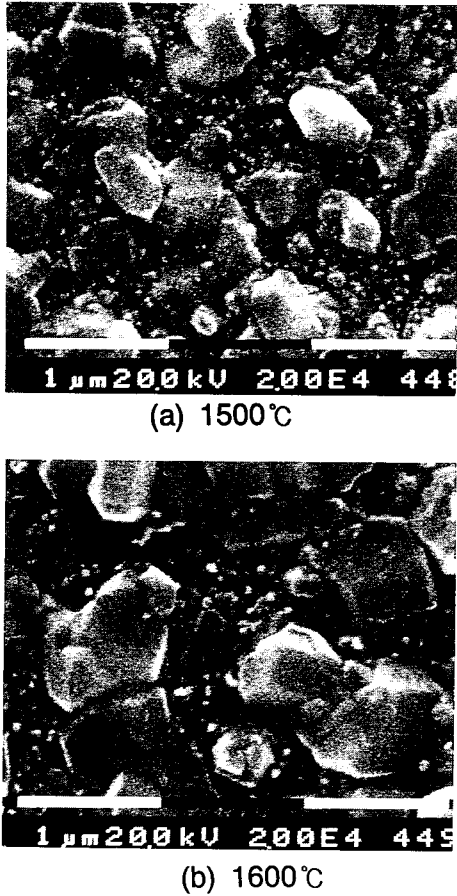


Fig. 4. Scanning electron micrographs of the surface morphology of Al/Si(100) samples deposited at various crucible temperatures. (a) 1500°C and (b) 1600°C.

립의 크기도 1 μm 이상으로 성장되었다. X-RD 결과와 SEM의 결과에서 보면 알 수 있듯이 성장되는 박막은 다결정 박막으로 성장하고 표면이 거칠게 성장되었음을 알 수 있었다.

도가니 온도 1800°C, 이온화 전류 100 mA, 기판을 가열하지 않고 30분 동안 증착하여 기판에 가하는 가속전압 변화에 따른 증착 두께 및 비저항 값을 Fig. 5에 나타내었다. 이 경우 Si(100) 기판과 TiN(60 nm)/Si

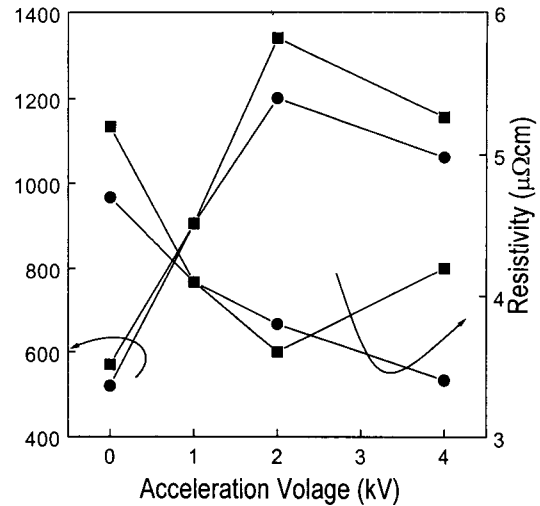


Fig. 5. Thickness and resistivity as a function of the acceleration voltages. (● : Si substrate, ■ : TiN/Si substrate).

(100) 기판에서 동시에 증착을 행하였다. 두 기판 모두에서 가하는 가속전압이 증가함에 따라 증착되는 박막의 두께는 증가하나 2 kV 이상으로 가속전압을 가하는 경우 박막의 두께가 더 이상 증가되지 않고 약간 감소하는 양상을 보였다. 가속전압을 2 kV로 가하는 경우에 비해 가속전압을 4 kV로 가하는 경우가 증착두께가 더 낮은 것은 기판에 증착되는 여러 가지 것 중에서 이온화된 클러스터나 이온들이 기판으로 향해 가속되지 못하고 기판 밖으로 빠져나가는 부분이 크기 때문으로 생각된다. 이에 따른 비저항 값의 양상을 관찰하면 기판에 가해지는 가속전압이 증가함에 따라 비저항 값이 감소하였다. 이것은 가속전압이 증가함에 따라 가속되는 클러스터의 에너지가 증가하여 기판에서 증착되는 개개의 원자들의 에너지가 증가하여 원자 개개의 표면이동 효과의 증가와 클러스터가 기판과 충돌함에 따라 일어나는 원자의 재배열 효과의 증가로 생각된다. Si(100) 기판의 경우 가속전압이 4 kV일 때 비저항 값

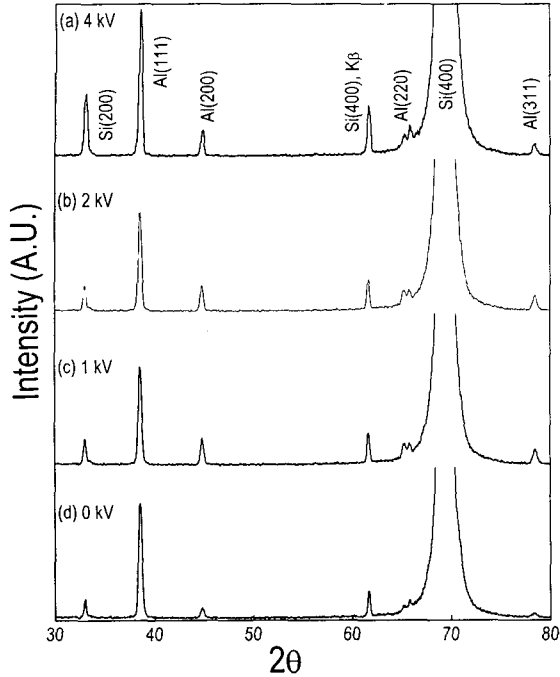


Fig. 6. X-ray diffraction patterns of Al/Si(100) samples deposited at various acceleration voltages.

은 $3.4 \mu\Omega\text{cm}$ 이고 TiN(60 nm)/Si(100) 기판의 경우 가속전압이 2 kV일 때 비저항 값이 $3.6 \mu\Omega\text{cm}$ 로 bulk Al 값인 $2.67 \mu\Omega\text{cm}$ 에 근접되는 값이라고 생각된다. 각각에 대한 XRD pattern을 Fig. 6과 7에 나타내었다. XRD pattern에서 Si(100) 기판과 TiN(60 nm)/Si(100) 기판에서 모두 기판에 가해지는 가속전압이 증가함에 따라 (111) peak이 점차 증가함을 관찰할 수 있었다. 그리고 도가니 온도가 1800°C 인 경우에는 다른 peak에 비해 (111) peak가 매우 커서 (111) 방향으로 우선 성장함을 관찰할 수 있었다. 금속배선의 EM저항선을 향상시키기 위해서는 결정립 크기를 크고 균일하게 만드는 방법이나 금속박막조직의 배향성을 증가시키는 방법등이 있다. 따라서 다른 조건에 비해 (111) 방향의 강한 우선 성장을 나타

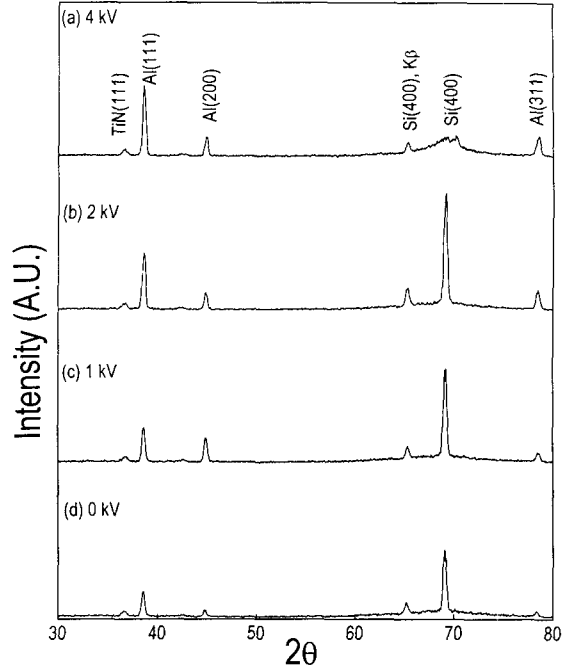


Fig. 7. X-ray diffraction patterns of Al/TiN/Si(100) samples deposited at various acceleration voltages.

내는 1800°C , 2 kV 이상의 증착조건이 EM 저항성에서는 우수한 것으로 사료된다. XRD 결과로 보면 가속전압이 4 kV에서 각 기판에서 최소의 비저항 값이 관찰될 것으로 생각된다. 그러나 Fig. 8에서 0 kV, 2 kV, 4 kV에서 관찰한 SEM 사진을 보면 다른 양상을 보인다. 가속전압을 가하지 않은 경우(0 kV) Si(100) 기판과 TiN(60 nm)/Si(100) 기판 모두 성장되는 Al 박막의 결정립의 크기는 매우 작고 균일하게 성장함을 볼 수 있었고, 가속전압이 2 kV의 경우도 두 기판이 거의 비슷하게 결정립이 연속적으로 성장한 Al 박막을 보여주었다. 이에 반하여 가속전압이 4 kV인 경우에는 Si(100) 기판과 TiN(60 nm)/Si(100) 기판에서 표면형성이 다르게 나타나고 있다. Si(100) 기판의 경우 가속전압이 2 kV에 비해 연속적으로 성장된

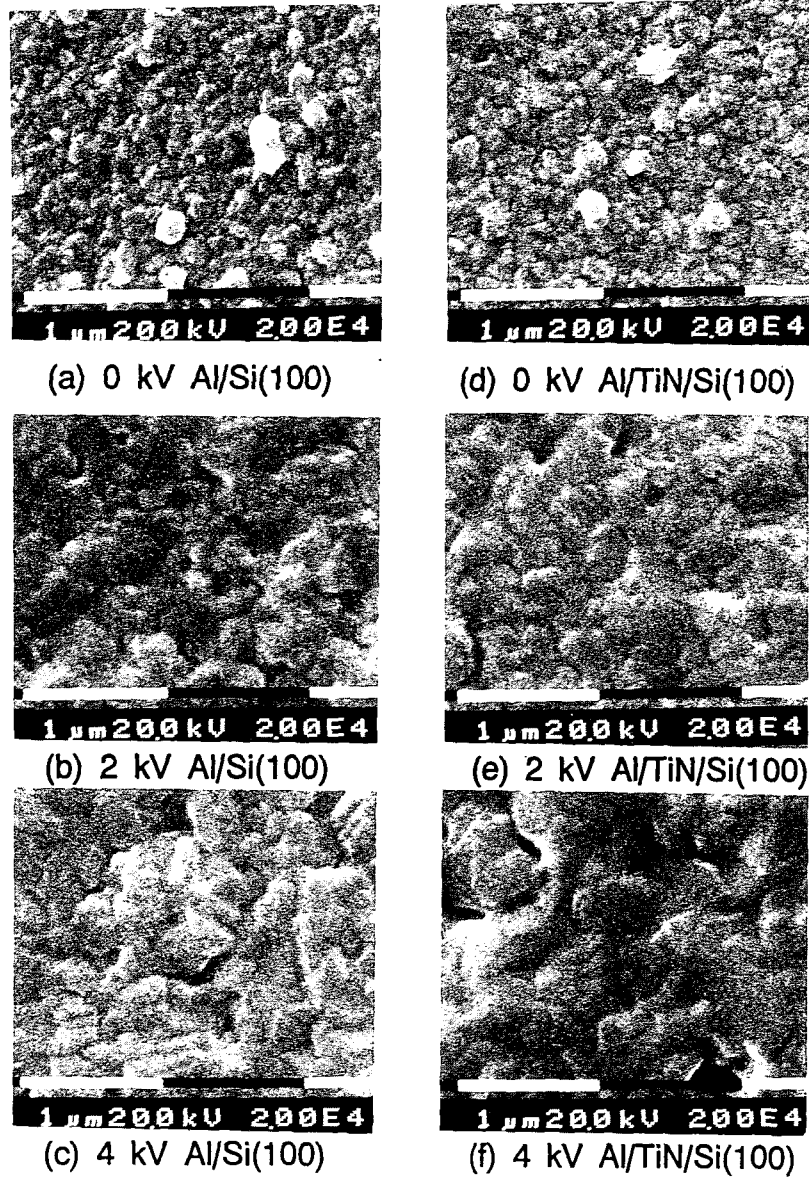


Fig. 8. Scanning electron micrographs of the surface morphology of Al/Si(100) and Al/TiN/Si(100) samples deposited at various acceleration voltages. (a) 0 kV Al/Si(100) (b) 2 kV Al/Si(100) (c) 4 kV Al/Si(100) (d) 0 kV Al/TiN/Si(100) (e) 2 kV Al/TiN/Si(100) (f) 4 kV Al/TiN/Si(100).

결정립이 더 smooth한 양상을 보이나 TiN (60 nm)/Si(100) 기판의 경우 성장된 박막이 매우 거칠게 형성되고 큰 void가 관찰되

고 있다. 이로 판단하여 볼 때 Si(100) 기판의 경우 가속전압이 4 kV에서 최소의 비저항 값을 가진다고 생각되나 TiN(60 nm)/Si

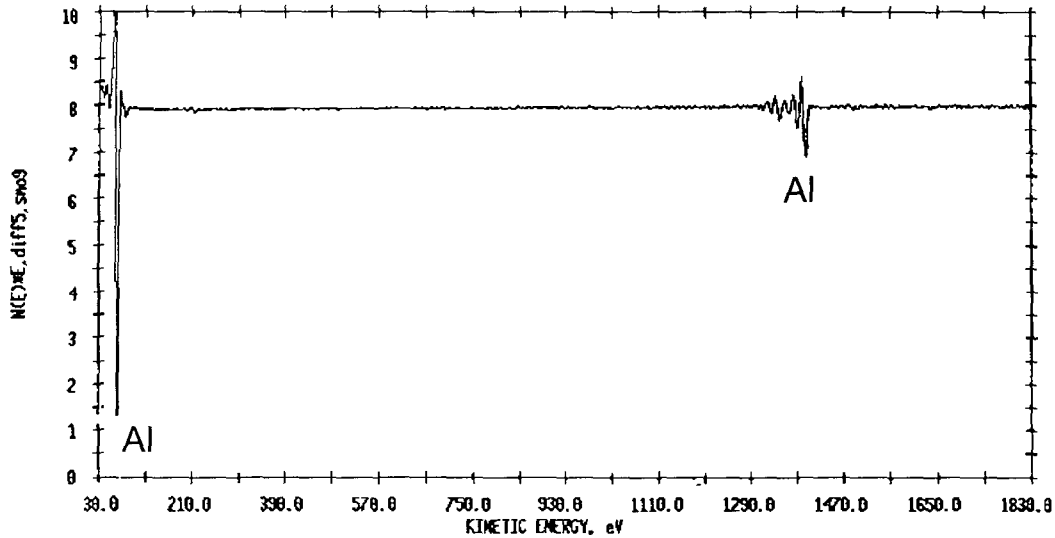


Fig. 9. AES spectrum of the Al/Si(100) sample deposited at 4 kV acceleration voltages.

(100) 기판의 경우 가속전압이 4 kV에서는 박막의 표면이 매우 거칠고 큰 void 형성으로 박막의 비저항 값이 증가될 것으로 생각된다. 그러므로 TiN 기판을 사용할 경우에는 표면 상태가 4 kV 보다 우수한 2 kV에서 박막의 비저항 값이 최소가 될 것으로 생각된다. 이러한 증착된 박막의 조성 및 불순물을 관찰하기 위해 가속전압이 4 kV인 시편에 대한 AES 분석 결과를 Fig. 8에 나타내었다. AES spectrum은 박막의 표면을 1분간 sputtering한 후 측정된 것이다. AES peak을 보면 도가니에서 계재될 수 있는 탄소나 그 외 다른 곳에서 계재될 수 있는 불순물을 관찰할 수 없었고 순수한 Al 박막으로 성장했음을 알 수 있었다. 이상의 고찰로부터 알 수 있듯이 금속박막층의 비저항은 박막층내에 불순물이 존재하지 않으면 박막층의 미세구조에 의해 영향을 받는다. 즉, 박막층의 표면이 매끄러울수록 결정립간의 전기적 연결상태가 양호하여 비저항이 감소하며, 또한 결정립이 클수록 결정립계에서 전자산란이 감소하여 비저항이 감소한다. 따라

서 Si 기판위에서 Al 박막층의 미세구조적 특성이 우수한 1800°C(도가니온도), 4 kV(가속전압)일 때, TiN 기판에서는 1800°C, 2 kV일 때 각각의 비저항 값이 최소로 나타남을 관찰할 수 있었다.

4. 결 론

ICBD 방법으로 공정 변화에 따른 Al 박막의 증착특성 양상을 관찰한 결과 다음과 같은 결론을 얻을 수가 있었다. 도가니 온도가 증가함에 따라 형성된 박막의 두께가 증가하였고 비저항 값은 감소하였다. 도가니 온도가 1800°C인 경우 Si(100) 기판에서는 가속전압이 증가함에 따라 연속적인 박막이 형성되며 비저항이 감소되는 양상을 관찰할 수 있었고, 가속전압이 4 kV 일 때 비저항 값이 최소로 3.4 $\mu\Omega\text{cm}$ 이었다. 그러나 TiN(60 nm)/Si(100) 기판에서는 가속전압이 증가함에 따라 연속적인 박막이 형성되고 비저항이 감소되나 가속전압이 4 kV에서는

표면이 매우 거칠고 큰 void가 관찰되었고 가속전압이 2 kV 일 때 비저항 값이 최소로 $3.6 \mu \Omega \text{cm}$ 이었다. AES 분석결과 형성된 박막내에서는 불순물이 존재하지 않고 순수한 Al 박막으로 성장한 것을 알 수 있었다. 따라서 Al 박막층의 비저항은 불순물에 의해 영향을 받는 것이 아니라 박막층의 미세 구조에 의해 영향을 받는다는 것이 관찰되었다.

감사의 글

본 연구는 한국과학재단의 연구비 지원에 의해 수행되었으며 이에 감사드립니다.

참 고 문 헌

- [1] K. Sugai, T. Shinzawa, S. Kishida, H. Okabayashi, Y. Murio, T. Kobayashi, N. Hosokawa, T. Yako, H. Kadokura, M. Isemura and K. Kamio, Proc. VMIC, (1993) 463.
- [2] G.E. Mcguire, Semiconductor Materials and Process Handbook, (Noyes Publication, USA, 1988).
- [3] S.M. Sze, VLSI Technology, 2nd Ed., (McGraw Hill, USA, 1988).
- [4] I. Yamada, H. Inokawa and T. Tagaki, J. Appl. Phys. 56(10) (1984) 2746.
- [5] I. Yamada, H. Inokawa and T. Tagaki, Thin Solid Films 124 (1985) 179.
- [6] I. Yamada, H. Inokawa, K. Fukushima and T. Tagaki, Nucl. Instr. and Meth. B7/8 (1985) 900.
- [7] I. Yamada and T. Takagi, IEEE Trans. Electron Devices ED-34(5) (1987) 1018.
- [8] I. Yamada, H. Usui, S. Tanaka, H. Sugiyama, R. Machida, M. Kitamura, Y. Nagase and Y. Inoue, Nucl. Instr. and Meth. B59/60 (1991) 302.
- [9] C.H. Choi, R.A. Harper, A.S. Yapsir and T.M. Lu, Appl. Phys. Lett. 51 (24) (1987) 1992.
- [10] S.M. Mei, T.M. Lu and S. Robert, IEEE Elec. Dev. Lett. EDL-8(10) (1987) 503.