

Field Emission Display 기술현황과 전망

기술해설

Trend and Prospect of Field Emission Display

김종민, 홍진표

(Jong-Min Kim, Jin-Pyo Hong)

Key Words(중요용어) : FEA(전자총), Low voltage phosphors(저전압형광체), Spacer(고정세), Full color FED(칼라전자방출소자), High Vacuum Packaging(고진공패킹)

1. 서론

Car navigation system, 이동 통신용 단말기, 군용 항공기, helmet mount display, notebook computer, 가상실제 display, medical imaging system 등에 응용할 수 있는 Field Emission Display (FED)는 고 화질, 광 시야각의 CRT 특성과 저 전압 구동특성을 갖는 LCD(liquid crystal display)의 장점, 경박단소의 장점을 동시에 갖춘 차세대 display 분야의 신기술이다.

FED의 역사에 대해서 간단히 서술하면 먼저 sharp한 tip 에서의 field emission 현상은 1897년 Wood에 의해 처음으로 확인되었으며, 1928년에 Fowler와 Nordheim에 의해 이론적으로 정립되었다. 그 뒤 1953년에 tip 자체의 morphology에 의한 field emission이 Dyke와 Dolan에 의해 확인되었고, 1961년에 Shoulder에 의해 처음으로 vacuum microelectronics 소자로의 응용이 제시되었다. 1968년 SRI International의 Spindt가 반도체 공정 기술에 의한 집적화된 metal tip 구조의 소자를 처음으로 선보였으며 그 뒤에 에도 Spindt에 의하여 신뢰도 실험이 계속되었으며, 1988년에 미국 Virginia Williamsburg에서 첫 번째 국제 Vacuum microelectronics meeting 이 개최되었다. 미국 Naval Research Lab의 Gray은 반도체 공정을 이용한 silicon tip 구조가 처음으로 제시하였고, tip sharpening 공정기술이 Bellcore의 Marcus(현 NJIT)에 의해 처음으로 개발되어 tip 구조 개발에 성공적으로 적용되었으며, 1993 프랑스의 Pixtech에서 6 inch prototype color FED를 개발하였다. 초기의 field emission 소자는 주로 고주파 증폭기용 source, tera hertz의 cutoff frequency를 갖는 전자 beam 응용 소자, sensor 등에 응용되었으나 현재는 display 응용이 주된 연구의 흐름이라고 할 수 있다. 현재에는 프랑스의 Pixtech이 1993년 6 inch prototype color FED 을 demo한 후 95년 11

월 양산을 발표하였으며, 미국에서는 MDT가 1994년에 0.7" color FED를 camcorder view finder에 채용할 예정이라고 발표하였다. 1996년에는 일본의 Futaba가 5 inch monochrome FED를 demo하였으며 지금까지는 PixTech, Motorola, Micron Display Technology, FED Corp., SIDT, Silicon Video, Raytheon, Futaba로 구성된 consortium에서는 최근에 10.5" color proto type 발표하였고, 이에 따라 약 10~20" 까지 양산 가능한 시설을 갖추고 있는 것으로 예측된다. 최근에 일본에서 FED 관련 연구결과들이 많이 발표되고 있는데 매우 주목할 필요가 있다.

Field emission source로서는 현재 많이 사용되고 있는 vetical 형태의 microtip 구조 이외에 wedge나 thin film을 이용한 edge emitter등이 연구되고 있으며, 또한 아주 낮은 bias level에서 전자방출이 가능한 diamond라든가 diamond like carbon등을 응용한 구조가 연구되고 있는데, 이는 위에서 언급한 물질들이 화학적 내성과 낮은 일함수를 가지고 있기 때문이다. 이러한 field emission electron source를 적용한 Field Emission Device는 초고주파 증폭기, 센서, electron 응용 system 등 여러 분야에 응용이 가능하다.

FED 개발시 가장 어려운 기술로서는 공정기술의 대면적화, 진공 packaging의 신뢰도 향상, field emitter tip의 수명, 저 전압 형광체의 개발 등이다. 공정기술의 대면적화는 packaging보다는 patterning 장비개발 및 기술에 달려있으나 현재의 추세로 보면 1 micron 정도의 patterning 기술은 소비 시장만 형성되면 큰 문제없으리라 사료되고 당장이라도 patterning 기술로 약 0.1-0.2 μ m 까지 cover 할 수 있는 기술이 개발될 수 있는 상태이다. 단지 고 효율을 갖는 저 전압 형광체의 개발이 향후 해결해야할 가장 큰 과제로 남아있다.

따라서 본 고에서는 현재 삼성종합기술원에서 연구하고 있는 field emission의 물리적인 back-

ground, 물질에 따른 최신 공정 기술과 field emission source 개발, 저 전압 형광체 개발, 고 진공 packaging 기술 개발 및 spacer 기술 개발등을 서술하고자 하며, 마지막으로 FED의 경쟁사와 기술력을 비교해 보고 삼성에서의 FED연구 방향에 대하여 기술하고자 한다.

1.1 FED 의 개념

FED는 전자 방출에 의한 지체 발광 차세대 flat panel display 이며 현재 광범위하게 연구되고 사용되고 있는 AMLCD(active matrix liquid crystal display)와는 다른 방법으로 동작을 한다. 형광체가 도포된 면을 field emission 현상에 의해 방출된 전자가 때려주면 빛을 발하게도 되는데, 형광체가 도포된 전면 plate (양극판)는 수천만 개의 전자총의 array를 갖고 후면 plate (음극판)와 spacer 라고 불리는 격리기둥으로 분리되어 있으며, 그사이의 진공을 유지하도록 되어 있다. 음극판은 전자의 방출을 위한 source로서 sharp한 tip array 구조를 갖고 있으며, 이 tip들은 집적화된 공정에 의해 400Å 이하의 반경을 가져야만 효과적인 전자방출이 이뤄진다. 이 sharp한 emitter를 ground로 하고 이에 근접한 extraction grid에(gate) positive bias를 가하면 sharp한 tip에 강한 전장이 형성되어 양자역학적인 tunneling 효과에 의해 전자를 방출하게 되고 이때 방출된 전자는 진공 상태를 이동하여 양극판의 형광체를 때려 빛을 내므로서 display panel로서 사용이 가능하다. Fig. 1은 FED 구조의 단면을 보여주고 있다.

일반적으로 전자의 방출이 열 자극에 의해서 일어날 때는 열전자 방출(thermionic electron emission or hot electron emission), 빛에 의한 자극에 대해서 전자 방출이 일어나면 광전자 방출(photo electron emission), 전계효과에 의해 전자

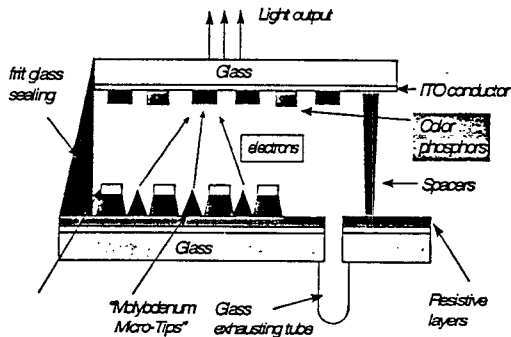


그림 1. Fig. 1. Cross-section view of FED

의 방출이 일어나면 냉전자 방출(cold electron emission 또는 field emission)이라고 한다. 여기서 냉전자 방출은 Fig. 2의 고체 표면에 대한 energy 장벽의 구조에서 잘 보여주듯이 field emission은 강한 전기장의 영향에 의해 충분히 얇게 된 표면에서 포텐셜 에너지 장벽을 전자가 뚫고 나올 때 일어난다는 것으로서 이 현상은 표면 포텐셜 에너지 E와 페르미 준위 E_f , 일 함수 간의 관계와 밀접한 관계를 가지고 있다. 전기장이 가해지지 않을 때의 표면 장벽은 Fig. 2에서 보여주듯이 step한 구조이고 인가 전계장의 세기가 커짐에 따라 표면 장벽은 더욱 약해져서 전계효과에 의한 전자 방출의 효과를 높인다. 이 때의 전자방출효과를 설명하는 수식을 Fowler-Nordheim 방정식이라고 하면 현재 모든 field emission 현상은 이 방정식을 사용하고 있다. 그러나 전자 방출의 효과는 전기장뿐만 아니라 tip의 재료, 기하학적인 구조와 같이 고려해야 하며, 또한 전통적인 열전자 방출과 냉전자 방출의 이론은 완전히 분리해서 생각하는 것보다 상호 연결시켜 서로의 수학적, 물리적인 의미를 분석하고 있다.

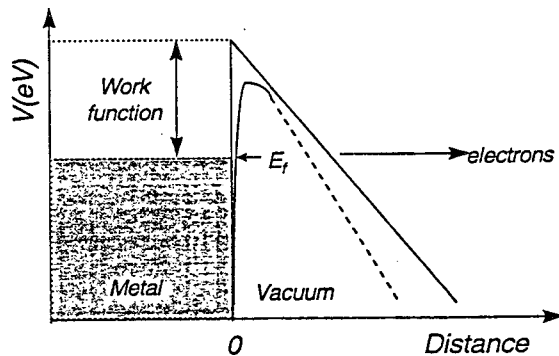


그림 2. 전계방출소자 에너지 도표 Fig. 2. Energy diagram of FED

1.2. Field emission 재료

반도체 물질을 포함한 많은 종류의 물질이 field emission source 로 사용되어 지고 있으며, 이상적인 filed emitter tip에 대한 조건으로는 1)높은 전자 방출 량에 견딜 수 있는 높은 용융점의 물질과, 2)낮은 일 함수, 3)진공 상태에서 낮은 증기압(low vapor pressure)의 특성을 갖는 재료들이 우선적으로 고려되어야 한다. 대표적인 물질로는 silicon를 이용한 반도체 물질과, tungsten, molybdenum, niobium, tantalum 등의 refractory metal이 있다. 이 재료 중에는 tungsten이 최고의 용점과 최저의

증기압을 (vapor pressure) 갖고 있으나 공정이 어려우며, silicon 은 tungsten이나 다른 금속 비해 낮은 용융점과 높은 증기압을 가지나 공정이 쉽고 반도체 공정에 의해 최저의 tip반경을 갖는 구조를 가질 수 있기 때문에 좋은 emission source로 고려되어지고 있다. 그러나 현재 real FED panel을 위해서는 molybdenum 물질이 emission재료로 가장 많이 쓰여 지고있다. 또한 최근에는 다이아몬드 또는 DLC 등이 많이 연구되고 있는데, 이는 다이아몬드 재질의 negative electron affinity의 특성과, 내화학성(immunity to chemical attack)에 의한 안정성, 물성적인 경도(mechanical hardness), 뛰어난 열전도율(thermal conductivity), 그리고 진공 상태에서 이온 bombardment 등에 의한 안정성, 좋은 접착성(adhesion) 등이 뛰어나 좋은 특성을 가지고 있기 때문이다. 그러나 이 재료는 실질적으로 공정상의 재현성과 전자 방출의 재현성 때문에 아직도 많은 연구를 필요로 하고 있다.

1.3 Field emitter의 기하학적 구조

Field emitter의 구조는 최고의 전자방출 효과를 얻기 위해 sharp 한 tip구조와 이에 동반된 gate 전극의 구조등을 먼저 고려해야한다. 현재 가장 많이 활용되는 Tip구조로는 1)molybdenum등과 같이 금속재료를 이용한 cone type emitter, 2)실리콘의 sharpening에 의한 cone 및 wedge type emitter, 3)sharp 하지 않고도 electron emission의 특성을 갖는 다이아몬드 또는 DLC 공정에 의한 flat type emitter등이 있다. 그러나 위에서 언급한 여러 가지 방법들이 emission source 구조로서 많이 연구되고 있으나 가장 많이 활용 되고 있는 구조는 sharp한 cone 형태이고, diamond재료를 이용한 연구에서는 flat구조 및 diamond coated cone type 구조가 많이 활용되고 있다. Fig. 3은 대표적인 3가지 field emitter 구조를 보여주고 있다. 일반적으로 lateral 구조는 전자빔의 흐름을 효과적으로 제어하기 어려움으로 현재는 수직구조가 가장 많이 쓰여지고 있다. 이 수직구조는 sharp한 tip 구조를 갖고 gate electrode의 bias 조절에 따라 전자빔을 유효 적절하게 제어할 수있다. 이에 반해 diamond 박막을 이용한 flat cathode 구조는 현재 diode 형태로 구동됨으로 Display 응용시 high gray scale 달성에 문제점이 있을 것으로 예상하고 있다. 이는 Diode 구조에서는 전자 beam의 focusing 조절기능도 약화되어 high resolution 응용에서도 문제가 된다. 이를 해결하기 위해서는 triode 구조가 바람직하나 현재 공정상의 문제점 때문에 상당한 어

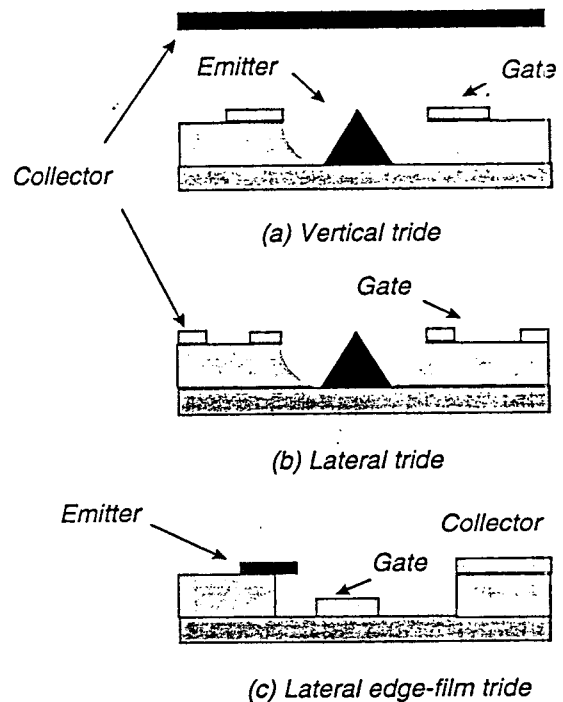


그림 3. 대표적인 3가지 field emitter 구조
Fig. 3. Typical structures of field emitters.

려움이 있다. 그 외에 wet 또는 dry etching을 이용해서 tip 구조를 만들고 자기정렬 방법(self-aligned)에 의해 integration하는 공정방법이 있다. 이 방법은 silicon sharpening시 응용하고 있으나 근본적으로 고온 silicon 공정을 이용하므로 실질적으로 packaging시 문제가 많이 발생하고있다. 미국의 MDT에서는 이 기술을 이용하여 FED proto type을 개발하였다고 발표하였으며, 이 공정 기술은 silicon 공정 기술과 함께 on-chip driver 공정도 동시에 병행 할 수 있는 장점이 있으나 위에서 설명했던 것처럼 대형 panel 제작 및 packaging에 대한 기술 개발이 선행되어야 한다.

다른 공정기술로는 Fig. 4에서 보여주듯이 silicon 박막을 저온 공정을 이용하여 glass 기판 위에 증착하고 plasma etching으로 tip 기본구조를 형성하고, dry와 wet etching 적용하여 최종 구조를 만드는 방법이다. 이 공정에 의하여 제작한 tip 구조는 Fig. 4에서 잘보여주고 있다. 이 기술은 미국의 FED Corporation회사에서 처음으로 개발되었고, 앞으로 display에 적용시 매우 유효할 것으로 기대된다. 이 기술의 기본은 sodalime glass기판의 silicon 증착법과, mask 제작 기술, plasma etching 기술들을 마지막 tip sharpening step으로 도입한

것이다. 현재 FED Corporation 회사에서는 이 기술을 접목하여 525 x 525 line display를 개발하였다. 이와 더불어 등장한 기술이 Diamond 및 DLC(diamond like carbon) 박막의 응용이다. Diamond나 DLC에 주로 응용되는 공정기술은 chemical vapor deposition 기술, plasma enhanced chemical vapor deposition 기술, laser ablation deposition 등이 있는데 이 중에서 display에 처음 응용한 기술이 laser ablation 증착법이다. 이 기술은 미국 SIDT와 MDT alliance에서 시작하였고 amorphous diamond thin film이 laser ablation 증착 기술에 의해 개발되었다. 현재까지 1" FED proto 개발에 성공했으나 대면적으로의 적용이 문제가 있었고, 대면적 공정에 연구력을 집중하고 있다. 이 기술의 장점은 submicron patterning을 필요로 하지 않고 쉽게 공정 할 수 있으나 diamond film의 emission 특성의 재현성 및 대형 panel 응용에 많은 시간이 필요하다. 따라서 현재 기술로는 diode에만 적용하고 있으므로 beam modulation 과 조절에 한계가 있을 것으로 예측하고 있다.

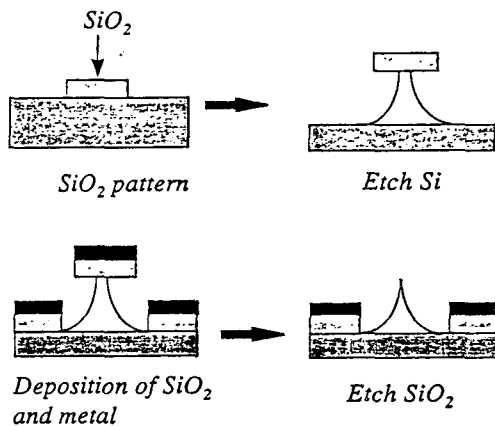


그림 4. Silicon tip 공정
Fig. 4. Fabrication procedures of silicon tips.

1.4 Fowler-Nordheim Theory

전계 방출은 고전적으로 방출이 불가능한 Barrier 영역으로 부터 외부에서 걸어준 강한 전계의 도움을 받아 고체로 부터 전자가 양자론적으로 Barrier를 터널링으로 방출됨을 말한다. 이때 걸어주는 전계는 107V/cm 정도이며, 전계 방출 이론이 성립된 것은 1928년 Fowler와 Nordheim이 표면에서 Step Barrier를 이루고 외부에 일정한 전계가 걸린 일 함수 ψ 인 자유 전자 금속 (Free Election Metal)으로 부터 방출된 전자의 Current를 계산하

였다.⁵⁾ 이 이론이 Fowler-Nordheim의 방정식이며, 발견된 지 60여년이 된 이 방정식은 clean surface에서 매우 일치하지만 현재에도 큰 변형 없이 사용되고 있다. Fowler - Nordheim의 관계식은 다음과 같이 나타내는데

$$\frac{I}{\phi^2 t(y)} \exp\left(-\frac{B\phi^{3/2}}{E} v(y)\right) = \frac{A}{cm^2} \quad (1)$$

$$A=1.54 \times 10^{-6}, B=6.87 \times 10^7$$

$$y = 3.79 \times 10^{-7} \frac{E^{1/2}}{\phi}$$

여기서 ϕ 는 일 함수이고 E는 외부에서 가해진 전계의 세기이다. $t(y)$ 와 $v(y)$ 의 값은 대부분의 cathode가 가지는 값으로 근사를 시켜 생각한다. 이때 각각의 값은

$$t^2(y)=1.1, v(y)=0.95-y^2$$

와 같고, 첫 번째 식은 전계 방출효과에 의한 총 전류와 전압과의 관계식으로 바꾸어 쓸 수 있는데, 이때 총 전류를 I라 하고 전압과 전계의 관계를 $E = \beta V$ 라 하면 식 (1)은 다음과 같이 바꾸어 쓸 수 있고, β 는 FEAs 구조에 관련된 Geometrical Factor이다.

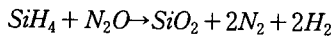
$$I = aV^2 \exp\left(\frac{-b}{V}\right) \text{ or } \ln(I/V^2) = \ln a - \frac{b}{V} \quad (2)$$

식 (2)의 두 번째 식의 y축을 $\ln(I / V^2)$, x축을 $1/V$ 로 나타 낼 때, Fowler-Nordheim Plot (or FN plot) 이라 하고 전계 방출전자의 특성을 알아보는 가장 중요한 방법이다. 일반적으로 외부전계의 크기가 증가할수록 Barrier의 모습이 변함과 동시에 높이가 계속 낮아지게 된다. 따라서 외부의 전계가 크면 클 수록 방출될 수 있는 전자는 페르미 준위 아래쪽으로 가게 되며 훨씬 많은 전자가 고체로부터 방출되게 된다.

2. 표준 FEA 제조공정

FEA's (Field Emitter Arrays)는 FED에서 전자 방출을 하며 반도체 공정으로 제조되는데, 일반적으로 FEA's는 metal-Insulator-gate metal의 sandwich 구조로 구성되며 식각된 insulator내에 마이크로 tip이 존재한다. FEA의 cathode전극을 형성시키는 공정 중 가장 먼저 준비해야 할 공정은 크게 glass cleaning, photolithography, ITO

etching공정으로 나누어 지며, 이과정은 FEA제조 의 첫 번째 단계로서 전체 공정에 중요한 영향을 미친다. 특히 SiO₂ film과 Mo tip의 특성에 매우 중요한 영향을 주므로 주의하여야 한다. ITO line 에칭 후에는 실리콘 산화막과 크롬 막이 FEAs에서 각각 cathode와 gate간의 전기적 절연막, Gate 전극 막으로 이용된다. 현재 실리콘 산화 막을 성장하는 방법으로는 열 산화, Plasma Enhanced Vapor Deposition(PECVD), Sputter, E-beam등의 방법이 있으며, 이중 열 산화막이 막 특성이 가장 좋지만, throughput이 좋지 않아 실제응용에 어려움이 많다. 그러므로 언급한 제조방법 중 열산화막에 가까운 특성을 보이며, 여러 요구사항을 가장 잘 만족시키는 PECVD 방법이 많이 이용되고 있다. 이는 PECVD 장비가 다른 장비들에 비해서 먼저 낮은 기판온도, 높은 성막속도, 낮은 기계적 Stress, 성막전 ion bombarding에 의한 cleaning 효과, 조절가능한 stoichiometry, good adhesion, 적당한 전기적 특성 등의 장점을 가지고 있기 때문이다. 일반적으로 실리콘 산화막은 SiH₄와 N₂O 기체를 반응가스로 써서 제조하는데, N₂O를 이용하는 이유는 해리에너지가 낮기 때문이다(40kcal/mol). 절연막 형성의 반응 과정을 고려하며 다음과 같은데



위의 반응이 형성되는 이유는 N₂O 해리는 N-NO bond(115kcal/mol)가 O-N₂ bond(40kcal/mol)보다 훨씬 약하기 때문이다. 위의 반응식에 의한 실리콘 산화막에는 적은 양의 질소가 포함되게 된다. 그러나 N₂O/SiH₄의 비가 낮을 경우 굴절률이 증가하게 되는데 이유는 질소의 박막내 잔류량이 다소 증가함에 따라 Silicon-rich 박막을 형성하게 되기 때문이다. 따라서 완전한 Stoichiometry를 얻기 위해서는 Silane과 산소의 혼합 기체에 의한 반응으로써 이를 수 있으나, 이 반응에는 많은 에너지가 필요하게 되어 Ion bombardment가 심하게 되고 따라서 박막에 Defect가 많이 존재할 수 있다. 일반적으로 낮은 성막온도와 높은 N₂O/SiH₄ 비는 낮은 에칭율을 갖는 박막을 얻게 된다. 또한 PECVD 산화 막에서는 Si-H, Si-O-H, H-O-H형태의 2-10% H₂가 포함되어 있다. 따라서 박막내의 수소 농도 또한 중요 변수가 된다. 낮은 성막온도, 높은 RF power, High carrier-gas flow rates등은 기체 상 핵 생성을 방해하게 되어 그 자체로 문제점을 야기하게 될 수 있다.

한편 gate 전극 용으로 사용하는 Cr막은 sputtering system과 evaporation 법이 사용되고 있으며, 이 방법은 Multi component 제조, Refractory 금속박막 제조, 절연막, good adhesion, 균일한 박막증착 등에 장점을 가지고 있다. FED 개발에서 gate Cr layer에 hole patterning을 형성하는 공정은 정밀한 uniformity가 제어되어야 하는데, 이는 micro-tip에서 방출되는 전류량의 uniformity의 와 관련되어 있기 때문이며, 궁극적으로는 hole의 uniformity가 FED 소자에서 휘도 uniformity를 결정하기 때문이다.

전자총에 해당하는 micro-tip을 형성하는 공정은 e-beam evaporator를 이용하여, Al parting layer를 증착하고, 연속적으로 Mo를 증착후 Al parting layer 뒷부분을 lift-off함으로써 이루어진다. 이 때 주의 하여할 사항은 high stress 물질인 Mo의 증착시 device가 박리가 일어나지 않도록 공정조건을 확립하는것이 FEA's 제조에 가장 중요한 공정부분이다.

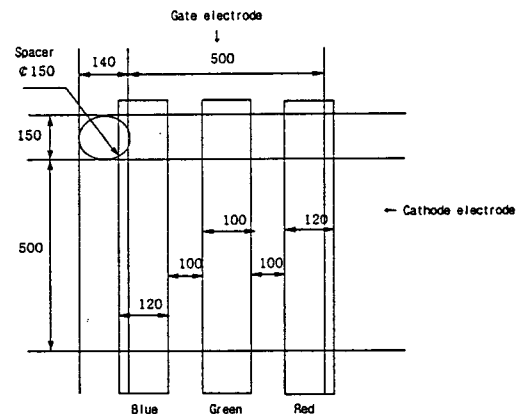


그림 5. 대표적인 anode plate의 layout
Fig. 5. Typical layout of anode plate.

3. ANODE공정

FED anode plate는 cathode plate에서 생성된 전계방출 전자들이 진공영역을 통과하여 anode 전극 위에 형성되어 있는 칼라 형광체 층에 충돌되면서 원하는 영상표시를 수행하게 된다. 크게 anode plate 개발은 저 전압 스크린 형성에 필요한 Red, Green, Blue 칼라 형광체층 형성, FED panel 내부가 고 진공이 형성됨에 따른 외부 압력 증가에 견딜 수 있는 고정세 (spacer) 형성 등이 중요 핵심 공정이다. Fig. 5는 대표적인 anode plate의 layout을 보여주고 있다.

ITO anode electrode 형성을 위해서는 cathode plate공정과 유사하게 Photolithography를 하여 anode plate의 전극을 형성하며, 다른 anode plate의 중요한 공정들은 대부분 printing 방법으로 형성된다. 먼저 conductor layer 형성하고 dielectric layer, Multi layer Spacer, G,R,B color 형광체들을 순차적으로 printing한다. 이후 FED panel vacuum packaging으로 FED device개발의 마지막 단계로서 제작한 cathode와 anode plate를 assembly한다. Anode와 cathode를 assembling하기 위해서 Anode와 cathode를 alignment한 후 두개의 plate들을 지탱해주며 exhausting시 vacuum을 잡아주는 역할을 하는 frit paste를 dispensing 한다. plate내에 가능한 매우 낮은 vacuum을 얻도록 하는 방법으로서 FED panel를 pumping하며, 이 때에 pumping speed는 glass의 fraction에 매우 중요함으로 천천히 하는 것이 좋다.

FED에서 사용하는 회로는 FED panel에 화상을 표시하기 위한 전기장치로서 영상신호(NTSC)를 입력받아 device를 동작시키기 위한 data로 기존의 영상신호를(Analog: 1Vpp) 변환하여 준다. 본 회로의 궁극적인 목적은 TV Monitor와 같이 기존의 영상신호를 입력받아 동화상을 장치에 표시하는 것이다. FED는 3단자(Cathode,gate,Anode)구조를 갖는 Device로서 이상적인 전류.전압 특성은 그림 6과 같다. 이 그림에서 device는 비선형 특성을 갖는데 40V 전후에서 급격한 기울기의 변화를 보이고 차츰 기울기가 증가하여 100V전후에서 무한대의 전류가 흐르는 것을 관찰할 수 있다. 이러한 현상은 device의 구조 및 제조공정의 차이에 따라 상이한 특성을 갖지만 이 같은 유형의 비선형 특성은 항상 일정하다. 이러한 특성을 갖는 이유는 FED의 동작원리가 진공상태에서 강한전계가 형성되면서 Tunnelling효과에 의하여 전자가 방출되기 때문에 결과적으로 F/N(Fowler-Nordheim)특성을 따르고 전류.전압특성은 비선형 특성을 갖는다.

4. 4 INCH MONOCHROME FED

삼성종합기술원에서 개발한 4 inch momo 및 color FED spec.은 Fig. 7에서 자세히 언급이 되어 있으며, Fig. 8은 이들 소자들을 이용하여 측정된 anode voltage와 cathode-gate voltage의 변화에 따른 전기적 특성변화를 보여주고 있다. 이 그림에서 보여주듯이 Gate bias의 동작 영역이 약 60volts 이상에서 전류 방출이 시작되어 bias의 증가에 따라 전자방출도 증가하였고, 약 100 volts의

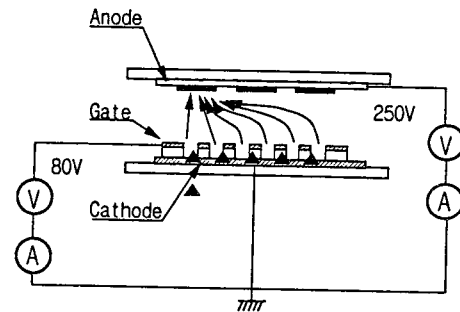
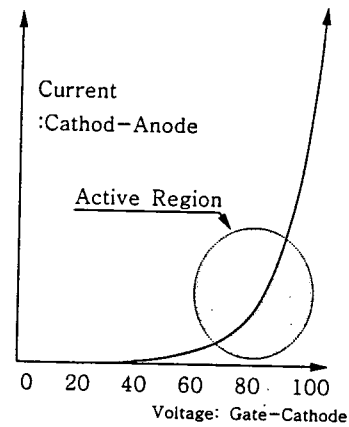


그림 6. FED 이상적인 전류·전압 특성
Fig. 6. Ideal I-V curve of FED devices.

Type	Monochrome	Full color
Panel size	100x100x2.4mm	116x112x2.4mm
Active area	70mm	100mm
Resolution	128x128	128x128
Pixel type	8x8 subpixel	10x10 subpixel
Tips/Pixel	2300 tips	4900 tips
Luminance	120 cd/m ²	80 cd/m ²
Turn-on voltage	45 V	45 V
Anode voltage	150 V	250 V
Tips on 4"	38,000,000	80,000,000
Gate bias	75 V	75 V
Phosphor	Y203S:Eu for Red ZnS for blue & green	Same but differ- ent surface treatment

그림 7. mono 및 color FED spec
Fig. 7. Specifications of 4 inch momo and color FED devices.

gate bias에서 포화 상태에 달하였다. 그러나 anode bias를 증가시키기에 따라 방출 전류는 약 2

배로 증가 하였고, 전자 방출의 포화점은 300volts의 anode bias에서 형성 되었고, 400volts의 bias에서는 약 105volts의 gate bias에서 형성되었다. Anode bias를 증가시키에 따라 개발한 FED 소자는 전형적인 transistor와 같은 특성을 보여주고 있다. 그러나 FED 소자 동작 초기에는 불안정한 전자방출 특성을 나타내는데, 이를 안정화시키는 방법에는 gas를 이용한 aging, 고온 aging, 전기적 aging방법을 사용하였다. Fig. 9는 lifetime test한

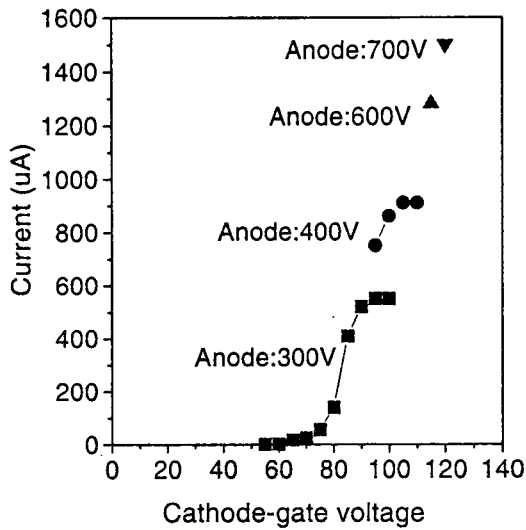


그림 8. anode voltage와 cathode-gate voltage의 변화에 따른 전기적 특성 변화

Fig. 8. Electrical characteristics under different anode voltage and cathode-gate voltages.

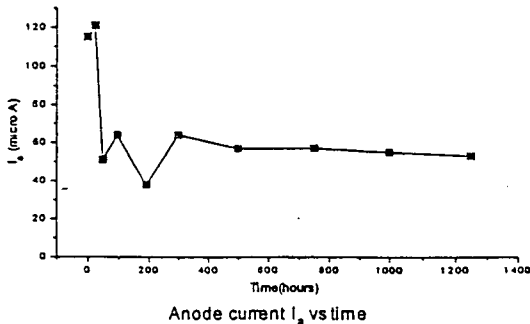


그림 9. 신뢰성 테스트

Fig. 9. lifetime test

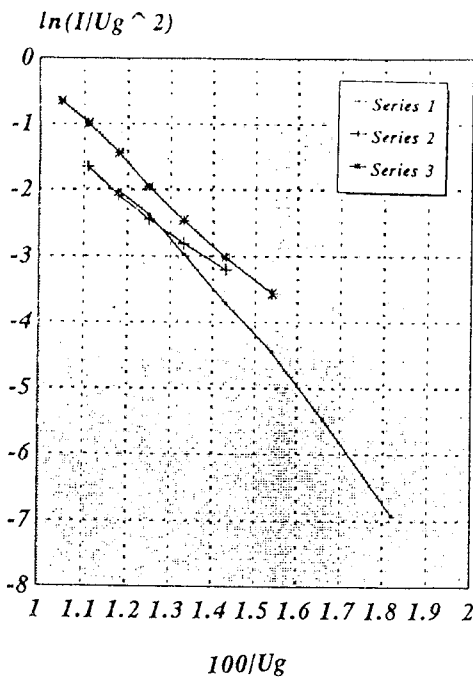
결과를 보여주는데 이 그림에서 알 수 있듯이 test 초기 약 200시간 동안의 aging 안정화 기간을 걸쳐 약 3000여시간의 안정화된 전자 방출하는 것을

알 수 있다.

현재 저해상도에서는 1:1~1.25의 aspect ratio를 나타내고 있으나 향후 고해상도에서 필요로 하는 1:2 또는 그 이상을 향상시킬 예정이다.

기술원에서 개발중인 4 inch monochrome FED 소자는 128 x 128 line 이며, 4" 음극판 위에 약 3천8백만개의 tip이 patterning 되어 있다. 이 때의 hole size는 4" 음극 기판상에 $1 \pm 0.1 \mu\text{m}$ 의 오차로 균일하게 제어되었으며, 이때 쓰여지는 기술이 field emitter array의 전기적 특성 및 휘도 특성, driver의 spec.을 결정고 FED의 수율 및 Cost를 결정하게 됨으로 매우 어려운 기술이다. 현재 삼성 종합 기술원에서 진행되고 있는 FED개발을 위한 세부적인 제조공정은 다음과 같은데, 먼저 conventional evaporation 방법으로 aluminum parting layer를 증착하고 molybdenum을 evaporation 방법으로 증착한다. 이 때에 형성되어지는 tip구조는 tip 반경이 400Å 이하로 아주 안정된 재현성인 구조를 보여주며, 적절한 bias level에서 전자 방출이 이루어진다. 양극 판에는 spacer와 저전압 형광체를 도포하고, 음극판과 양극판을 frit glass를 이용하여 직접 sealing 한다. 이 때의 음극과 양극 사이의 간격은 150 μm 를 유지하고, 배기 hole을 통하여 진공 배기를 하며 1×10^{-7} torr 이상의 진공을 유지한다. 그 뒤에 getter activation을 하고서 packaging을 완료한다. 형광체는 red, green, blue 각각의 단일 색상으로 test 되어진다. 이 때의 red는 $\text{Y}_2\text{O}_2\text{S}$ 계열로 1.0Lm/W의 효율을, green은 ZnS 계열로 3.5 Lm/W의 효율을, blue는 ZnS 계열로 0.6 Lm/W의 효율을 가진다. 이렇게 개발된 형광체는 기존 저전압 형광체를 개발하고 있는 타 경쟁회사와의 성능비교에서 비슷한 성능을 나타낸다. 개발된 spacer는 1:1(height:bottom)의 aspect ratio를 유지하며, 향후 고 화질용을 위해서는 2:1의 aspect ratio를 갖는 구조를 필요로 하고 있다. 형광체의 두께 및 screening 공정은 10 μm 이내에서 조절되고 있으며, 이렇게 하여 만들어진 FED는 Fig. 10 각각 다른 진공 상태에서 측정된 emission의 전기적 특성보여 주었다. 이 때 소자는 1.4×10^{-5} , 1.6×10^{-5} , 8.2×10^{-6} torr의 진공상태에서 측정하였다.

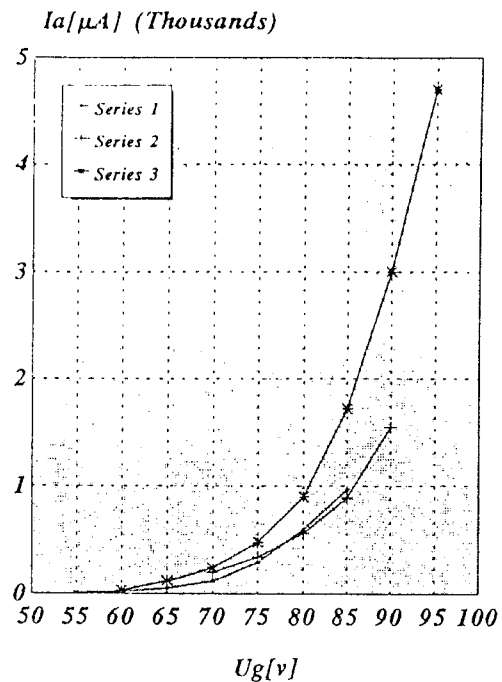
Fig. 11은 소자 turn-on voltage가 60volt이고 적절한 영상을 볼 수 있는 조건은 70~75volt 영역인 것을 보여주고 있는데 일반적으로 Life time test는 3개월의 연속 구동에서도 안정된 영상을 보이는 것으로 증명되었다. 하지만 장시간의 측정을 현재 진행중에 있다. Fig. 12는 4 inch mono- chrome



Series 1: Pressure 1.6×10^{-5} Torr; Gate line N1
 Series 2: - " - 1.4×10^{-5} Torr; Gate line N2
 Series 3: - " - 8.2×10^{-6} Torr; Gate line N2

그림 10. 다른 압력하에서의 Fowler-Nordheim 도표

Fig. 10. Fowler-Nordheim plot at different pressure.



Series 1: Pressure 1.6×10^{-5} Torr gate line N1
 Series 2: Pressure 1.4×10^{-5} Torr; gate line N2
 Series 3: Pressure 8.2×10^{-6} Torr; gate line N2

그림 11. 전계방출소자의 I-V 곡선
 Fig. 11. I-V plot of FED device.

FED소자를 사용하여 측정한 정지 image를 보여주고 있다. 이 때의 게이트의 구동전압은 70volt이고, anode 형광체 전압은 150volt이다.

5. 4 INCH FULL COLOR FED

4 inch full color FED를 개발하기 위해서는 여러 가지 물질 및 공정 특성등을 고려하여 소자의 핵심 기술에 집중적으로 연구할 필요가 있다. 따라서 현재 삼성종합기술원에서는 크게 음극판 관련 전 공정, 양극판 관련 후 공정 기술로 분류하여 연구를 진행하고 있으며, 전 공정에서는 field emitter array의 균일한 tip가공, diamond 등을 이용한 modeling, tip 물질 개발 및 구조개발을 병행하고 있고, 후 공정에는 저전압 형광체, spacer, 고진공 packaging 기술을 개발을 하고있다. 또한 이와 병행하여 high gray scale의 영상 신호 처리 회로를 개발하고 있다. Mono FED와는 달리 color FED는 크기는 $112\text{mm} \times 116\text{mm} \times 2.4\text{mm}$ 이고 실제 active area는 100mm 이다. 전체적으로 4 inch FED소자

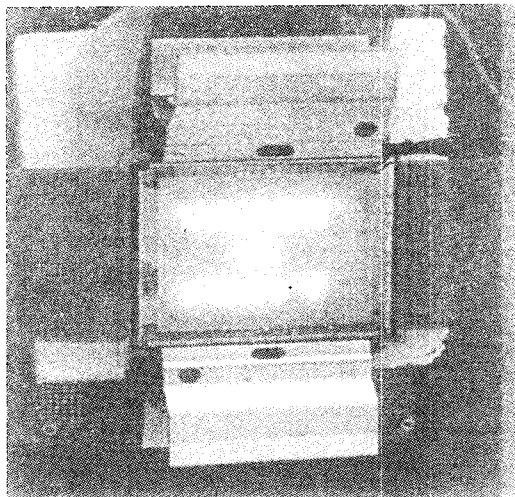


그림 12. 기본적인 4인치 전계방출소자
 Fig. 12. Prototype of 4 inch FED

는 128×128 line으로 구성되어 있으며 R.G.B.에 대한 250V에서 anode switching을 하고 있다. 각 pixel은 4900개의 microtip을 구성되어 있으며 전체 tip수는 4 inch panel에 80,000,000개이다. Fig. 13은 anode 상의 R,G,B line 별 전류 분포를 보여 주고 있으며, 이 측정 결과로서 4" FED 전면에 대한 일반적인 전류 방출 분포를 측정하였다.

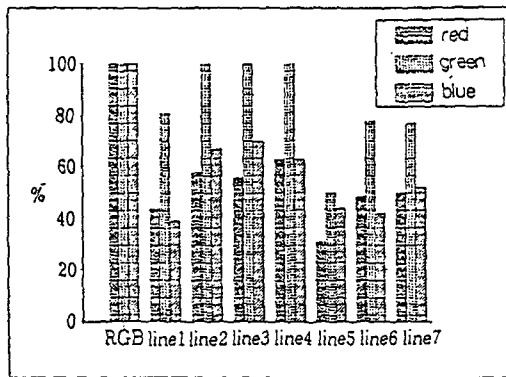


그림 13. 칼라 소자의 방출 윤곽
Fig. 13. Emission profile of color FED.

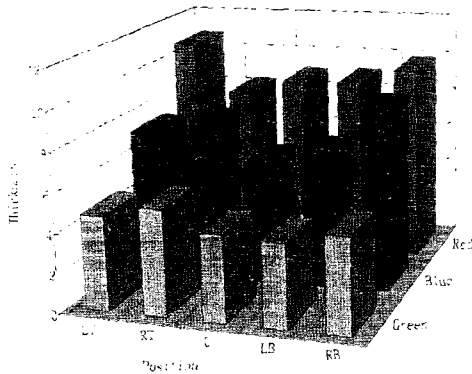


그림 14. 4인치 전계방출소자의 양극판 특성
Fig. 14. 4 inch FED anode properties.

형광체의 screening 조건에 따른 4" panel상의 형광체 두께 분포도는 Fig. 14에 보여주고 있으며, 이 그림에서 알 수 있듯이 full color phosphor 공정조건 및 휘도의 혼합도를 최적화시킨 것이지만 screening한 형광체들의 크기가 각각 다르므로 매우 주의하여야 한다. 현재 FED 소자 개발시 사용하는 spacer의 높이는 약 170μm 정도이고 갯 수는

200개 정도인데 이는 spacer의 1개당 stress가 25kg/mm² 이상으로 10⁻⁸ torr 정도의 용력에 견디도록 설계되었다. Fig. 15은 4" FED 평면상에서 spacer의 높이분포를 보여준다. 개발된 4" full color FED의 R,G,B, white color의 선명한 image를 보여주고 있으며, 이 때의 휘도는 white level의 경우 약 80cd/m² 정도인데, Fig. 16은 현재 기술원에서 개발한 color image를 보여주고 있다.

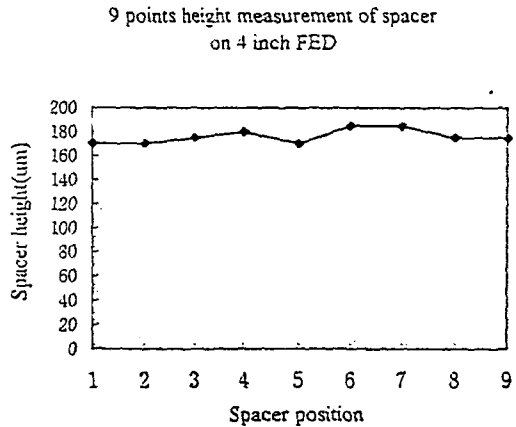


그림 15. 고정세 높이 측정
Fig. 15. Measurement of spacer height.



그림 16. FED 소자를 사용하여 나타나는 color image.
Fig. 16. Color image of 4 inch FED devices

6. FED 개발동향

본 장에서는 현재 각 선진국에서 연구되고 있는 FED 개발현황을 서술하였다. 먼저 고전압 형광체를 사용하는 FED개발은 96년 초에 Silicon Video Graphic에서 소개되었으나 1996년 5월 미국의 Sar.

Diego에서 개최된 SID에서는 증명되지 않았다. 현재 FED 연구의 선두주자인 프랑스의 PixTech은 10.5" full color FED를 저전압 형광체를 사용하여 white color, R,G,B color demo로 NTSC 신호처리가 아닌 computer로 부터의 composite 신호 처리하여 고해상도의 R,G,B 분리 영상 및 white color 영상까지 세계 최초로 demo하였으나 자세한 data는 발표하지 않았다. 또한 당회사는 full color video 영상을 6" full color FED를 이용하여 transparent mode (양쪽 면에서 영상 볼 수 있는) 및 normal mode에서 증명하였다. 이 때의 조건은 저전압 형광체를 사용하고, 형광체의 효율은 약 30-40fL, gate bias는 80volts, anode bias는 400-500volts 이었다. 현재 Pixtech의 주요 관심사는 저전압형광체의 효율 향상으로 일본의 Nichia와 저전압 형광체 공동개발을 시작하였으며 조만간 더욱 개량된 데이터가 나올 것으로 예측되며, 6" full color FED 양산은 올해말로 계획하고 있으나 형광체의 효율면에서는 더 나은 결과를 얻어야만이 양산에 적용시킬 수 있으리라 생각된다. 이와 더불어 선보인 5" monochrome demo kit는 저전압 형광체의 사용이 주이고, R, G, B 용 panel을 따로 만들어서 현재 demo용 kit를 판매하고 있다. 형광체의 효율면에서 blue color panel이 조금 휘도가 떨어지나 red, green 및 ZnO monochrome은 당장 판매를 해도 경쟁력 있을 정도의 휘도 및 해상도 갖추고 있다. 이 때의 휘도는 70~100fL이고 car navigation이 응용가능한 분야로 사료된다. Fig. 17은 Pixtech에서 개발한 5 inch monochrome FED

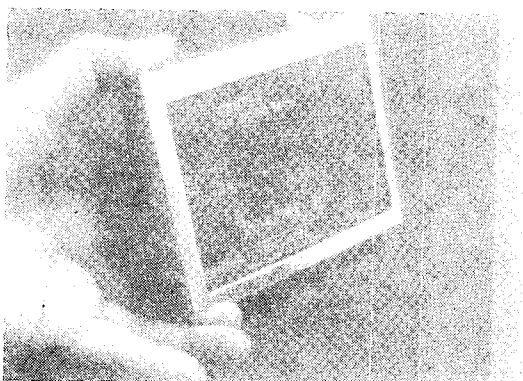


그림 17. Pixtech에서 개발한 5 inch monochrome FED
Fig. 17. 5 inch monochrome FED devices at Pixtech.

를 보여주고 있다.

미국의 Raytheon에서는 Pixtech의 alliance로서 military 응용에 치중해왔으나 나름대로의 고휘도 panel 개발에 대해 연구력을 집중해오고 있고 2가지 model에 대해 제품 특성을 발표하였다. 첫째 시제품은 약 300fL~1,000fL의 휘도를 갖고, 256 gray scale, 4"×4", 512×512 lines을 갖는 monochrome 및 6×6", 512×512 full color와 300fL의 휘도를 갖는 FED를 개발하였다 발표하고 고휘도의 display의 sample 및 full glow를 사진으로 보였다. Fig. 18은 Raytheon에서 발표한 고휘도 FED를 보여주고 있다. 이 회사는 PixTech alliance 이면서도 고전압 형광체를 상당히 능동적으로 적용하고있다. 또한 미국의 SIDT에서는 20,000fL의 고휘도 field emission lamp(15-80Lm/W)를 개발하였고, 10"이상까지 가능하다고 발표하고 있으나 diamond의 특성을 비교해보면 양산으로 연결되기에는 아직도 추가적인 검증이 필요할 것으로 예측된다, 현재 Motorola에서는 독자적인 FED 사업부를 구성하여 개발을 추진해 나가고 있으며, 대만의 ITRI에서는 FED 전문가들을 채용하여 개발을 추진하고 있다.

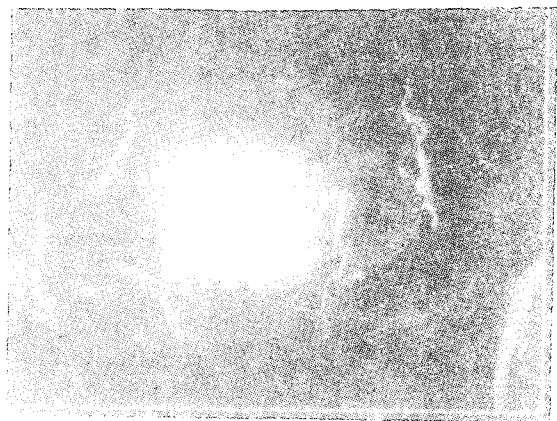


그림 18. Raytheon에서 발표한 고휘도 FED
Fig. 18. High brightness FED devices at Raytheon

7. FED 기술 전개 동향

7.1 Field emitter array

FED의 핵심 기술은 FEA 제조기술, 형광체 기술, Spacer 기술, 고진공 Packaging 기술과 구동회로 등 5가지로 나눌 수 있다. 첫 번째 중요한 기술

은 FEA 제조법으로 여러 가지 핵심 공정 기술을 포함하고 있으며, 우선적으로 중요한 것은 field emitter array를 만들기위한 hole patterning 법이다. 이는 1 μm 정도의 hole size를 대면적위에 균일하게 patterning 하기위한 것으로 mask 제작기술과 이를 균일하게 substrate 상에 patterning 하는 기술이다. 두번째로 중요한 기술은 현재 PixTech에서 적용하고 있는 저항체층을 이용한 기술을 적용하느냐 하는 것이다. 이 저항체층은 궁극적으로 전류-전압 특성을 안정화시키기 위한 장점은 있으나, 공정이 복잡해지고 수율을 저하시키며, 특히 어느 정도까지의 doping이나 적절한 박막이 적용 되어야하는지는 정확히 실험적으로 정립되어 있지 않다. 따라서 기술원에서는 저항체층을 적용하지 않고 hole patterning을 정교하게 적용시켜 안정화시키는 기술을 적용하고 있으며 이는 조금 더 검증되어야 할 기술이다. Fig. 19은 일반적인 FED 구조를 보여주는 있으며, Fig. 20은 microtip의 Scanning electron Microscopy (SEM) 사진을 보여주고 있다.

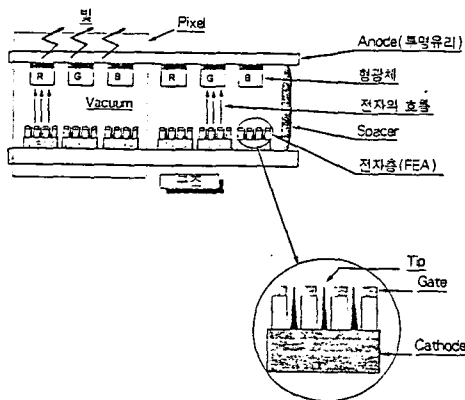


그림 19. 전계방출소자의 구조 및 드라이브 원리
Fig. 19. Drive principle and structure of FED

7.2 형광체 기술

형광체는 inorganic material로서 activator라고 불리는 불순물로 doping 되어 있으며, 여기서 activator는 host lattice에 수 ppm에서 1-2% 까지 섞여 있고 co-activator라고 불리는 charge compensator나 donors등이 추가로 첨가되어있다. 형광체의 물질특성은 rise & decay time, emission spectra, 효율 (입력 power에 대한 출력 power의 비), color 좌표로 표시되는 x,y,z의 값 등에 의해서 규정되며, 주요한 형광체의 동작 수명은 습기, 산소등의 residual gas에 민감하고 일반적인 형광

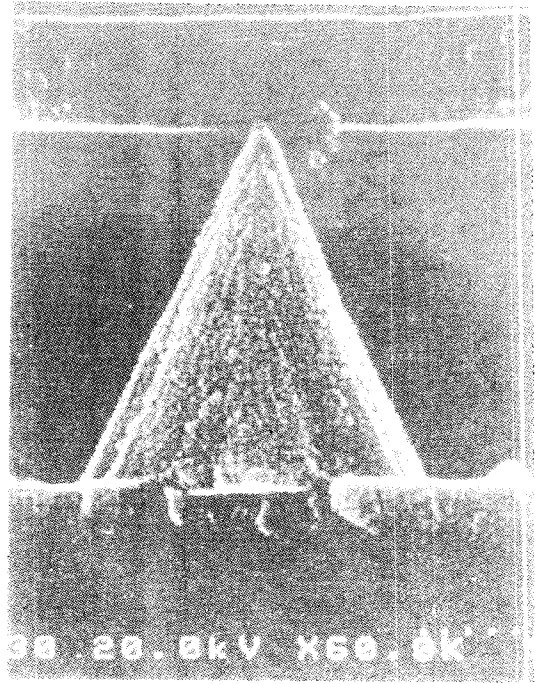


그림 20. 전형적인 전자총 SEM 그림
Fig. 20. Typical SEM figures of FEA

체 수명은 다음과 같이 알려져 있다.

Fluorides < sulfides < oxysulfides < silicates < YAG and aluminates

수명과 더불어 형광체의 degradation 현상은 thermal quenching, burning, coulombic ageing 등으로 분류할 수 있는데 Thermal quenching은 높은 전자 방출시 형광체의 온도증가에 따른 효율감소로 나타나며 이 현상이 과도하게 되면 형광체가 영구 손상을 입는 burning 상태로 된다. Coulombic ageing은 정상적인 상태에서 휘도의 점진적인 감소 현상으로 형광체의 효율감소가 주된 이유이다. 이는 color center형성이나 표면손상이 주원인으로 초기에 발생하였다가 점차 줄어든다. 형광체 종류에 따라 다르나 silicates, vanadates, oxide 계열 형광체가 sulfide계보다 안정되어 있다. 일반적으로 이 효과는 표면조건에 예민하며 이는 FED 동작실험에서 자주 확인되고 있다.

현재 저전압 형광체의 특성과 도전성과의 관계에 대해서는 많은 논란이 있는데, 저전압 형광체는 pellet type에서는 전기도전성을 나타내나, 도포된 형광체는 절연체의 특성을 나타낸다. Cathode-

luminescence (CL)는 오직 절연체에서만 확인되었고, activator로 20%의 indium oxide를 사용하는 혼합형 형광체도 도전성이 없다. 이는 indium oxide내의 oxide vacancy가 전자-홀 pair 재결합 center로서의 역할을 하고 도전성에는 영향을 미치지 못하기 때문이다. 전자흐름이 균일하다고 가정하면 형광체의 CL특성은 screening 조건에 의해서 좌우된다. 이때 aggregation이 있으면 발광하지 못하므로 이의 제거가 필수적이다. 그리고 형광체 표면에 약간의 hole이 필요하다. In₂O₃나 MgO가 포함된 형광체의 오염은 CL damage를 주므로 완벽한 표면처리가 중요하다. 약간의 alkali metal오염에 의한 불안정과 sulfides phosphor에 의한 tip 오염문제가 심각히 거론되고 있다. sulfides 및 oxysulfides는 표면 처리기술의 향상으로 상당히 효율이 증가되고 있고, oxide base phosphor등에는 개발에 상당한 진전이 있으나, 정확한 data가 아직 부족하고 더 많은 분석이 요구된다. Fig. 21은 현재 연구되고 있는 저전압 형광체의 list이다.

Phosphor	Color	Peak (nm)	Luminance (1500V, 50uA) after 2 hours	CIE	
				x	y
ZnO:Zn	blue-green	505	4,980	0.246	0.439
(Zn,Mg)O:Zn	blue	476	2,430	0.171	0.2843
ZnGa ₂ O ₄ :Mn	green	505	3,080	0.1926	0.1806
CaTiO ₃ :Pr	red	610	1,450	0.680	0.311
SnO ₂ :Pr	orange-red	595	102	0.587	0.383
ZnO:Zn (thin film)	blue-green	505	480	0.227	0.443

그림 21. 저전압 형광체

Fig. 21. Low voltage phosphors

형광체의 근본적인 물성(효율 및 표면조건)이외에 휘도를 결정하는 주요 인자로는 전자 beam의 irradiation time, 전자의 가속 energy, 그리고 형광체를 activation 하는 전자의 수가 있는데, 보통 형광체는 효율이 약 10% 이나, sulfides 계열은 약 20%정도에 근접한다. 이외의 factor로 형광체 효율을 향상시키는 방법으로 irradiation duration으로 개선하는 방법, 가속전압을 변화, 전류 방출량을 증가시키는 것 등 세가지가 있다. 그 중에서 먼저 irradiation duration으로 개선하는 방법은 형광체의 irradiation duration을 수십 nS이나 uS level로 구동회로에 의해서 효율의 향상이 가능하다. 그러나 보통 형광체는 좋은 열절연체이므로 열에 의한 신뢰도가 문제가 되며 Thermal quenching이나 burning이 문제가 발생한다. 따라서 이를 피하기

위해서는 electron의 밀도를 줄이기 위한 최적값을 연구하고 있다. 두 번째로는 가속전압을 변화시키면 X-ray 발생 및 cost가 올라간다. 세 번째로 전류 방출량을 증가시키는 것은 최적화된 field emitter tip의 증가를 수반하므로 구동회로 및 layout에서 적절히 대응될 수 있다. 그러나 근본적인 해결책은 효율의 향상이다.

다른 핵심적인 기술은 형광체를 시스템에 어떻게 적용하는가에 있다. 형광체 기술은 형광체 물질의 합성법, 형광체 물질의 mixing 법과 도포 방법으로 크게 분류할 수가 있다. 현재 고전압형광체를 이용한 형광체 coating 기술이 연구되고 있으며 현재 미국에서 주요 FED manufacturer가 이 방법을 적용을 하고 있으나, 실험적으로는 고전압 형광체 사용에 따른 고전압 방전 효과에 의해서 flashover 문제가 심각해져서 특수한 spacer 제조 기술이 필요하다. Fig. 22은 고전압형광체를 사용시 발생가능한 flashover 현상을 보여주고 있다. 현재 적용되는 spacer 기술로는 arching effect에 의한 flashover를 충분히 실험적으로 검증된 바 없다. Silicon Video Graphics 등에서 고유한 고전압용 spacer 기술을 개발 했으나 reliability issue에 대한 data가 부족하다. 이에 반해 저전압 형광체의 주요 수요처는 PixTech alliance로 공정이 쉽고 저전압에 의한 방전 효과에 의한 flashover effect가 줄어 신뢰도가 증가한다. 현재 고전압 형광체는 사용자가 많아서 형광체 제조업체들이 집중적으로 개발 효율을 높이고 있으나, 저전압 형광체는 user들이 아직 안정화 되지않고 있어서 향후 phosphor 제조업체의 의지에 따라 쉽게 효율향상이 있으리

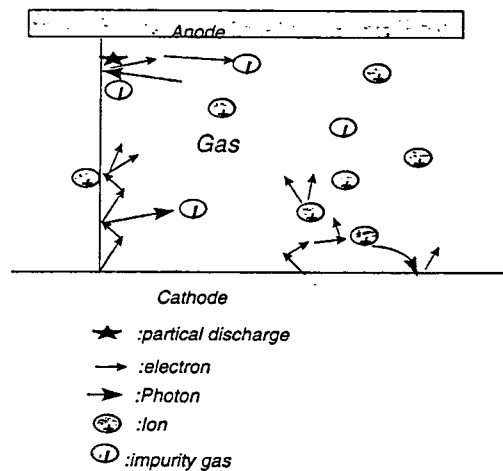


그림 22. 방전의 원리

Fig. 22. Flashover principle

라 기대 된다. Fig. 23은 저전압형광체와 고전압형광체의 특성분석을 보여주고 있다.

형광체의 합성후에 FED의 효율을 집중적으로 향상시키는 인자는 형광체 도포 방법이다. 형광체 도포 방법에 따라 휘도 특성이 주로 결정되므로 (혹자는 휘도 및 영상 image의 90% 이상이 도포 방법에 의해 결정 되어진다고 함) 이에 대한 집중적인 연구가 필수적이다. PixTech은 anode switching 방법에 의해서 구동을 하므로 저 전압용 형광체만 쓰고, Silicon Video Graphics등은 full gate switching 방법에 의한 구동임으로 고전압 형광체를 쓰고있다. Fig. 24는 형광체에 따른 FED

Items	고전압형광체	저전압형광체
특성	-고전압에서 반응하는 형광체 power consumption이 크다 -저가격	-저전압에서 반응하는 형광체 power consumption이 작음
기술 동향	-기존 CRT에서 사용되고 있는 안정화된 기술	-기존의 형광체에 대한 surface coating -연구개발 필요함
단점	-GAP(anode-cathode)에 고전압이 형성됨으로서 Micro-plasma 형성에 따른 damage ①수율감소 ②Tip의 damage반응으로서 life time감소 -High aspect ratio spacer제작이 어려움 -Device 두께가 커짐	-저전압형광체 개발 필요
장점	-기존의 형광체 사용가능	-GAP(anode-cathode)사이에 방전효과를 최소화함으로써 Micro-plasma 형성억제① ①수율증가 ②long life time -Spacer 제작이 용이함 -Thin device가능

그림 23. 저전압과 고전압형광체 차이점
Fig. 23. Difference between low voltage phosphor and high voltage phosphors.

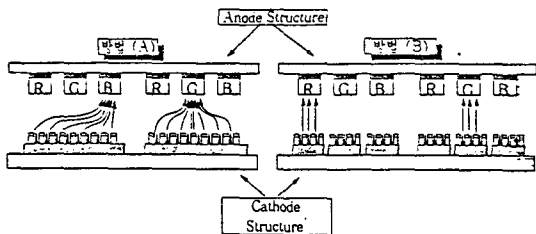


그림 24. Color FED의 구동 방법
Fig. 24. Drive IC of color FED devices.

구동방법 차이를 보여주고 있다. Silicon Video Graphics 측은 고전압 형광체로 gate switching으

로 구동하므로 형광체 screening에서 PVA slurry 방법, electrophoretic 방법, photolithography 방법 등을 병용할 수 있으며, 또한 gate 신호 처리에서 고주파를 쓰는 회로를 써야하고, 형광체의 도포 방법에도 선택성이 있다. Fig. 25는 anode switching 시 회로의 구성이 복잡하고 휘도 특성이 떨어지는 것을 보여주고 있다. 이때 고려하여야 할 사항은 고화질용 FED는 transmissive mode에서 작동하므로 phosphor thickness 및 particle size등을 고려해야한다. 형광체를 screening 하기전에 형광체의 sieving 단계 및 activator mixing 단계에서 형광체의 순도가 결정되고 이때 제대로 걸리지 않으면 형광체는 aggregation에 의하여 crystal 구조 자체가 망쳐져 버리고, 이런 상태에서 형광체를 screening하게 되면 FED의 동작시 발광특성이 나빠게 된다.

Process	Anode switching	Gate switching
장점	-Cathode와 anode의 alignment가 용이함 -Process가 간단함	-Cathode와 anode의 alignment가 어려움 -Process가 어려움
단점	-구동회로 구성이 어려움 -휘도특성이 나쁨	-구동회로 구성이 용이함 -휘도특성이 좋음
Phosphor layer 제조 방법	-Electrophoretic process	-PVA-Slurry method -Electrophoretic method -Photo-lithography
경쟁사동향	-Pixtech -Futaba -SAIT -Motorola	-MDT -Silicon Video -SAIT

그림 25. Drive mode의 차이점
Fig. 25. Difference of drive modes.

7.3 Spacer 기술

FED는 형광체를 가진 양극판과 field emitter array를 갖는 음극판으로 이뤄지고, 이때 이를 분리해주는 역할을 하는 것이 Spacer이다. PixTech은 초기에 약 1:1 aspect ratio를 갖는 Spacer제조 기술을 보유하고 있으나 지금은 1:4 또는 1:5 의 aspect ratio를 갖는 기술을 개발하고 있다. 현재 기술원에서는 1:1에서 1:2 aspect ratio 이상을 갖는 spacer를 개발하고 있으며 이는 모두 저전압용 으로서, 고전압용 형광체에는 flashover effect 때문에 쓰기가 어렵다. 고전압 전용 spacer로는 Silicon Video Graphics에서 개발한 spacer가 사용되고 있다. Spacer 재질로서는 glass powder, glass bar등이 사용되고 있으나 저전압, 고전압 형광체의 종류 및 flashover effect, 진공 packaging 시 주어지는 압력 차에 의한 stress 등에 의해서 재질이 선택되어지고 공법이 결정되어진다. 대화면

으로 응용하기 위해서는 stress에 따라 구조 및 spacer의 수와 용력이 계산되어지고, 해상도에 따라 aspect ratio등이 결정되므로 이에 대한 simulation이 선행되어야 한다. 예를 들어 기술원에서 개발된 4" FED에서는 spacer의 용력이 25kg/mm 이상이 되어야하고 약 288개의 spacer가 10⁸ torr의 압력에 견디도록 제조되었다.

7.4 Packaging 기술

고진공 packaging 기술은 기본적으로는 glass work에 의해 이뤄지며 가장 우선적으로 고려되어야 할 사항은 glass의 선택이다. Field emitter array가 형성되어 있는 cathode Plate는 평면도가 ±0.1 μm내외에서 유지되어 지는 것이 바람직하지만 phosphor가 도포되는 Anode Plate는 phosphor 자체 size가 1~7 μm에서 결정되므로 크게 중요하지 않다. 일반적으로 sodalime glass가 사용되나 sodalime glass는 표면이 porous 하여 H₂, He gas등을 trap하여 심각한 leakage를 야기시키고 이 때문에 Na이온등의 vacancies가 심하여 H₂O, CO₂, hydrocarbons등의 residual gas를 쉽게 trap해 버린다. 만약 SiO₂ 박막등이 있으면 Na 이온에 의하여 심각하게 오염되어질 염려가 있으므로 이에 대한 대책도 필요하다. 봉착 후 진공 배기 시에는 여러 가지 factor가 고려되어야 하며 이중 핵심 factor는 glass의 shearing stress와 flexural moment이다. Fig. 26은 두가지 핵심 factor의 차이점을 보여주고 있다. 또한 crack의 pattern은 위에서 언급한 factor에 의존하며 Fig. 27은 glass에서 shearing stress와 flexural moment에 의해 발생하는 crack patterning를 보여주고 있다. 배기시의 glass위는 air 상태를 가정하면 1033grams/cm²의 힘이 주어진다. 따라서 5 x 5cm² 크기에는 25, 15 x 15cm²에는 232kg의 힘이 주어진다. 이때 shearing stress를 고려해보면, Fig. 26에서 보듯이, pressure(P)와 길이(L)에서, center에서의 shearing force는 0이고 양끝단의 shearing force는 (양단) Sa(=Sb) = PL/2로 표시된다. size가 5 x 5cm² 이고 길이가 5cm일때 P=1033g/cm²를 대입하면, Sa= 1033x5/2= 2582 g/cm이다. 만약 glass가 2kg/cm² 보다 작은 stress를 갖는다면 확실히 cracks이 생기므로, shearing force가 약 3 kg/cm² 이상인 glass를 고려해야한다. 또한 두 번째 factor인 flexural moment를 고려하면, flexural moment (M)은 아래와 같이 계산되어진다.

$$M = \frac{PL^2}{8}$$

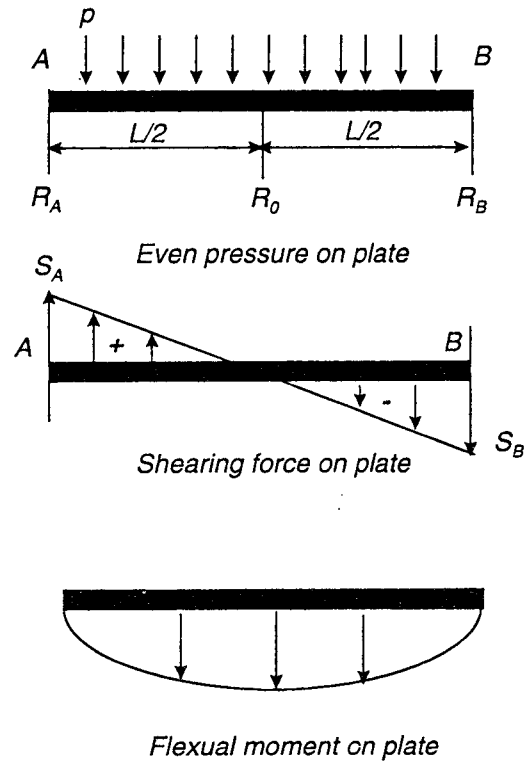


그림 26. 전단 및 굴곡 회전력
Fig. 26. Shearing and flexural moment

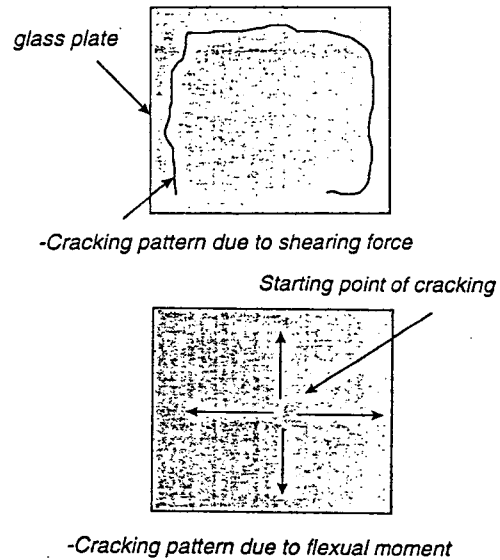


그림 27. 전단 및 굴곡회전력에 의한 파괴현상
Fig. 27. Cracking pattern due to shearing force and flexural moment

5 × 5cm²의 glass에 대해 계산해보면, M= 1033 × 5 × 5/8 = 3228 gram이고, 15 × 15cm² glass의 경우에는 M=29,053g =29kg의 무게가 center에 작용한다. 이 때의 compressive force 가 flexural moment보다 클 때는 glass가 휘어 지므로 충분한 계산이 되어져야 한다. 위의 factor에 의해 주어지는 crack의 pattern은 그림 27에서과 같다. 이와 더불어 glass의 두께도 crack에 대한 임계치를 갖고 있다. 고온에서 크래킹이 일어나는 임계 두께(t)는 아래와같이 주어진다.

여기서 α 는 flexural coefficient로 정의되고, soda-lime glass경우 α 는 500~730kg/cm²이다. 이로부터 임계 두께가 계산되므로 이를 참고로 glass를 선택하는 것이바람직하다. 이렇게하여 glass가 선택되면 frit glass가 선택되어져야 한다. frit glass의 선택은 glass와 열팽창계수가 맞고 glass표면에 wetting 이 잘 되어야 한다. 또한, frit glass는 녹을 때 비정질이 아닌 상태로 완전히 결정화되어야 한다. Raw frit glass는 melting 온도가 대략 430℃ 이상이 적절하다, Sodalime glass의 softening point가 약 550℃정도가 되므로 만약 400℃이하에서 sealing되면 비정질을 형성하게 되고 이것이 심각한 corona방전 및 arching을 야기하게 된다.

Frit glass의 다른 심각한 고려사항은 표면의 전기도전성 문제이다. 대부분의 frit glass powder는 melting 온도를 저하시키기 위해 많은 양의 PbOx 섞어 쓴다. 이 때문에 glass 표면에서 전기도전성이 있고 high resistance를 갖게 된다. PbOx powder의 경우에 전기도전성은 melting temperature와 crystallization 조건에 의존하고, 특히 진공 상태에서 도전이 잘된다. 간격이 1mm 이고 1~10kV의 전압이 걸릴 때 큰 leakage가 있으므로 glass bar중간층을 써서 leakage를 차단시켜 주는 것이 좋다. 가장 좋은 방식은 최소량의 frit glass로 최고의 adhesion을 갖도록 하는 것이다. 최적화한 frit두께는 0.1~0.2mm정도이다. Glass bar의 적용시는 crack에 견딜 만한 strength를 가져야하고 이에 대한 계산은 CAD에 의하여 가능하다.

FED 동작중 내부에서는 아크방전보다 코로나방전이 많이 일어난다. 코로나방전은 공기중에서 약 30kV/cm 의 전기장에서 일어난다. 코로나방전은 electrode사이에서 전자나 이온의 흐름이 있는 일종의 프라즈마방전이다. 만약 micro hole이 코로나방전을 가지면 micro hole이 전자의 source가 된다. 코로나방전으로부터 팁을 보호해주려면 field emitter array가 고 진공에 놓여져야 한다. 10⁻⁵

torr 이하에서의 residual gas는 좋은 절연체가 된다. 그러나 residual gas가 micro tip hole 내에 있을 때 방전의 source가 되므로 최대한의 residual gas effect를 줄여줘야 한다. 이를 위해서는 우선 배기시 물질들로부터의 degassing을 확실히 시켜주어야 한다. Degassing은 최소 450℃ 이상의 온도에서 이루어져야 한다. 이 정도의 고온에서 glass가 비틀리거나 깨질 수가 있고 이로 인하여 electrode가 파손될 수도 있다. 오염된 할로겐족 가스(불소, 염소)의 degassing과 glass 표면으로부터의 물분자등의 제거는 보통 기술로는 아주 어렵다. 가능하면 1ppm이하로 제어하면 좋지만 현재 기술로는 근본적으로 어렵다. 특히 진공상태에서의 microcrack이나 hole등은 물과의 모세관현상 때문에 제거가 아주 힘들다. 이에 대한 최선의 제거방법이 electron aging, gas aging, temperature aging등이다.

이와 더불어 많이 사용되는 방법이 getter사용에 의한 것이다. Getter사용으로 진공도를 향상시키고 residual gas effect도 줄일 수 있다. Getter는 evaporable type과 nonevaporable type이 있으나 실험적으로는 evaporable getter가 선호되어지고 있다. Nonevaporable getter는 공정이 향상되지 않아 아직 적용하기 어려우며, evaporable Ba getter는 주로 산소, 물분자를 흡수하지만 hydrocarbons등은 잘 흡수하지 않는 단점이 있다. FED 소자의 경우 내부 체적이 작으므로 잔류 gas의 영향이 크다. 그러나 CRT나 VFD 경우 방출되는 가스가 주로 hydrocarbon 계열이며 주로 형광체 표면에 흡수된다. 따라서 이 경우에는 electrical aging이 상당히 도움이 된다. 하지만 궁극적으로는 non evaporable getter를 사용될 것으로 예측된다.

7.5 최근 FED연구동향

7.5.1. 새로운 전자방출원

최근 러시아 과학원에서는 carbon nanotube 구조를 이용한 새로운 전자 방출 소자를 발표하였으며 이는 약 1nm직경의 single layer와 10nm직경의 nanotube구조로 구성되어 있고, 다이오드 구조에서 측정하여 10~50V/um에서 약 1uA~10uA의 측정치를 얻었다. 스위스연방공대(Lausanne)에서 polymer film matrix위에 carbon ML nanotube로 display를 제작하여 데모하였으며 1.3eV 일함수를 갖는 nanotube carbon의 측정이 실험적으로 러시아 과학원에서 이뤄졌다. 이외에 Oxford 대학에서 40~50% voltage정도 줄어든 저전압 전계효과를

갖는 porous silicon field emitter를 소개하였고, 미국 NCSU에서는 aluminium nitride, cubic boron nitride powder를 silicon tip에 적용한 NEA (negative electron affinity) 특성을 갖는 구조를 만들어 emission 결과를 발표하였다. 이는 electrophoresis에 의한 diamond coating 결과와 비슷하며 향후 silicon tip 기술과 혼용하여 사용할 수 있을 것으로 기대된다. 교토대학에서는 새로운 emission 현상에 대해서 텅스텐과 비교해서 낮은 임계전압을 갖는 liquid gallium에 의한 결과가 발표되었다.

Flat cathode에서의 전자방출 현상은 러시아의 Tomsk 연구소가 MIM(metal-insulation-metal) cathode인 Mo-SiO₂-Ag층을 사용한 display를 제시하였다. 이와 더불어, He, Ar, N₂와 O₂ gas와 polypropylene이 피복된 cathode에 의해 emission center가 증가되고, MIM는 multitip carbon matrices가 발표되었다.

미국 North Carolina주립대학에서 diamond coated field emitters가 electrophoretic powder deposition 방법에 의해 diode mode 결과가 발표되었고, 한국의 대우고등기술원에서의 DLC coating을 한 volcano type silicon emitter가 10nA/tip의 특성을 갖는 것으로 발표되었다. CVD(chemical vapor deposition)에 의한 diamond가 200nm의 gold metal contact를 갖을 때 turn-on voltage는 약 500volt이었고 일함수를 약 1.0eV 낮추는 HfC film을 sapphire 기판에 증착시킨 결과도 발표하였다. 이외에도 diamond field emitter array라든지 carbon cluster deposition에 의한 낮은 일함수를 갖는 multitip carbon matrices가 발표되었다. 이외에도 pulsed laser deposited DLC film으로 turn-on field가 11.4mV/m에서 160uA/cm²의 emission current density를 갖는 결과도 발표하였다. 이와 더불어 Mo tip 위에 증착된 DLC는 각각 44uA/Mo tip, 2mA/DLC coated Mo tip이고 turn-on voltage는 Mo tip의 경우 40volts, DLC coated Mo tip의 경우는 22 volts정도가 pulsed laser deposition방법에 의해서 확인되었다. 공정상으로는 microwave plasma 방법에 의한 SiN/Si surface에 diamond를 선택적으로 증착하는 법과 microwave CVD에 의한 SiO₂ 상에 diamond를 증착하는 법, <001> 방향의 texture를 갖는 diamond film 특성 등이 타이완 연구소에서 집중적으로 연구되어졌고, ECR plasma source를 구현하여 field emitter array의 공정에 적용하는 기술등이 소개되었다. 또한 diamond나 DLC film의 field emission

소자응용은 95년 이전까지만 해도 학회에 발표되는 논문이 주로 미국위주였으나 올해 들어 대만과 한국, 중국등에서 집중적으로 발표되었다. Diamond, DLC분야는 우선 재현성있고 uniform한 실험 결과를 얻는게 제일 중요한데 아직껏 같은 공정조건에서도 재현성있는 실험 결과가 나오지 않는 것이 문제이다. 이에 대한 대안으로서는 silicon이나 금속 field emitter를 DLC나 diamond, carbon 등의 NEA 관련 물질로 tip을 coating 하므로서 효율을 향상시키는 방법이다.

독일에서는 850mV/m에서 동작하는 CVD diamond field emitter를 개발하였고, 미국의 반더빌트대학에서는 diamond pyramid emission을 발표하였다. 또 미시간대학에서는 field emitter array용의 다이아몬드 공정법을 발표하였고, NASA Lewis center에서는 CVD diamond로부터의 secondary electron emission에 대한 연구결과를 발표하였다. 이외에 러시아 과학원이 diamond coated Si FEA를 1" size monochrome구조로 하여 demo하였고 이 때의 prototype은 200~300volts에서 약 100cd/m² 정도의 휘도를 갖고 있으며, 약 120시간의 수명을 갖는 diamond cold cathodes electron gun의 개발도 발표하였다.

7.5.2 신뢰도측정

Linfield Research Institute에서 field emission devices에서의 breakdown 문제에 대해서 발표하였고 텅스텐을 이용한 field emission이 아주 높은 전자방출을 한다는 것을 검증하였다. 이외에도 Mo, silicon refractory carbide, ZrC, HfC, Mo나 W은 화학적 반응에 예민하여 공정시에 신경을 써야하지만, silicon은 공정이 용이하지만 저항이 높아 emission current가 떨어지는 단점이 있다. 표준 emitter의 경우에는 반경이 약 10⁻⁵cm 일때 약 1mA의 emission current가 나온다. 최근 ZrC와 HfC는 넓은 온도 영역에 대해서 안정되어 있고 sputtering에 대한 저항성이 강하며 일함수가 낮다고 하며 pulse mode에서 약 50mA의 emission current를 얻었다고 보고되었다. 그러나 일반적으로 Spindt tip은 약 500uA정도가 방출이 되는데 이는 전류밀도가 약 100A/cm²로 resistive heating의 제한치를 넘지 않는다. Large emitter array에서 Spindt 팁은 160mA의 전류 방출량을 1mm array에서 얻었는데 이는 전류밀도가 약 20A/cm²이다. 이를 microwave에 응용하려면 600A/cm²의 밀도를 얻어야 한다. 이로부터 최적치를 선택해보

면 10uA~100uA 까지 얻을 수 있으나 응용분야에 따라 적절히 설계 및 modeling되어야 한다.

PixTech에서 microtip과 저항체층의 역할에 대한 실험과 simulation 결과가 발표되었으며 중간의 팁 상에서 voltage drop이 가장 높았으며 이에 대한 modeling과 실험결과가 처음으로 비교되었다. 러시아 ISTOK 연구소는 field emitter array의 기판온도에 대한 텅스텐 Mo, Re등의 field emission 온도특성에 대해서 분석하였다. 이때 분류된 특성은 1) low temperature disordered condensate, 2) replication, 3) ordered crystal growth 등이나 replication에서 가장 안정된 특성을 나타내고 저온에서 불안정한 특성을 보인다. Mo의 경우 안정된 약 530~630K이다.

미국 UC Davis에서는 silicon field emitter의 경우 저주파에서의 압력에 대한 잡음 효과를 분석하였고 silicon, Moly, Au, SiC field emitter에서 압력에 대한 전자방출 특성이 10^{-5} torr에서 10^{-9} torr 까지 분석되어졌으나 SiC emitter는 거의 모든 압력 영역에서 안정화된 특성을 보였다. 이외에도 2×10^{-5} torr 이상에서 모든 tip들이 damage를 받았다.

우크라이나 연구팀은 a-Si, C, ZnS, SiO₂의 경우에 약간의 절연체막이 high electron emission에 도움이 된다고 발표하였다. 또한 ISOTOK는 silicon-coated 텅스텐 팁에서 온도가 높으면 condensation에 의해 안정화가 높아지고, substrate가 room temperature에서 test되면 안정도가 떨어진다고 발표하였다.

Busta et al group은 RF sputtered CrSiOx 와 SiC가 series resistor film이 저항체층으로 사용되어지고 CrSiOx보다는 SiC이 안정화된 저항체층 특성을 나타낸다고 보고하였다.

7.5.3 이론적인 연구방향

물성론에서는 alkali, alkaline-earth와 rare-earth 표면 확산이 FED에 미치는 영향, 표면 phase transition에 대한 분석등이 발표되었다. 모스크바 대학에서는 ultra sharp field emitter의 diffusion stability에 대해서 발표하였다. 미공군 연구소 (Wright-paterson)에서 새로 design된 cathode에서의 일함수의 감도에 대해 분석하였고, 저전압 (≤ 20 volts)에서 CdS, LaS등의 형광체를 사용하여 test되었다. 이결과를 토대로 computer simulation을 이용하여 wave-mechanical현상에 의해서 이루어지는 상태를 3차원적 modeling 하였다.

이외에 방출된 전자의 energy distribution현상과 field surface melting 현상은 영국의 Surrey 대학에서 발표되었다. 이러한 물성적인 modeling 이외에 대만 교통대학팀이 SPICE program을 써서 field emission 삼극관의 현상을 modeling 하였다. 고주파대의 진공소자의 회로 modeling은 중국 Southeast대학에 의해서 시도되었다.

러시아 Saratov대학에서 저전압용 backward oscillator (BWO)응용을 위한 microwave tube에서 velocity 분포 분석을 시도하였고, 서울대에서 edge field emitter에 의한 electrodynamics분석, tunneling current for field emitter display에 대한 modeling이 시도되었고, Spain에서는 반도체에서의 hot electron emission 현상, 정전기적 image charge method에 의한 simulation이 발표되었다. Edge field emitter에 대한 분석도 finite difference method를 사용하여 nonorthogonal curvilinear coordinate system 상에서 simulation 되어졌다. 나고야 공대에서는 cold electron emission에 의한 새로운 UV 발광 소자에 대한 simulation으로 전계와 자계의 혼합 filed에 의한 light source응용에 대해서 가능성을 modeling 하였고, magnetic field sensor의 개념처럼 정자기와 정전기장이 형성될 때의 전자운동을 조절함으로 개념 제시를 하였다. 모스크바대학에서는 cylindrical multi 전극을 갖는 microcell 구조로 자계에 민감한 cell에 대해 electron transport modeling을 제시하였다.

7.5.4 FED panel 개발현황

최근의 FED system을 소개하면 PixTech에서 5" FED system과 4" FED monochrome의 신뢰도 실험, SAIT에서는 4" FED monochrome 개발현황과 R, G, B, white color의 동화상, Futaba에서는 5 inch full color FED소자, Cannon에서는 새로운 개념의 Surface conducting emitter를 이용한 FED 소자, Fujitsu에서는 Fig. 28에서 보여주는 반사형 FED, 중국 Beijing Tube Factory에서는 ployimide를 사용한 spacer 제조기술을 소개하였다. 이 방법은 spin coating이 아닌 immersion coating방법에 의해 60um정도의 pillar를 형성하고 15.5" diameter를 ICP로 etching하는 것이다. 중국의 Academy of Broadcasting Science에서 field emitter array를 채용한 flat panel camera tube를 소개하였는데, 이는 size가 2/3~1"이고 전면에 SnO₂ conductive layer, CeO₂ resistive layer, Se-As-Te photoconductive layer, Sb₂S₃ resistive layer채용한 것으로 성능은

CCD를 능가하여 향후 가능성을 제시하였다. Table 1은 현재 세계적으로 연구되고 있는 FED과 제들을 보여주고 있다.

표 1. FED 연구진행사항

Table 1. Progress of FED devices.

Year	Company	Development of FED
91	▶LETI	-4" monochrome FED
93	▶Pixtech	-Raytheon, Futaba, Motorola alliance
	▶USA	-Cooperation of FED device with 12 bill \$
94	▶Fujitsu	-1 " mono FED
	▶MDT	-0.5 " full color FED
95	▶EC	-ESPRIT program with 3 bill \$
	▶Futaba	-5 " mono FED
96	▶SVG(HP)	-2.4 " full color FED(High voltage phosphor)
	▶FED corp.	-2.4 SVGA mono FED(High voltage phosphor)
	▶PixTech	-10.4 " full color FED
	▶LETI	-Planning for 55 " FED
	▶Canon	-4 " full color FED(High voltage phosphor)
	▶Fujitsu	-4 " full color FED
	▶Futaba	-5 " full color FED
	▶Toshiba	-Key technology for 22 volt operation

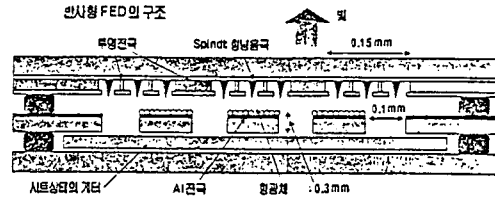


그림 28. 반사형 FED

Fig. 28. Reflective type FED devices.

8. 결 론

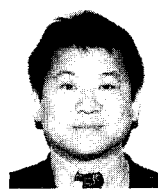
현재 미국이나 일본의 장비회사인 Ulvac, Boc, Balzars 등이 서서히 FED 전용장비를 시장에 내놓고 있다는 점이 긍정적인 측면이며, 이러한 추세로는 유럽의 FED 연구 형태를 눈여겨볼 필요가 있다. EC에서는 ESPRIT program 이라는 이름 하에 FED 용 전용장비, mask pattern 장비 개발, 박막 증착기, 저전압 형광체, 그리고 물질 개발을 상당히 active하게 연구하고 있으며 이의 연구결과가 주목된다. 이와 더불어 일본에서는 TFT-LCD 및 PDP 연구투자에 너무 많이 집중되어 있어 FED에 대한 투자는 상대적으로 부족하지만 이에 대비한 연구 활동은 지속적으로 진행되고 있다. 따라서 최근에는 일본에서도 후타바 이외에 도시바, 후지쯔에서 상당히 활발한 연구를 진행하고 있으므로 국내에서도 이에 대응하는 연구를 진행해야 할 것으로 생각한다.

저자소개



홍진표

1986년 미 U.C.L.A. 물리과 학부졸업.
 1988년 미 U.C.L.A. 물리과 석사학위.
 1992년 미 U.C.L.A. 물리과 박사학위.
 1992년-1996년 삼성종합기술원 신소재 연구실 선임연구원. 1996년-현재 삼성종합기술원 표시재료 lab. FED팀 수석연구원(Projector Leader).



김종민

1980년 홍익대 전자공학과 졸업. 1986년 미 뉴저지 공과대학 전기공학 석사. 1991년 미 뉴저지 공과대학 전기공학 박사. 83년-84년 금성사 OA사업부 엔지니어. 88년-92년 미 육군연구소 연구원. 93년-94년 미 FED사 선임연구원. 94년-96년 삼성종합기술원 FED프로젝트 팀장(수석연구원). 96년-현재 삼성종합기술원 표시재료 lab. lab장(director).