

ETRI CAD 기술

박 인 화
한국전자통신연구원

I. 서 론

최근 노트북 컴퓨터, 이동전화, 복합 가전기기, 스마트 단말기 등 복합 다기능 제품의 급속한 보급으로 PC, 통신, 멀티미디어 등의 전자시스템 분야 ASIC 수요가 급격히 증가하고 있다. ASIC은 다기능, 고성능, 고신뢰성, 저가격화, 소형화, 저전력화 등을 통해 전자시스템 제품의 경쟁력 제고에 결정적인 역할을 하는 핵심 부품이다. 이러한 시스템 분야의 요구와 반도체 기술의 발전에 힘입어 ASIC의 크기는 급격히 커지고 있고 조만간 PCB 나 칩셋 형태의 시스템 전체가 하나의 ASIC 회로에 집적되는 단일칩 시스템 ASIC (system-on-a-chip)이 보편화될 것이다.^[1]

미래의 설계기술을 지원하기 위한 CAD 기술의 중요한 발전 방향을 요약하면 다음과 같다.^[2] 첫째는 상위수준에서 시스템의 행위적 동작이나 알고리즘을 기술하고 검증할 수 있는 CAD 기술이다. 현재는 VHDL이나 Verilog HDL과 같은 언어가 보편화되고 있으나 SDL, ESTEREL, Extended FSM과 같은 시스템 언어를 이용한 설계 및 검증을 실현해야 한다. 둘째는 합성 CAD 기술에 기초하여 하드웨어는 물론 소프트웨어까지도 자동으로 설계할 수 있는 CAD 기술이다. 레지스터 전송 수준의 논리회로 합성 기술은 이미 보편화되고 있으나 동기식 디지털 논리회로만을 대상으로 하고 있다. 미래의 합성 기술은 디지털 회로 뿐만 아니라 소프트웨어 코드, 아날로그 회로를 포함하여 MEMS로 대표되는 기계적 설계까지 통합된 CAD 설계 기술을 요구한다. 셋째는 CAD 툴에 의해 가상적으로 설계된 회로를 자동 변환하여 하드웨어 장치에 빠르게 구현하고 검증하는 CAD 기술이다. 넷째는 IP (Intellectual Property)화 된 매크로 셀들의 재활용 기술이다. ECAD 시장에서 현재는 적은 비율을 차지하지만 가장 빠르게 성장하고 있는 분야이며 합성 및 검증 CAD 기술과 연계된 IP 활용 기술이 매우 중요한 시점에 와 있다.

본 고에서는 ETRI가 지금까지 개발하여 외부에 공개하고 있는 CAD 시스템인 LODECAP (Logic

DEsign CAPture)에 구축된 CAD 기술에 대하여 정리하여 설명한다.

II. ETRI의 CAD 기술 개발

ETRI는 1980년대 초부터 CAD 기술에 관한 연구를 꾸준히 진행하고 있다. 연구개발에 성공한 첫 번째 사례로 1987년 개발 완료하여 국내 대학 등에 공급한 EDAS-P(Electronic Design Automation System—Personal)라 명명된 논리회로 설계용 CAD 시스템이다.^[3-5] EDAS-P는 당시 일반에게 보급되기 시작한 IBM PC를 이용하여 개발하였다. EDAS-P는 계층적 논리회로를 회로 편집기로 설계하고 외부의 입력신호를 정의해 논리 시뮬레이션을 수행하고 검증 결과 파형을 검증할 수 있는 기능을 제공하였다. 당시 표준 그래픽 라이브러리도 존재하지 않았기 때문에 IBM PC가 제공하는 아주 기초적인 그래픽 함수들을 이용하여 2차원 그래픽 편집 기술을 개발하였고 이를 이용하여 심불편집기, 회로도편집기, 파형편집기 등을 개발하였다. 이때 축적된 CAD 기술은 ETRI 자동설계연구실에 축적되어 이후의 다양한 CAD 툴들을 개발하는 초석이 되었음은 의심의 여지가 없다.

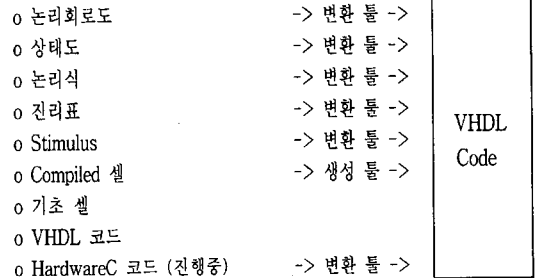
자동설계연구실은 지금까지 개발된 툴들과 정통부 국책과제로 개발된 툴들을 1993년부터 일관된 하나의 CAD 시스템으로 구축하기 시작하여 지금은 120여개의 프로그램이 집적되었으며 다양한 설계방식을 지원할 수 있는 CAD 시스템으로 발전되었다. LODECAP의 특징들을 요약하여 설명하면 다음과 같다.

1. CAD 툴 개발을 위한 개발 환경의 표준화

설계자가 ASIC 설계에 사용하는 다양한 설계정보들을 통합하여 검증하기 위해서 설계정보의 표현형식이 통일되어야 한다. LODECAP은 VHDL 언어를 설계의 표준 언어로 선택하여 모든 설계정보를 VHDL로 변환하고 생성하도록 구현되어 있

다 (그림1). 그러므로 설계자는 설계 초기에 선택한 상위수준의 설계정보로부터 논리회로도도의 최종 설계정보까지 혼용하여 VHDL 시뮬레이터로 검증할 수 있다. 그림1의 HardwareC 언어는 LODECAP에 구축중인 micro-controller 전용 상위수준합성기의 입력언어이다. HardwareC 코드로부터 VHDL의 생성은 현재 연구가 진행 중에 있다.

LODECAP에는 회로도편집기, 파형분석기 등 9가지의 그래픽 툴들을 갖고 있다. 이들은 Xlib/Motif에 기초한 그래픽 개발 환경인 XEGAL(Xlib/Motif Based Graphic Library)을 이용하여 개발되었다^[6]. XEGAL은 그래픽 툴에 공통으로 요구되는 GUI 화면, 도형 그리기, 좌표변환, 이벤트 처리 등을 담당하는 함수들을 객체지향적 개념으로 구현한 그래픽 라이브러리이다. XEGAL을 이용할 경우 프로그래머가 작성할 프로그램의 양이 반으로 줄게되므로 툴 개발 시간 및 비용이 획기적으로 절약된다.



(그림 1) VHDL로 통일된 LODECAP 환경

그래픽 툴로 작업된 그림들은 postScript 표준 언어로 정보를 표현하여 플롯을 한다. 그래픽 툴은 postScript보다 추상화된 도형과 좌표를 사용하므로 플롯에 요구되는 사양에 따라 도형 정보를 변환해야 한다. 이 번거로움을 해결하기 위해 추상화된 도형정보를 표현하는 중간형식을 도입하고 이 정보로부터 postScript 정보를 생성하는 툴을 하나만 개발함으로써 플롯을 담당하는 툴 하나의 GUI를 통하여 통일된 형식의 플롯을 얻을 수 있게 되었다.

〈표 1〉 LODECAP에 구축된 ASIC 설계용 기초 셀 라이브러리

| 회 사 | 종 류 | 공정 (um) | 전압 (V) | 이 름 | 셀 종류 |
|-------|------|---------|--------|-------------|---------------------------------|
| VTI | GA | 1.0 | 5 | pvgt350 | Primitive cell |
| | | 1.0 | 5 | vgc3p02d | Pad cell |
| VTI | GA | 0.8 | 5 | pvgc450 | Primitive cell |
| | | 0.8 | 5 | vgc4p02d | Pad cell |
| VTI | CBIC | 0.8 | 5 | pvsc450 | High Performance Primitive cell |
| | | 0.8 | 5 | pvsc470 | High Density Primitive cell |
| | | 0.8 | 5 | vsc4p02d | Pad cell |
| VTI | CBIC | 0.6 | 5 | cb60hp231d | High Performance Primitive cell |
| | | 0.6 | 5 | cb60hd231d | High Density Primitive cell |
| | | 0.6 | 5 | cb60io221d | Pad cell |
| VTI | CBIC | 0.6 | 3.3 | cb60hp131d | High Performance Primitive cell |
| | | 0.6 | 3.3 | cb60hd131d | High Density Primitive cell |
| | | 0.6 | 3.3 | cb60io121d | Pad cell (3.3V core & pad) |
| | | 0.6 | 3.3 | cb60io151d | Pad cell (3.3V core & 5V pad) |
| Aspec | GA | 0.65 | 5 | hsg40065 | Primitive cell |
| | | 0.65 | 5 | hsg40065pad | Pad cell |
| VTI | CBIC | 0.5 | 3.3 | cb52sy140d | Primitive cell |
| | | 0.5 | 3.3 | cb52io150d | Pad cell |

2. 셀 라이브러리

LODECAP은 SOG (Sea Of Gate)와 CBIC (Cell Based IC) 설계에 기본단위인 기초 셀들을 지원한다. 각 셀들은 심볼, 타이밍 정보, VHDL 모델 등의 정보로 이루어져 있으며, 라이브러리마다 논리합성을 위한 조합논리 셀들의 논리정보, FSM 합성에 필요한 flip-flop 정보, FPGA로의 자동변환을 위한 맵핑 테이블 등이 정의되어 있다. ASIC 기초 셀 라이브러리는 표 1과 같이 ETRI 반도체 연구단이 사용하는 VTI사의 셀 라이브러리로 CMOS 1.0-0.6um까지 구축되어 있다. 현재 VTI의 CMOS 0.5um CBIC 라이브러리와 현대의 CMOS 0.65um SOG 라이브러리가 구축 중에 있다.

LODECAP에 구축된 기초 셀 라이브러리로는 두 가지 종류가 더 있다. 하나는 FPGA의 라이브러리로서 ASIC 셀들로 설계된 회로를 FPGA 회로로 자동 변환한 후 회로 검증에 사용되는 라이브

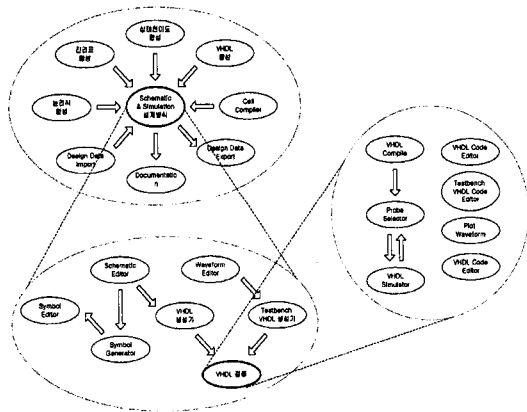
러리이다. Xilinx FPGA는 xact3000과 xact4000, Altera FPGA는 flex7000과 flex8000 라이브러리가 구축되어 있다. 다른 하나는 VHDL 합성시 데이터와 제어신호의 흐름을 표현하기 위해 생성되는 generic 구조에 사용되는 셀 라이브러리이다. 이 라이브러리에는 VHDL 코드에서 사용 가능한 연산, 즉 논리연산, 산술연산 및 비교연산의 논리를 구현한 셀 1000여종으로 이루어져 있다.

3. 그래픽 툴에 의한 설계흐름관리

설계자는 설계흐름에 따라 일정한 순서로 툴을 호출하여야 하며 입출력 설계정보를 올바르게 제공하여야 한다. 각 설계방식에 따라 툴을 호출하는 순서를 제어하고 툴간의 입출력 정보를 관리하는 그래픽 툴이 설계정보 관리기이다^[7]. 이 툴을 이용하면 설계자 각자에게 특화된 설계방식을 구축할 수도 있으며, 여러 회사의 CAD 툴들을 서로

접속하여 설계흐름을 구축하고 통일된 GUI로 호출할 수도 있다. 또한 구축된 설계흐름은 하나의 설계기술로서 문서화된다.

설계흐름은 계층구조를 갖는 directed graph로 모델링되며 계층구조를 가질 수 있다. 노드는 설계작업을 의미하고, 가지는 설계작업이 수행되는 순서와 설계정보의 연결을 의미한다. 그래프와 노드는 그래픽 툴에서 메뉴판과 버튼에 대응되며 가지는 접속되는 설계정보를 정의하며 전역 및 국부 변수들에 의해 제어된다. 그림2는 “Schematic & Simulation 설계방식”을 선택하고 “VHDL 검증”을 선택하여 VHDL 시뮬레이션을 실시할 경우의



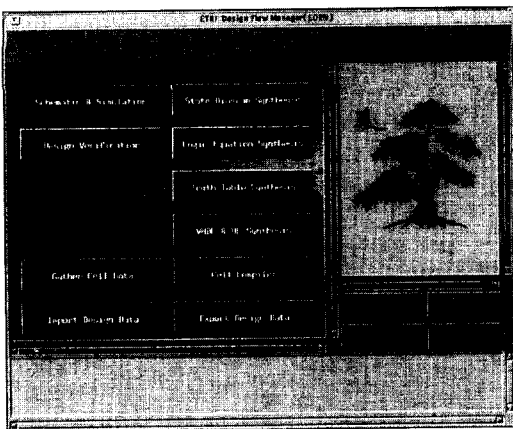
〈그림 2〉 계층구조의 설계흐름그래프

설계흐름그래프의 계층구조를 나타내고 있다. LODECAP의 설계흐름 관리기 화면이 그림3에 나타나 있다. 이 화면은 최상위 수준의 메뉴판을 나타내며 각 버튼들은 LODECAP이 지원하는 각종 설계방식을 나타내고 있다.

3. 자동설계를 위한 합성기능

합성기술이란 상위수준에서 하위수준으로 설계정보를 변환하는 기술로서 자동설계의 핵심 CAD 기술이다. 합성기술은 최초의 설계정보 종류에 따라 표2와 같이 분류될 수 있다. 논리합성이 가장 기본이 되는 기술로서 다른 합성에 공통적으로 사용이 된다. 그림4를 보면 “BLIF Logic”이라 표시된 조합논리 설계정보로부터 netlist를 생성하는 부분에 해당한다. FSM 합성을 논리합성과 함께 상태를 최소화하여 이진코드를 할당하는 기술이 더 필요하다. VHDL 합성은 논리합성과 함께 VHDL parsing, generic 구조 생성 및 technology migration 기술이 구축되어야 하며 별도의 generic 셀 라이브러리가 필요하다. 상위수준합성은 논리합성, FSM 합성과 함께 HardwareC parsing, scheduling 및 resource allocation 기술이 개발되어야 하며 별도의 RT 수준 셀 라이브러리가 필요하다.

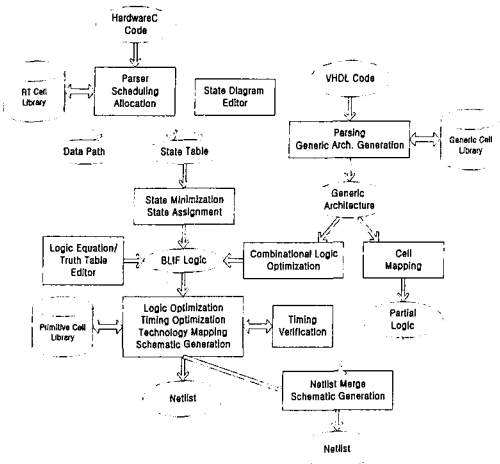
합성기술에 의해 자동 설계된 회로는 설계자의 제약조건을 만족해야만 한다. 그러므로 합성 CAD 툴은 면적, 성능, 소비전력 등의 제약조건을 최소화 할 수 있는 능력과 더불어 설계자가 요구하는 제약조건을 만족하는 다양한 회로를 생성할 수 있는 능력에 의해 평가된다. 특히 최근에는 게이트와 배선에 의한 딜레이를 예측하여 딜레이를 최소화 시키는 기술의 중요성이 가중되고 있다. 이를 위해서는 딜레이를 정확히 예측할 수 있는 timing verification 알고리즘과 임계경로의 딜레이를 최소화 할 수 있는 논리합성 알고리즘의 개발이 필수적이다. LODECAP이 서로 다른 구조의 논리회로를 생성한 후 이들의 면적과 딜레이를 측정된 결과가 그림5a에 나타나 있다. 면적은 254-407 등가 게이트 수만큼의 가변되고 딜레이는 4.27-9.22 ns 만큼 가변되었다. 그림5b는 임계경로 최소화 툴



〈그림 3〉 LODECAP 설계흐름관리기의 최상위 메뉴판

〈표 2〉 LODECAP의 자동설계를 지원하는 합성 기술

| 합성 기술 | 입력 정보 | 셀 | 시간 | 출력 정보 |
|---------|----------------|-------|-----|---------|
| 논리합성 | 논리식, 진리표 | 기초 셀 | 딜레이 | 조합회로 |
| FSM 합성 | 상태전이도 | 기초 셀 | 딜레이 | 순서회로 |
| VHDL 합성 | VHDL Code | 기초 셀 | 딜레이 | 조합/순서회로 |
| 상위수준합성 | HardwareC Code | RTL 셀 | 클럭 | 특정 구조 |

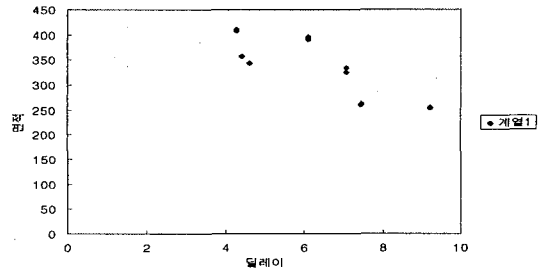


〈그림 4〉 LODECAP에 구축된 모든 합성의 설계 흐름도

에 의해 딜레이를 최소화시키는 과정을 나타낸다. 400여회를 반복하며 임계경로를 찾아 딜레이의 감소시키면 면적의 점진적인 증가를 유발시킴을 알 수 있다.

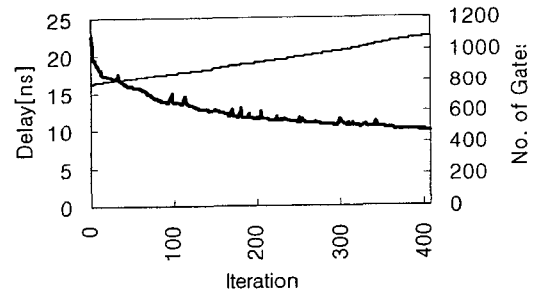
4. Technology Migration에 의한 회로 자동변환

설계가 완료된 회로를 다른 공정에서 제조해야 하는 경우, FPGA나 하드웨어 에뮬레이터로 하드웨어적인 검증은 설계 현장에서 하는 경우 회로를 변환해야 한다. 회로변환에는 portable 라이브러리 방식, 매핑 테이블 방식과 논리합성 방식이 있다. Portable 라이브러리 방식은 회로변환이 필요 없지만 동일 회사제품만이어야 하는 제약조건이 있다. 매핑 테이블 방식은 변환속도가 빠르나 잉여의 회로가 삽입되어 변환된 회로의 성능이 떨어진다. 논리합성 방식은 면적과 성능을 조율할 기회를 제공



(a)

실험 회로: misex3



(b)

〈그림 5〉 LODECAP 합성기의 설계공간 탐색

하나 변환 속도가 느리다. LODECAP은 매핑 테이블 방식과 논리합성 방식을 혼용해 변환속도를 늘리면서 성능을 최적화 할 수 있는 기회가 제공된 technology migration 기능을 구축하였다. 논리합성에 의해 자동 변환시 성능을 최적화할 첫 번째 기회가 틀에 의해 제공된다. LODECAP에서 변환된 회로는 설계자가 정의한 계층구조가 그대로 유지되므로 용이하게 최적화 작업을 수동으로 진행할 수 있다.

5. LODECAP 활성화를 위한 정책

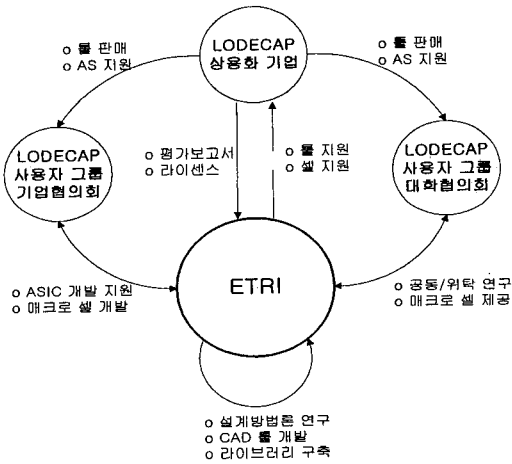
LODECAP은 1995년 6월 29일 “S/W 기술공급을 위한 LODECAP 기술설명회”가 개최된 이래 꾸준히 개선 발전되어왔다. 정통부 출연 CAD 사업에서 개발되는 기술들은 LODECAP을 중심으로 계속 축적되고 있다. 현재 정통부 출연 “중소기업 경쟁력 강화를 위한 ASIC 개발” 사업에서 중소기업들을 대상으로 한 ASIC 교육 및 설계에 LODECAP이 활용되고 있다.

LODECAP을 국내 대학 및 산업체에 활용되도록 하기 위하여 그림6과 같은 “LODECAP 사용자

그룹”을 운영하고 있다. 현재 29개 대학이 가입하여 있는 대학협의회는 폐쇄자 연구그룹으로 운영되고 있다. 학과과정에서 디지털 설계, VHDL 합성 설계 등의 실습용 CAD 시스템으로 LODECAP을 활용하는 대학이 늘어가고 있다. 또한 ETRI와 공동으로 CAD 연구를 수행하여 새로운 CAD 툴이나 셀들이 개발되어 LODECAP에 집적되고 있다.

기업협의회는 현재 29개의 중소기업으로 이루어져 있는데 ASIC 설계 교육 및 개발에 활용되고 있다. 중소기업협의회에 가입한 업체는 LODECAP을 1년 동안 무상입대 받아 활용하면서 설계현장에서 발생하는 문제점들을 보고하고 있다. 중소기업이 현재까지 LODECAP으로 설계된 ASIC이 개발 성공한 사례는 표 3과 같으며 현재도 LODECAP을 이용하여 ASIC 개발이 이루어지고 있다.

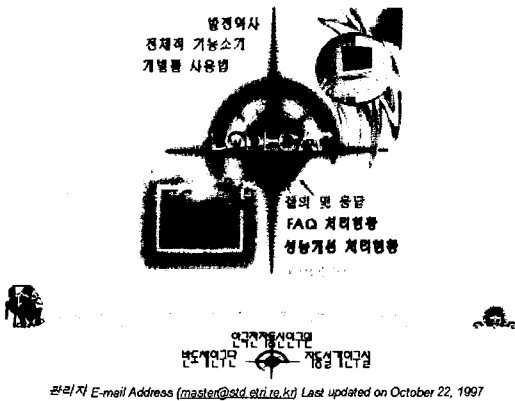
LODECAP 사용자들에게 배포 및 지원 서비스를 전담하는 기업체를 선정하여 용역을 진행하고 있다. 또한 LODECAP 사용자와 개발자가 양방향으로 질의하고 응답할 수 있는 가상공간 그림7을 internet상에 구축하고 있다. 이 곳을 통하여 질의된 내용은 24시간 내에 개발자의 응답을 들을 수 있으며 현재 성능향상을 위해 진행되고있는 현황에 대해서도 실시간으로 파악할 수 있다. 또한 LODECAP의 안정화된 기능에 대해서는 상용화를 목표로 정통부에 산학연 과제를 제안하고 있다.



<그림 6> LODECAP 활성화를 위한 발전 모델

<표 3> LODECAP을 이용한 ASIC 개발 성공사례

| 연 도 | 회사명 | ASIC 기능 | 동작속도 (MHz) | 게이트수 | 패키지 |
|------|-----|-------------------------------------|------------|------|--------|
| 1996 | S사 | 사운드 콘트롤러 | 16 | 6K | QFP80 |
| 1996 | G사 | 자막화상제어 | 27 | 13K | PLCC84 |
| 1996 | J사 | FM Signal Generator | 30 | 11K | QFP160 |
| 1996 | J사 | AM Signal Generator | 30 | 11K | QFP144 |
| 1997 | C사 | Frequency Counter의 Register Counter | 20 | 3K | QFP80 |
| 1997 | D사 | 변인시스템에서 데이터 비교 | 50 | 1K | SDIP64 |
| 1997 | DH사 | 데이터다중화 PCM 데이터 송수신 | 15 | 2K | PLCC84 |



<http://std.etri.re.kr/lodecap/>

〈그림 7〉 LODECAP의 Home Page 화면

III. 결 론

참 고 문 헌

ETRI 자동설계연구실은 ASIC front-end 설계를 위한 한국형 CAD 시스템, LODECAP을 개발하여 국내 대학 및 중소기업에서 ASIC 교육 및 설계에 활용하고 있다. LODECAP에는 다음과 같은 CAD 기술이 축적되어 있다.

- Xlib/Motif를 이용한 그래픽 툴 개발 기술
- 논리합성, FSM 합성, VHDL 합성 및 상위수준합성 기술에 의한 설계 자동화 CAD 기술
- 회로도편집기를 이용한 수동설계 및 회로 검증 기술
- 모든 설계 데이터를 VHDL 프로그램으로 자동 변환 기술
- ASIC과 FPGA 회로간의 자동 회로 변환 기술
- 매크로 셀 재활용을 위한 설계 데이터 관리 기술
- 설계흐름관리 그래픽 툴에 의한 CAD 툴 integration 기술

현재 한국과학기술원 반도체설계교육센터 (IDEC)을 통하여 LODECAP으로 설계된 회로를

MPW(multi-project wafer) 프로그램으로 ASIC을 제작 지원하는 프로그램을 추진되고 있다. 또한 동남아 국가와의 국제 협력에 의한 LODECAP 해외 진출도 가시적인 수준까지 협의가 진행되고 있다.

1997연말까지 micro-controller를 목표로 한 상위수준합성 기능의 구축을 위한 연구가 진행 중에 있다. 본 연구에 이어 1998년부터는 프로세서 내장형 ASIC의 혼합설계를 위한 연구가 계획되고 있어 하드웨어와 소프트웨어가 혼용된 시스템 ASIC의 설계를 자동화 할 수 있는 CAD 기술의 개발이 이루어질 것이다. 이 연구에는 ETRI뿐만 아니라 국내 대학의 CAD 전문가와 공동연구의 형태로 긴밀한 협조체제로 연구를 진행할 계획이다.

- [1] "Worldwide Semiconductor Forecast and Trends", Dataquest, SCND-WW-MT-9702, October 20 1997.
- [2] Raul Camposano, Wayne Wolf, 'Design Automation for Embedded Systems', Kluwer Academic Publisher, 1996.
- [3] 박인학, 이철동, 유영욱, "전자회로 설계를 위한 개인용 CAE 시스템", CAD.반도체.재료 및 부품연구회 합동학술대회 논문집, pp. 11-14, 1985년 5월
- [4] 박인학, 이철동, 유영욱, "EDAS-P 시스템에서 Graphic Tool의 Man-machine Interface", 대한전자공학회 추계종합학술대회 논문집 Vol. 9 No. 2, pp.927-930, 1986년 12월
- [5] Y. H. Bae, I Kang, W. H. Kim, I. H. Park, C. D. Lee, 'Engineering Designer in EDAS', ICVC'89, pp.154-157, Nov. 1989.
- [6] 배영환, 박인학, 김경수, "XEGAL: CAD 그래픽 편집기 개발도구," '95 하계종합학술대

회, 대한전자공학회, 1995년 6월
 [7] 김상필, 배영환, 박영수, 박인학, “네트워크
 를 기반으로 한 CAD 툴 관리기 개발”,

ASIC Design Workshop, 대한전자공학회
 CAD 및 VLSI 설계연구회, pp. 97-104,
 1996년 7월

저 자 소 개



朴 仁 學

1958年 3月 6日生

1980年 2月 고려대학교 전자공학과 학사

1983年 9月 고려대학원 전자공학과 석사

1992年 9月 국립폴리테크닉연구소(INPG), 전자공학 박사

1982年 3月~1985年 11月 한국전자기술연구소, 연구원

1985年 11月~현재 한국전자통신연구소 (ETRI), 연구원

1988年 4月~1992年 9月 프랑스 INPG 정규교육파견

1992年 9月~현재 한국전자통신연구원 (ETRI), 실장

주관심분야: VLSI CAD, 상위수준합성, 그래픽스