

## 설계 재사용을 위한 process간 layout migration

권 용 세, 김 영 성, 박 성 수  
현대전자산업(주) 시스템 IC 사업본부

### I. 서 론

반도체 기술이 급속히 발전하여 수백만개의 소자가 하나의 IC로 제작되고 있다. 지금까지 MCU, DSP, MPU, QPSK, MPEG등 많은 디지털 회로가 IC로 이미 설계되었다. 기존의 디지털 회로들은 새로운 공정(process)이 개발될 때마다 다시 설계해야 한다. Time-to-market을 위하여 재설계는 신속히 완료해야 한다. 이런 목표를 달성하기 위하여 한 공정의 설계를 다른 공정의 설계 규칙(design rule)에 맞추어 변환하는 기술이 개발되었다. 새로운 공정의 설계 규칙에 맞도록 설계를 변경하는 과정을 migration이라 부른다. 공정은 집적도나 반도체 회사에 따라 달라서 다른 공정에서 이식 가능하도록 설계하는 design portability는 매우 중요하다.<sup>[2]</sup> 현재 개발된 migration 툴들은 design portability 향상에 크게 기여하고 있다. Migration 툴의 용도를 열거하면 다음과 같다.

- ASIC vendor가 새로운 공정에 대하여 cell library를 개발하는 경우 기존의 library를 migration하여 시간과 인력을 절감할 수 있다.
- 기존의 공정에서 개발된 full custom block을 새로운 공정에 맞추어 신속히 변환할 수 있다.
- Fab을 갖지 않은 설계 회사에서 기존에 사용하는 fab이외의 fab에서 생산하기 위한 설계 변경을 신속하게 수행할 수 있다.
- 공정을 개발하는 과정에 설계 규칙을 평가할 때 사용할 수 있다. 기존의 layout을 새로운 공정의 설계 규칙으로 migration해 보면 설계 규칙의 비합리성을 신속하고 정확하게 찾을 수 있다. 결과적으로 공정의 신속한 개발과 효율성 향상에 기여하게 된다.

Migration 툴을 크게 분류하면 두가지로 구분된다.<sup>[1]</sup> 한가지는 툴이 내부의 데이터 베이스를 사용하여 발생시킨 layout을 설계 규칙에 따라 변환하는 방식이다(이제부터 유형 A라고 칭하겠다). 나머지는 기존의 layout을 한 공정에서 다른 공정으

로 변환하는 방식이다(이제부터 유형 B라고 칭하겠다). 2 metal layer에서 3 metal layer로 변화처럼 공정에 현격한 차이가 발생하는 경우는 migration 적용에 부적절하다. 이제 유형 A와 B를 비교하겠다. 유형 A의 특징<sup>[1]</sup>은 다음과 같다.

- 톨 내부에서 모든 작업이 끝난다.
- 톨 전반에 대한 이해가 필요하다.
- 결과가 만족스럽지 못할 경우 원하는 결과를 얻도록 톨 안에서 작업하여야 한다.
- 개선된 결과를 source에 자동적으로 되반영시킬 수 없다.
- 기존의 library나 custom block을 이용할 수 없다.
- Cell이나 block의 topology는 톨 안에서만 변경할 수 있다.

유형 B의 특징은 다음과 같다.

- Source library를 layout editor로 작성하거나 기존의 library를 사용할 수 있다.
- 수행 결과가 만족스럽지 않을 때 layout editor로 source를 수정하여 재수행할 수 있다.
- Source cell과 같은 topology의 cell이 얻어진다.

유형 A는 layout을 발생시키지만 톨 내부에서 모든 과정이 완료되어야 하므로 사용자는 톨 전반을 이해해야 한다. 반면에 유형 B는 layout을 발생시키지 못하지만 원하는 결과를 얻기 위하여 익숙한 layout editor를 사용할 수 있다는 이점이 있다. 유형 A와 B는 목적에 고려해서 선택하여야 하며 어떤 방식이 절대적으로 유리하다고 할 수는 없다.

이제 주요한 migration 톨들의 특징<sup>[1]</sup>을 소개하고자 한다.

- Library layout-standard cell (LILA-SC) 유형 A의 톨로서 Cadabra Design Technology Inc. (Nepean, Ontario, Canada)에서 개발한 표준 셀(standard cell) 합성기(synthesizer)이다. Interactive editing과 상호보완적인 자동의 배치(placement), routing, compaction 기능을 갖는다.

- Library automatic synthesizer (LAS) 유형 A로서 Cadence Design Systems Inc (San Jose)에서 개발하였다. LAS는 입력으로 rule file과 schematic 또는 netlist를 받아들여 출력으로 layout을 발생시킨다.
- MasterPort Cascade (Bellevue, WA)에서 개발한 유형 B의 톨이다. GDS II layout을 읽어 topology 관련된 중요 정보를 유도한다. 새로운 설계 규칙을 적용하여 새로운 cell을 만든다.
- Rockwell symbolic editor (ROSE) 유형 A로서 Compass Design Automation Inc의 제품이다. 각 layer마다 정의된 특별한 격자(grid)에 기초를 두고 동작한다.
- Library synthesizer Excellent Design Inc. (Santa Clara, CA)에서 개발한 유형 A의 톨이다. 공정 독립 객체 지향(process independent object-oriented) 표준 셀 compiler와 자동 library 합성기로 특징지어진다.
- IC gen Mentor Graphics Corp. (Wilsonville, OR)에서 개발한 유형 A의 톨이다.
- Layout conversion environment (LACE) RubiCAD Corp. (San Jose, CA)에서 개발한 유형 B의 톨이다. LACE는 GDS II, 설계 규칙, 공정 관련 제약을 사용하여 새로운 layout을 발생시킨다. 다양한 형태의 설계와 non-orthogonal 구조에 적용할 수 있다.
- Design rule enforcer and manager (DRAEM) Sagantec Corp. (Milpitas, CA)에서 개발한 유형 B의 톨이다. GDS II나 CIF로 기술된 cell에 새 설계 규칙을 적용하여 새 공정의 cell을 얻는다. Recontacting (Contact 새로 변경)과 45도 pattern을 위한 compaction 기능이 있다. Cell의 topology를 새로운 공정에 맞도록 수정할 수 있도록 편리한 user interface를 제공한다.

Time-to-market을 위하여 설계 이식성은 매우 중요하게 되었다. Migration 톨을 사용하여 기존의 제품에 설계 이식성을 확보할 수 있어서 급속히

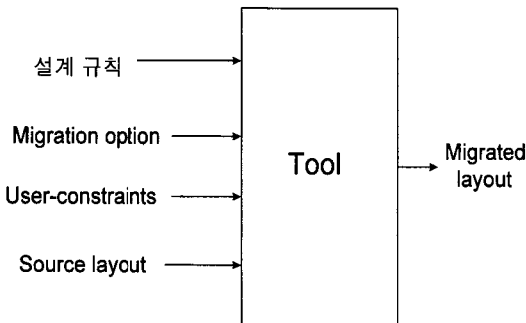
보급되고 있다. 현재 migration 툴을 FPGA 설계<sup>[5]</sup>, 전체 full custom chip 설계<sup>[6]</sup>등에 응용한 예가 발표되었다. 또한 layout을 위한 인력 절감을 위한 방안<sup>[3]</sup>과 core의 재설계 방안<sup>[4]</sup>등이 논의되고 있다. 현대의 경우에도 이미 유형 B의 migration 툴을 도입하였으며 표준 셀 개발에 응용한 바 있다. 현재 full custom core와 I/O cell에 응용을 추진하고 있다.

Migration은 time-to-market을 위한 핵심 기술의 하나로 인식되고 있다<sup>[2]</sup>. 제2장에서는 migration을 설명하고 실용화를 위하여 갖추어야 할 기능과 migration이 갖는 제약들을 기술하겠다. 제3장에서는 현대에서 migration을 이용한 설계 flow의 예를 설명하고 추진하고 있는 설계 flow를 설명하겠다. 마지막으로 제4장에서 결론을 내리겠다.

## II. Migration과 관련 기술

### 1. Migration

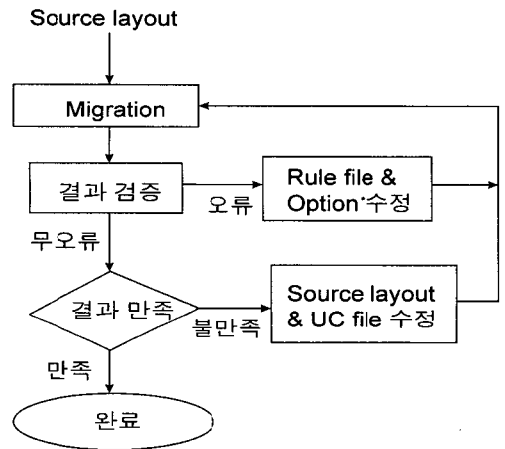
본절에서는 migration에 대하여 설명하겠다<sup>[7, 8, 9]</sup>. 현대에서 유형 B를 도입했으므로 유형 B를 중심으로 설명한다. 그림 1은 migration을 위하여 필요한 데이터를 보여 준다. 먼저 목표 설계 규칙을 작성해야 한다. 그 다음에 user-constraints(다음부터 UC로 표시한다)를 작성한다. 셀 높이등도



〈그림 1〉 Migration tool

UC로 정의될 수 있다. 마지막으로 migration option을 정한다. Recontacting의 사용여부도 migration option(다음부터는 option이라 한다)에 정의된다. 이 모든 데이터를 준비하여 툴을 수행하면 migration 결과를 얻게 된다. UC를 이용하여 셀 높이를 정의하는 경우 지나치게 낮게 잡으면 topology상 migration이 불가능해질 수 있다. 이때는 오류의 유형을 분석하여 UC를 변경하거나 특정 cell의 topology를 수정해야 한다.

Migration을 수행해서 항상 만족한 결과를 얻는 것은 아니다. 그림 2에 만족할 수 있는 migration 결과를 얻기 위한 flow를 보여준다. 먼저 그림 1



〈그림 2〉 Layout migration flow

에 설명한 모든 데이터를 준비하고 migration을 수행한다. Migration 툴은 설계 규칙에 따라 layout을 수정해 주지만 결과를 검증할 필요가 있다. 목표 설계 규칙이나 option 지정에 오류가 있으면 결과에 설계 규칙 오류가 발생한다. 이를 위하여 결과 검증 과정에서 DRC/ERC/LVS를 수행시켜 보아야 한다. 검증 과정에서 오류가 발견되면 오류의 유형을 분석해서 목표 설계 규칙이나 option을 수정하여 migration을 다시 수행해야 한다. 비록 검증 결과에 오류가 없더라도 migration 결과가 만족스럽지 못할 수 있다. UC가 불필요하게 큰 값으로 지정되었거나 특정한 cell이나 부분이 topology상 목표 설계 규칙과 결합되어 면적을

늘리는 결과를 유발할 수 있다. 결과가 만족스럽지 못하면 원인을 분석하여 UC나 source layout을 수정해야 한다. 이를 위하여 툴이 제공하는 user-interface와 layout editor를 사용한다. 그 다음에 수정된 데이터 베이스를 이용하여 migration을 수행하는 과정을 반복한다.

2. 실용화를 위한 기능들

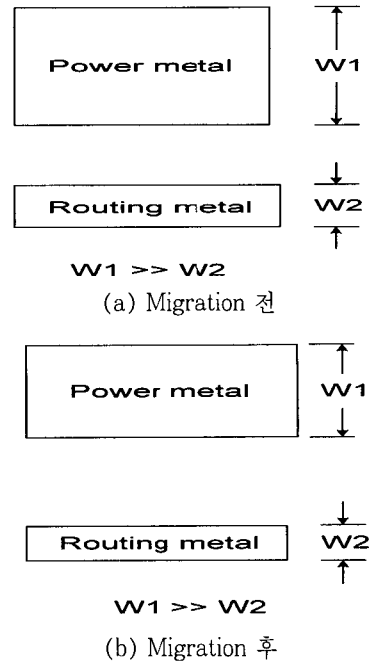
Migration 툴의 기본 기능은 새로운 설계 규칙에 따라 layout을 수정하는 것이다. 그러나 설계 규칙대로만 layout을 변환하는 것으로 만족할 만한 결과가 얻어지지 않는다. Migration 결과를 목표대로 얻으려면 툴의 기능들을 알아야 한다. 본 절에서는 migration 툴의 많은 기능<sup>[7, 8, 9]</sup>중에서 layout을 목표대로 수정하기 위하여 사용해야 할 기능들을 기술하겠다.

(1) 다양한 종류의 설계 규칙 입력 기능

Migration 툴은 입력된 설계 규칙을 따라 layout을 수정한다. 설계 규칙은 다양한 패턴간의 규칙의 집합이다. Migration 툴을 사용할 때 다양한 규칙을 정확히 입력할 수 있어야 한다. 만약에 정확히 입력할 수 없어서 느슨하게 migration에 적용된다면 면적을 늘리는 이유가 될 수 있다.

(2) Wide pattern 처리

Layout 상의 모든 pattern이 최소 폭으로 그려져 있는 것은 아니다. 대표적인 예로서 Power metal과 Ground metal은 회로에 전류를 공급하려고 넓은 폭으로 layout한다. 마찬가지로 poly capacitor나 아날로그 블럭의 active load의 poly 역시 넓은 폭으로 layout한다. 이런 pattern을 처리하기 위하여 넓은 폭이어야 할 pattern을 인식하고 필요한 폭을 유지하는 기능이 필요하다. 이런 과정을 그림 3을 사용하여 설명하겠다. (a)는 migration 전이고 (b)는 migration 후이다. 각각 W1은 power metal의 폭이고 W2는 일반 routing metal의 폭이다. W1은 W2보다 훨씬 크다. 만약에 power metal을 일반 metal과 동일하게 인식한다면 전력 소모를 반영하여 power metal의 폭을 조정할 수 없다. Migration 과정에서 툴은 power metal을 별도로 인식하여 일반 metal보다 넓게

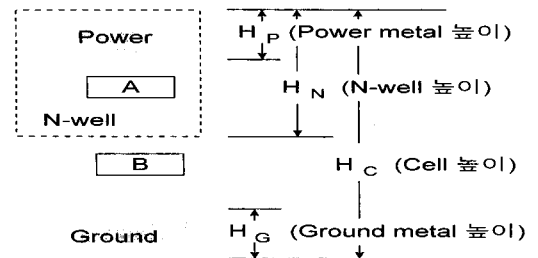


<그림 3> Wide metal 처리

W1을 조정해야 한다. Migration 후의 W1은 cell들의 소모 전력을 고려해 사용자가 정하고 migration 툴은 power metal로 인식된 패턴은 사용자가 지정한 값으로 조정해야 한다.

(3) Abutment

한 벌의 library를 migration 하는 경우 각 cell들이 이웃하여 사용될 조건을 반영하여야 한다. 그림 4에서 A는 N-well 내에 존재하는 임의의 layout pattern, B는 N-well 밖에 존재하는 임의의 layout pattern이다. HC는 cell의 높이, HN은 N-

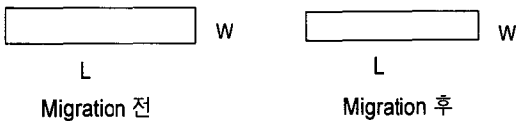


<그림 4> Abutment(A, B는 임의의 pattern)

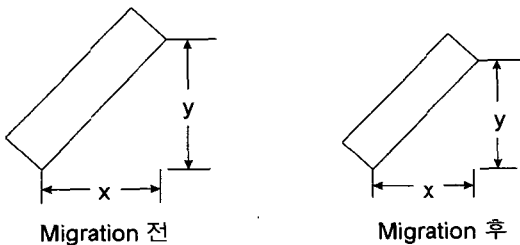
well의 높이, HP는 power metal의 높이 HG는 ground metal의 높이이다. 서로 이웃하여 사용되는 power metal과 ground metal은 연결되어야 하며 설계 규칙이 위반되지 않아야 한다. 임의의 cell들이 서로 이웃하여 사용될 때 power metal과 ground metal이 연결되기 위하여 cell의 높이인 HC, power metal의 높이인 Hp, ground metal의 높이인 HG가 모든 cell에 대하여 같아야 한다. 이제 설계 규칙에 위반되지 않을 조건을 검토하겠다. 각 cell들이 이웃하여 사용될 때 그림 4의 pattern A와 B 사이에 설계 규칙 위반이 발생하지 않으려면 N-well의 높이인 HN이 모든 cell에 대하여 같아야 한다. 그리고 이웃하는 cell들간에 N-well 내의 pattern A에 의한 설계 규칙 위반이 발생하지 않도록 각 layer마다 pattern A와 cell 경계선까지의 최소한의 간격이 유지되어야 한다. N-well 밖의 pattern B의 경우도 마찬가지이다. 이런 abutment 조건을 만족시키는 방법은 migration 틀마다 차이가 있으므로 정확히 이해해서 사용해야 한다.

(4) 45도 pattern 처리

모든 layout pattern은 길이와 폭을 갖는다. 길이는 routing pattern의 경우 연결을 위하여 확장

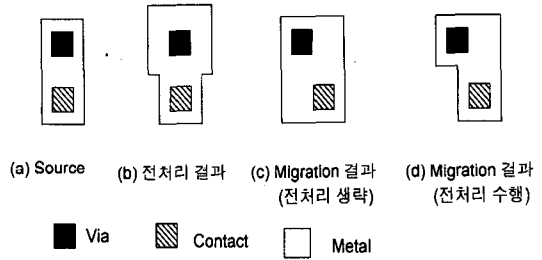


(a) 수평 pattern 처리



(b) 45도 pattern

<그림 5> 45도 pattern 처리



<그림 6> Topology 수정

또는 단축되어야 할 방향이고 폭은 설계 규칙이나 UC에 의하여 최소로 제한되어야 할 방향이다. 그림 4의 (a)는 수평 pattern의 예이다. 그림에서 알 수 있듯이 x 방향이 길고 y 방향이 폭이 된다. 그 결과 y 방향은 최소로 유지하면서 x 방향은 필요한 만큼 확장시킬 수 있다. 수직 pattern의 경우 x가 폭, y가 길이가 되는 것을 제외하면 마찬가지이다. 45도 pattern의 경우 x, y를 길이와 폭으로 구분할 수 없어서 길이의 제약이 x, y 방향으로 동시에 작용하게 된다. 그 결과 면적이 확대되고 cell간의 abutment를 맞추기가 어렵다. 45도 pattern이 cell의 폭이나 높이나 abutment에 critical할 경우 45도 처리 기능을 효과적으로 사용해야 한다.

(5) Topology 수정 기능

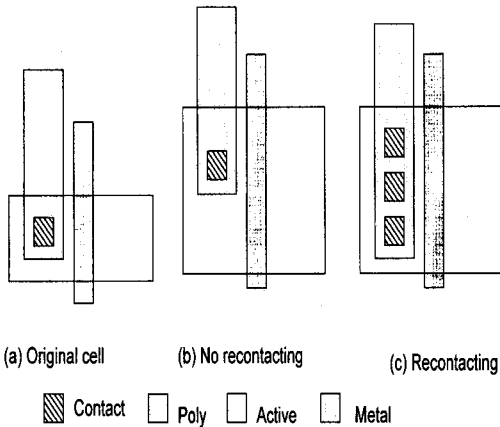
Migration 틀은 기본적으로 source topology를 유지하면서 설계 규칙에 따라 layout을 변환한다. 그러나 migration 틀은 전처리 과정 (Preprocessing)에서 간단한 topology 변환이 가능하다. 이 기능을 활용하면 훨씬 다양한 종류의 cell의 migration이 가능하다.

그림 6은 전처리 과정을 이용하여 topology를 수정하는 예이다. (a)는 source layout, (b)는 전처리 결과, (c)와 (d)는 migration 결과이다. Via는 place & route를 위한 grid의 정수배가 되는 좌표에 위치되어야 한다. 이 조건을 만족시키면서 contact이 최적의 위치에 가려면 많은 경우에 via와 contact의 x좌표의 간격이 벌어진다. 이 경우 (a)의 topology를 유지하려면 (c)처럼 metal의 x방향 길이가 매우 길어져야 하며 이는 cell 면적을

확대시키게 된다. 먼저 전처리 과정에서 via를 확대하여 metal과 OR를 취하면 (b)의 전처리 결과를 얻는다. (b)의 topology는 (d)처럼 migration 될 수 있어서 이런 문제를 피할 수 있다.

#### (6) Recontacting

Contact의 수를 고정시키고 migration을 수행하면 contact의 수가 contact이 위치될 영역에 비하여 많거나 적어질 수 있다. 많으면 면적을 늘거나 contact이 들어갈 만큼의 공간을 확보하기 위하여 tr의 폭을 넓히는 원인이 되고 부족하면 performance가 떨어진다. Recontacting을 수행하면 contact의 수를 contact이 들어갈 영역의 넓이에 따라 조절한다. 그림 7은 contact의 수를 늘리는 예이다.



〈그림 7〉 Recontacting

#### (7) Graphics user interface

UC를 지정하는 과정에서 constraints에 오류가 있어서 migration에 실패를 하거나 특정한 cell이나 블럭으로 인하여 면적이 커질 수 있다. 이런 문제의 해결을 돕도록 graphics user interface를 제공한다. Graphics user interface는 migration 수행에서 발생한 임계 경로의 정보를 알려준다. 사용자는 이 정보를 분석해 constraints 오류를 수정하고 cell의 면적을 축소할 수 있다.

### 3. Migration의 제약

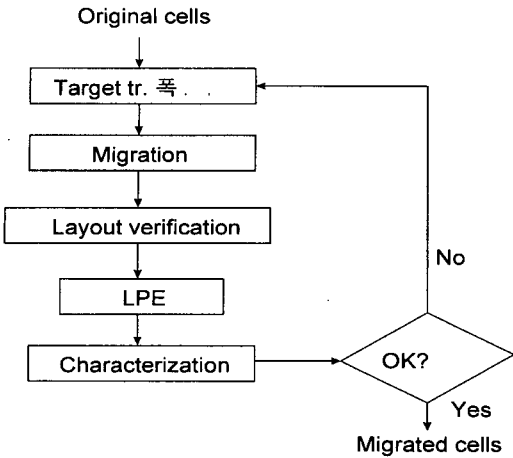
Migration은 기존의 topology를 유지하면서 layout을 변환하므로 다른 topology가 필요한 경우에 적용할 수 없다. Layer간의 boolean operation으로 다소의 수정은 가능하나 topology의 기본 구조를 바꾸지는 못한다. 그러므로 설계 규칙에 현격한 변화가 있어서 기본 구조를 수정하는 경우는 layout editor를 사용해야 한다. 만약에 기본 구조에 전체적인 수정이 필요하다면 migration을 적용하기에 적합하지 못하다. Layout editor를 사용하면 톨 사용의 숙련도와 상관없이 임의의 layout을 얻을 수 있다. 그러나 migration을 사용하면 제2절에서 설명한 기능들을 source topology에 따라 적절히 사용하지 않으면 원하는 결과를 얻을 수 없다. 결과적으로 migration으로 원하는 결과를 얻으려면 migration의 전문가가 수행해야 하는 것도 다른 제약이다.

## III. Migration의 응용

지금까지 migration 톨의 등장 배경과 톨의 기본 개념과 실용화를 위한 기능등을 논했다. 이 migration은 이제 주요한 설계 flow로 정착되고 있다. 본장에서는 migration을 설계에 구체적으로 사용하는 방법을 설명하겠다. Migration은 표준 셀 개발과 full custom block 개발, I/O cell 개발등에 사용할 수 있다. 현대에서는 표준 셀 개발에 이미 사용하고 있으며 full custom block 개발과 I/O cell 개발에 사용할 예정이다. 본장에서는 현대에서 사용하고 있거나 사용 예정인 flow를 기술한다.

### 1. 표준 셀 개발

그림 8은 migration을 이용하여 표준 셀을 개발하는 flow이다. Original cell의 GDS II data를 가지고 시작한다. 개발하려는 cell의 목표에 따라 timing spec을 정하고 그 spec과 새로운 공정의 spice parameter를 사용하여 target cell의 tr의 길이와 폭을 정한다. 길이와 폭을 migration 톨이 제



〈그림 8〉 표준 셀 개발

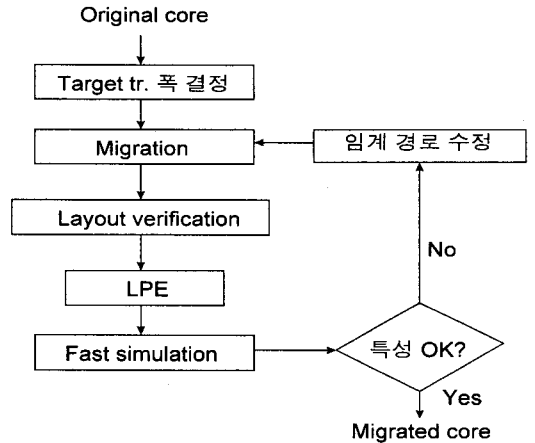
공하는 interface를 이용하여 데이터 베이스로 만든다. 이 데이터 베이스를 이용하여 migration을 수행한다. Migration 과정에 면적을 줄이기 위하여 UC와 option을 수정하면서 계속 수행한다. 필요하다면 일부 original cell의 구조를 수정할 수도 있다. 그 다음에 layout 검증을 수행한다. Layout 검증은 DRC/ERC/LVS로 확인한다. 검증이 완료되면 LPE(Layout Parasitic Extraction)을 수행하여 저항과 커패시터가 포함된 netlist를 얻는다. 이 netlist는 cell의 timing과 power 특성을 뽑는 characterization에 활용된다. Characterization 과정에서 얻어진 특성을 cell spec과 비교해서 만족하면 cell 개발이 완료된다. 그렇지 않으면 tr의 폭과 길이를 수정하여 다시 수행한다.

표준 셀 개발에 migration을 활용하여 인력을 절감할 수 있었고 공정의 설계 규칙이 최종적으로 완성되기 전에 개발을 시작할 수 있어서 전체적 개발 시간 절감에 도움이 되었다. 현재도 표준 셀 개발에 계속 migration을 사용중이다.

## 2. Full custom core 개발

지금까지는 주로 ASIC처럼 library cell을 이용한 설계에 사용되는 leaf cell을 개발하기 위하여 migration을 사용하였다. Library cell 대신에 full custom core(IP 또는 Hardmacro라고도 부름)을

사용하면 chip 면적을 줄이고 성능을 향상시킬 수 있어서 효과적이다. Full custom core를 모든 공정에 대하여 수작업으로 재설계하려면 개발 시간과 인력이 많이 소모된다. 반도체 영업에 필요한 full custom core의 종류는 현재 계속 늘어나고 있다. 이런 배경으로 full custom core migration은 이제 중요한 issue로 등장하였다.<sup>[6]</sup>



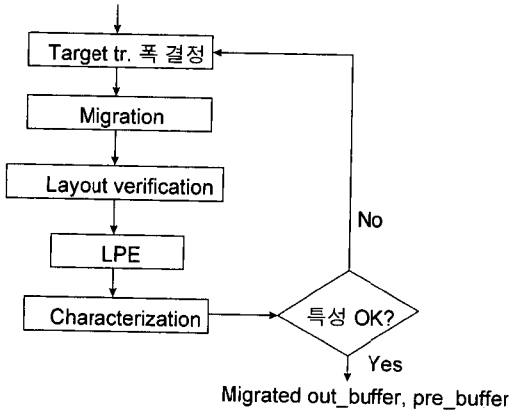
〈그림 9〉 Full custom core 개발

그림 9는 full custom core migration flow이다. 먼저 공정의 spice parameter와 target spec을 고려하여 full custom core의 tr 폭과 길이를 정한다. 이 폭과 길이는 톨의 interface를 이용하여 데이터 베이스로 만든다. 그 다음에 migration을 수행한다. Migration 수행중에 UC, option, 일부의 layout topology를 변경할 수도 있다. Migration 결과를 DRC/ERC/LVS를 수행하여 검증한다. Migration 결과에 LPE를 수행하여 netlist를 얻는다. 이 netlist를 사용하여 고속의 simulator를 사용하여 회로를 해석한다. 해석 결과가 만족할 만하면 migration을 완료한다. 그렇지 않으면 임계 경로 tr의 폭과 길이를 수정하여 다시 migration을 수행한다. 만약에 톨이 계층적 구조(Hierarchical structure)를 지원하면 각 세부 block별로 netlist를 얻어서 HSPICE처럼 속도는 늦으나 정확한 simulator를 사용할 수 있다.

### 3. I/O cell 개발

I/O cell은 Out-buffer와 pre-buffer로 분할할 수 있다. Out-buffer에서는 ESD 보호와 latch-up 방지등을 위하여 core cell이나 pre-buffer와 다른 설계 규칙을 적용해야 한다. 또한 전류 spec을 맞추기 위한 정보가 UC로 작성되어야 한다. 따라서 Out-buffer와 pre-buffer로 먼저 분할해서 migration을 수행해야 한다. Out-buffer와 pre-buffer에 관한 설계 규칙과 UC가 정해지면 일반 표준 셀을 migration하는 방식을 사용한다. Migration을 완료하고 나서 다시 Out-buffer와 pre-buffer를 결합시켜야 한다. 이 과정은 일반 layout editor나 migration 툴의 option을 이용하여 수행할 수 있다. 그림 10은 I/O cell migration flow이다. 툴이 계층적으로 인식한 각 block에 대하여 다른 설계 규칙을 적용할 수 있으면 분할하고 다시 결합시키는 과정을 사용하지 않아도 좋다

Original out\_buffer, pre\_buffer



(그림 10) I/O cell 개발

### 4. 기타 적용 분야

반도체 chip을 설계할 때 OP amp, 비교기 (comparator), PLL등의 아날로그 core도 사용한다. 이런 아날로그 core는 migration의 대상이 될 수 없다고 생각하기 쉽다. 물론 이런 회로들은 디지털 함수와 timing 특성과 power 특성으로 주어지는 일반 디지털 core처럼 migration할 수는 없다. 디지털 회로와 달리 아날로그 회로는 중요한

역할을 하는 피드백 루프(feedback loop)를 가지고 있다. 그 결과 OP amp의 경우조차 target 증폭률만을 고려해서 각 tr.의 폭과 길이를 정하고 migration을 수행할 수가 없다. 그렇게 얻은 회로 simulation 결과가 비록 정확하더라도 chip으로 제작했을 때 성공한다는 보장이 없기 때문이다. 피드백 루프는 출력 신호의 왜곡을 줄이는 효과도 있지만 회로에 발진(oscillation)을 일으킬 수 있기 때문이다. 이를 방지하려면 각 증폭단의 차단 주파수(cutoff frequency)와 전체 회로에서 피드백 효과등의 철저한 분석과 대책 수립후 UC화가 필요하다. 이를 위하여서는 아날로그 회로와 사용하는 공정에 대한 깊은 소양이 필요하다. 그러나 이것은 migration을 사용한 설계만의 문제가 아니라 아날로그 회로 설계 자체의 문제다. 한 공정에서 동작하는 아날로그 core의 경우 이미 회로와 공정에 대한 기본적 배려를 포함하고 있으므로 전문가가 migration을 추진할 경우 시간을 절약하고 실패 횟수를 줄일 수 있다. 만약에 공정 특성의 변화가 심하여 회로의 기본 구조를 변경해야 한다면 어쩔 수 없이 수작업으로 설계할 수 밖에 없다.

Market 선점을 위하여 생산 fab을 다원화할 필요가 있는 경우가 있다. 이 경우 같은 세대의 공정이더라도 fab마다 설계 규칙과 spice parameter에 다소 차이가 있다. 이런 경우 신속한 생산을 위하여 표준 셀을 가지고 placement & routing으로 설계한 제품이라도 migration을 수행하고 임계 경로를 수정하는 방식으로 다른 fab에서의 생산이 가능하다. 이 경우 표준 셀을 재생산하는 시간과 placement & routing을 재수행하는 시간을 절약할 수 있다. 이 방식은 같은 세대라도 설계 규칙과 spice parameter에 현격한 차이가 있으면 권할 만하지는 않다.

## IV. 결 론

반도체 기술이 급속히 발전하고 있으며 새로운 세대의 공정이 개발되는 시간이 점점 단축되고 있



다. Time-to-market을 위하여 새로운 공정에서 신속한 설계가 필요하게 되었다. 기존의 설계를 새로운 공정의 설계 규칙에 따라 변환하는 툴인 migration 툴은 이런 필요에서 개발되었다. 그 결과 여러 종류의 migration 툴이 개발되었다. Migration의 응용 영역은 매우 광범위하다. ITT에서는 full custom IC에 까지 적용한 사례<sup>[6]</sup>를 발표하였다. Fab 없는 설계 전용 회사에서도 migration 툴은 매우 유용하다. 설계 전용 회사의 경우 설계 규칙에 호환성이 없으면 생산을 맡길 수 없어서 공급자 선택이 크게 제약을 받게 된다. Migration 툴을 사용한다면 같은 세대의 공정의 회사간 차이를 쉽게 극복할 수 있어서 공급자 선택에 매우 유리하다.

Migration 툴은 크게 두가지로 구분된다. Layout을 생성시키는 유형 A와 기존의 layout에 대하여 적용 공정을 바꾸는 유형 B이다. 처음부터 새로 시작하는 회사의 경우는 유형 A가 적합할 것이다. 그러나 이미 많은 제품을 갖고 있고 그들을 새로 개발되는 공정으로 전환하는 회사는 유형 B가 적합하다. 현대의 경우 이미 많은 종류의 제품을 갖고 있으며 기술 세대와 동작 전압등에 따라 다양한 종류의 공정을 보유하고 있으므로 유형 B의 migration 툴을 도입하였으며 이미 표준 셀 개발에 응용하였다. 공정 fab이 변경되는 과정에 설계 규칙에 다소 차이가 있었으나 migration 툴의 rule file을 수정하여 신속히 대처할 수 있었다. Migration은 단지 설계 규칙만을 조정해 줄 뿐이므로 결과를 해석하고 migration 조건을 수정하여 성공적인 결과를 얻을 수 있는 flow가 필요하다. 현재 I/O cell과 Full custom core의 migration flow 설정하고 있다. 이 flow를 완성하면 time-to-market과 설계 인력 절감에 크게 기여할 것이다.

신속한 샘플을 얻기 위하여 여러 fab에서 공정을 수행할 필요가 있는 경우에는 비록 placement & routing으로 설계한 chip이라도 migration은 유력한 수단이 될 것이다. 아울러 공정 개발 과정에 설계의 layout을 사용하여 공정 규칙을 검토하는 데 활용할 예정이다. 그 경우 신속히 개발하면서도 효율성을 향상하는 데 도움이 될 것이다.

#### 참 고 문 헌

- [1] Jonah McLeod, "the state of the art in IC layout migration," Integrated System Design, June 1995.
- [2] BarBara Tuck, "ools automate retargeting of physical libraries, chip layouts," Computer Design, April 1996.
- [3] Ron Wilson, "DA software—Companion tool aids in library generation," EE Times, June 23 1997.
- [4] Ron Wilson, "Questions gnaw at core of design reuse," EE Times, June 23 1997.
- [5] John Mahoney, "PGAs shrink with physical design reuse," Integrated System Design, April 1997.
- [6] "World's first 'DREAM' migration by ITT intermetall creates single chip tv design," Sagantec Web.
- [7] "GrafEdit & process entry," Cascade Design Automation.
- [8] "LACE: User's manual," Rubicon.
- [9] "DREAM: User manual," Sagantec.

저 자 소 개



權 容 世

1959年 8月 14日生

1983年 2月 한국항공대학 전자공학과 졸업(학사)

1986年 2月 한국과학기술원 전기 및 전자공학과 졸업(석사)

1986年~1989年 국방부 사무관

1995年 2月 포항공과대학교 전자전기공학과 졸업(박사)

1995年~현재 현대전자 시스템 IC 사업본부 책임 연구원

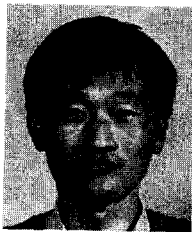


金 榮 星

1969年 10月 28日生

1996年 2月 중앙대학교 전자공학과 졸업

1996年~현재 현대전자 시스템 IC사업본부 연구원



朴 成 洙

1964年 7月 16日生

1990年 2月 성균관대학교 전기공학과 졸업

1990年~1993年 현대전자 반도체연구소 연구원

1994年~현재 현대전자 시스템IC 사업본부 주임 연구원

## ETRI CAD 기술

박 인 화  
한국전자통신연구원

### I. 서 론

최근 노트북 컴퓨터, 이동전화, 복합 가전기기, 스마트 단말기 등 복합 다기능 제품의 급속한 보급으로 PC, 통신, 멀티미디어 등의 전자시스템 분야 ASIC 수요가 급격히 증가하고 있다. ASIC은 다기능, 고성능, 고신뢰성, 저가격화, 소형화, 저전력화 등을 통해 전자시스템 제품의 경쟁력 제고에 결정적인 역할을 하는 핵심 부품이다. 이러한 시스템 분야의 요구와 반도체 기술의 발전에 힘입어 ASIC의 크기는 급격히 커지고 있고 조만간 PCB 나 칩셋 형태의 시스템 전체가 하나의 ASIC 회로에 집적되는 단일칩 시스템 ASIC (system-on-a-chip)이 보편화될 것이다.<sup>[1]</sup>

미래의 설계기술을 지원하기 위한 CAD 기술의 중요한 발전 방향을 요약하면 다음과 같다.<sup>[2]</sup> 첫째는 상위수준에서 시스템의 행위적 동작이나 알고리즘을 기술하고 검증할 수 있는 CAD 기술이다. 현재는 VHDL이나 Verilog HDL과 같은 언어가 보편화되고 있으나 SDL, ESTEREL, Extended FSM과 같은 시스템 언어를 이용한 설계 및 검증을 실현해야 한다. 둘째는 합성 CAD 기술에 기초하여 하드웨어는 물론 소프트웨어까지도 자동으로 설계할 수 있는 CAD 기술이다. 레지스터 전송 수준의 논리회로 합성 기술은 이미 보편화되고 있으나 동기식 디지털 논리회로만을 대상으로 하고 있다. 미래의 합성 기술은 디지털 회로 뿐만 아니라 소프트웨어 코드, 아날로그 회로를 포함하여 MEMS로 대표되는 기계적 설계까지 통합된 CAD 설계 기술을 요구한다. 셋째는 CAD 툴에 의해 가상적으로 설계된 회로를 자동 변환하여 하드웨어 장치에 빠르게 구현하고 검증하는 CAD 기술이다. 넷째는 IP (Intellectual Property)화 된 매크로 셀들의 재활용 기술이다. ECAD 시장에서 현재는 적은 비율을 차지하지만 가장 빠르게 성장하고 있는 분야이며 합성 및 검증 CAD 기술과 연계된 IP 활용 기술이 매우 중요한 시점에 와 있다.

본 고에서는 ETRI가 지금까지 개발하여 외부에 공개하고 있는 CAD 시스템인 LODECAP (Logic

DEsign CAPture)에 구축된 CAD 기술에 대하여 정리하여 설명한다.

## II. ETRI의 CAD 기술 개발

ETRI는 1980년대 초부터 CAD 기술에 관한 연구를 꾸준히 진행하고 있다. 연구개발에 성공한 첫 번째 사례로 1987년 개발 완료하여 국내 대학 등에 공급한 EDAS-P(Electronic Design Automation System—Personal)라 명명된 논리회로 설계용 CAD 시스템이다.<sup>[3-5]</sup> EDAS-P는 당시 일반에게 보급되기 시작한 IBM PC를 이용하여 개발하였다. EDAS-P는 계층적 논리회로를 회로 편집기로 설계하고 외부의 입력신호를 정의해 논리 시뮬레이션을 수행하고 검증 결과 파형을 검증할 수 있는 기능을 제공하였다. 당시 표준 그래픽 라이브러리도 존재하지 않았기 때문에 IBM PC가 제공하는 아주 기초적인 그래픽 함수들을 이용하여 2차원 그래픽 편집 기술을 개발하였고 이를 이용하여 심불편집기, 회로도편집기, 파형편집기 등을 개발하였다. 이때 축적된 CAD 기술은 ETRI 자동설계연구실에 축적되어 이후의 다양한 CAD 툴들을 개발하는 초석이 되었음은 의심의 여지가 없다.

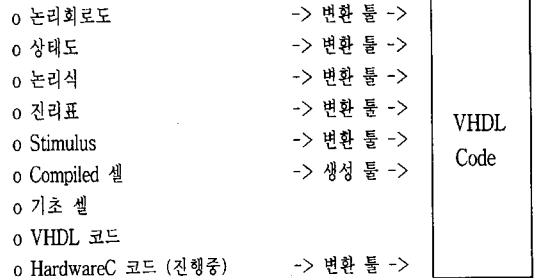
자동설계연구실은 지금까지 개발된 툴들과 정통부 국책과제로 개발된 툴들을 1993년부터 일관된 하나의 CAD 시스템으로 구축하기 시작하여 지금은 120여개의 프로그램이 집적되었으며 다양한 설계방식을 지원할 수 있는 CAD 시스템으로 발전되었다. LODECAP의 특징들을 요약하여 설명하면 다음과 같다.

### 1. CAD 툴 개발을 위한 개발 환경의 표준화

설계자가 ASIC 설계에 사용하는 다양한 설계정보들을 통합하여 검증하기 위해서 설계정보의 표현형식이 통일되어야 한다. LODECAP은 VHDL 언어를 설계의 표준 언어로 선택하여 모든 설계정보를 VHDL로 변환하고 생성하도록 구현되어 있

다 (그림1). 그러므로 설계자는 설계 초기에 선택한 상위수준의 설계정보로부터 논리회로도도의 최종 설계정보까지 혼용하여 VHDL 시뮬레이터로 검증할 수 있다. 그림1의 HardwareC 언어는 LODECAP에 구축중인 micro-controller 전용 상위수준합성기의 입력언어이다. HardwareC 코드로부터 VHDL의 생성은 현재 연구가 진행 중에 있다.

LODECAP에는 회로도편집기, 파형분석기 등 9가지의 그래픽 툴들을 갖고 있다. 이들은 Xlib/Motif에 기초한 그래픽 개발 환경인 XEGAL(Xlib/Motif Based Graphic Library)을 이용하여 개발되었다<sup>[6]</sup>. XEGAL은 그래픽 툴에 공통으로 요구되는 GUI 화면, 도형 그리기, 좌표변환, 이벤트 처리 등을 담당하는 함수들을 객체지향적 개념으로 구현한 그래픽 라이브러리이다. XEGAL을 이용할 경우 프로그래머가 작성할 프로그램의 양이 반으로 줄게되므로 툴 개발 시간 및 비용이 획기적으로 절약된다.



(그림 1) VHDL로 통일된 LODECAP 환경

그래픽 툴로 작업된 그림들은 postScript 표준 언어로 정보를 표현하여 플롯을 한다. 그래픽 툴은 postScript보다 추상화된 도형과 좌표를 사용하므로 플롯에 요구되는 사양에 따라 도형 정보를 변환해야 한다. 이 번거로움을 해결하기 위해 추상화된 도형정보를 표현하는 중간형식을 도입하고 이 정보로부터 postScript 정보를 생성하는 툴을 하나만 개발함으로써 플롯을 담당하는 툴 하나의 GUI를 통하여 통일된 형식의 플롯을 얻을 수 있게 되었다.

〈표 1〉 LODECAP에 구축된 ASIC 설계용 기초 셀 라이브러리

회 사	종 류	공정 (um)	전압 (V)	이 름	셀 종류
VTI	GA	1.0	5	pvgt350	Primitive cell
		1.0	5	vgc3p02d	Pad cell
VTI	GA	0.8	5	pvgc450	Primitive cell
		0.8	5	vgc4p02d	Pad cell
VTI	CBIC	0.8	5	pvsc450	High Performance Primitive cell
		0.8	5	pvsc470	High Density Primitive cell
		0.8	5	vsc4p02d	Pad cell
VTI	CBIC	0.6	5	cb60hp231d	High Performance Primitive cell
		0.6	5	cb60hd231d	High Density Primitive cell
		0.6	5	cb60io221d	Pad cell
VTI	CBIC	0.6	3.3	cb60hp131d	High Performance Primitive cell
		0.6	3.3	cb60hd131d	High Density Primitive cell
		0.6	3.3	cb60io121d	Pad cell (3.3V core & pad)
		0.6	3.3	cb60io151d	Pad cell (3.3V core & 5V pad)
Aspec	GA	0.65	5	hsg40065	Primitive cell
		0.65	5	hsg40065pad	Pad cell
VTI	CBIC	0.5	3.3	cb52sy140d	Primitive cell
		0.5	3.3	cb52io150d	Pad cell

## 2. 셀 라이브러리

LODECAP은 SOG (Sea Of Gate)와 CBIC (Cell Based IC) 설계에 기본단위인 기초 셀들을 지원한다. 각 셀들은 심볼, 타이밍 정보, VHDL 모델 등의 정보로 이루어져 있으며, 라이브러리마다 논리합성을 위한 조합논리 셀들의 논리정보, FSM 합성에 필요한 flip-flop 정보, FPGA로의 자동변환을 위한 맵핑 테이블 등이 정의되어 있다. ASIC 기초 셀 라이브러리는 표 1과 같이 ETRI 반도체 연구단이 사용하는 VTI사의 셀 라이브러리로 CMOS 1.0-0.6um까지 구축되어 있다. 현재 VTI의 CMOS 0.5um CBIC 라이브러리와 현대의 CMOS 0.65um SOG 라이브러리가 구축 중에 있다.

LODECAP에 구축된 기초 셀 라이브러리로는 두 가지 종류가 더 있다. 하나는 FPGA의 라이브러리로서 ASIC 셀들로 설계된 회로를 FPGA 회로로 자동 변환한 후 회로 검증에 사용되는 라이브

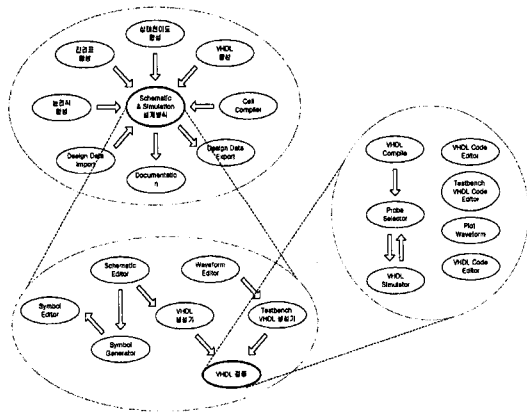
러리이다. Xilinx FPGA는 xact3000과 xact4000, Altera FPGA는 flex7000과 flex8000 라이브러리가 구축되어 있다. 다른 하나는 VHDL 합성시 데이터와 제어신호의 흐름을 표현하기 위해 생성되는 generic 구조에 사용되는 셀 라이브러리이다. 이 라이브러리에는 VHDL 코드에서 사용 가능한 연산, 즉 논리연산, 산술연산 및 비교연산의 논리를 구현한 셀 1000여종으로 이루어져 있다.

## 3. 그래픽 툴에 의한 설계흐름관리

설계자는 설계흐름에 따라 일정한 순서로 툴을 호출하여야 하며 입출력 설계정보를 올바르게 제공하여야 한다. 각 설계방식에 따라 툴을 호출하는 순서를 제어하고 툴간의 입출력 정보를 관리하는 그래픽 툴이 설계정보 관리기이다<sup>[7]</sup>. 이 툴을 이용하면 설계자 각자에게 특화된 설계방식을 구축할 수도 있으며, 여러 회사의 CAD 툴들을 서로

접속하여 설계흐름을 구축하고 통일된 GUI로 호출할 수도 있다. 또한 구축된 설계흐름은 하나의 설계기술로서 문서화된다.

설계흐름은 계층구조를 갖는 directed graph로 모델링되며 계층구조를 가질 수 있다. 노드는 설계작업을 의미하고, 가지는 설계작업이 수행되는 순서와 설계정보의 연결을 의미한다. 그래프와 노드는 그래픽 툴에서 메뉴판과 버튼에 대응되며 가지는 접속되는 설계정보를 정의하며 전역 및 국부 변수들에 의해 제어된다. 그림2는 “Schematic & Simulation 설계방식”을 선택하고 “VHDL 검증”을 선택하여 VHDL 시뮬레이션을 실시할 경우의



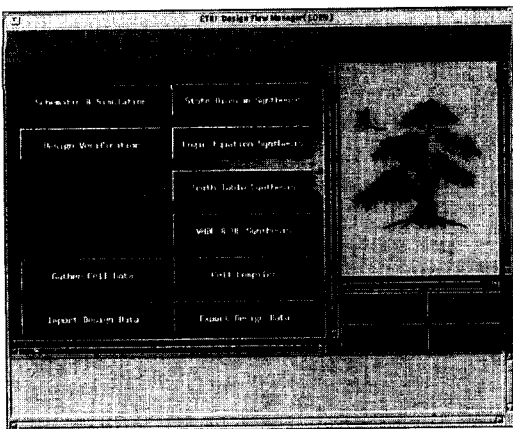
〈그림 2〉 계층구조의 설계흐름그래프

설계흐름그래프의 계층구조를 나타내고 있다. LODECAP의 설계흐름 관리기 화면이 그림3에 나타나 있다. 이 화면은 최상위 수준의 메뉴판을 나타내며 각 버튼들은 LODECAP이 지원하는 각종 설계방식을 나타내고 있다.

### 3. 자동설계를 위한 합성기능

합성기술이란 상위수준에서 하위수준으로 설계정보를 변환하는 기술로서 자동설계의 핵심 CAD 기술이다. 합성기술은 최초의 설계정보 종류에 따라 표2와 같이 분류될 수 있다. 논리합성이 가장 기본이 되는 기술로서 다른 합성에 공통적으로 사용이 된다. 그림4를 보면 “BLIF Logic”이라 표시된 조합논리 설계정보로부터 netlist를 생성하는 부분에 해당한다. FSM 합성을 논리합성과 함께 상태를 최소화하여 이진코드를 할당하는 기술이 더 필요하다. VHDL 합성은 논리합성과 함께 VHDL parsing, generic 구조 생성 및 technology migration 기술이 구축되어야 하며 별도의 generic 셀 라이브러리가 필요하다. 상위수준합성은 논리합성, FSM 합성과 함께 HardwareC parsing, scheduling 및 resource allocation 기술이 개발되어야 하며 별도의 RT 수준 셀 라이브러리가 필요하다.

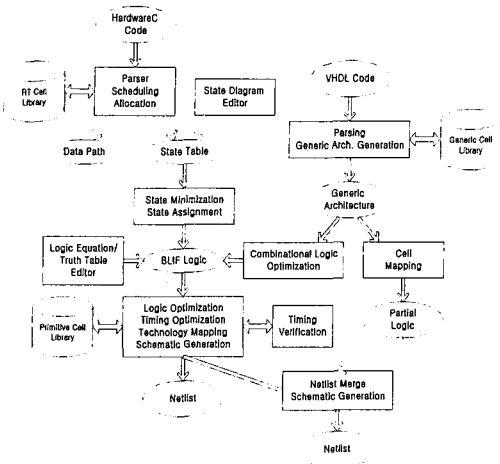
합성기술에 의해 자동 설계된 회로는 설계자의 제약조건을 만족해야만 한다. 그러므로 합성 CAD 툴은 면적, 성능, 소비전력 등의 제약조건을 최소화 할 수 있는 능력과 더불어 설계자가 요구하는 제약조건을 만족하는 다양한 회로를 생성할 수 있는 능력에 의해 평가된다. 특히 최근에는 게이트와 배선에 의한 딜레이를 예측하여 딜레이를 최소화 시키는 기술의 중요성이 가중되고 있다. 이를 위해서는 딜레이를 정확히 예측할 수 있는 timing verification 알고리즘과 임계경로의 딜레이를 최소화 할 수 있는 논리합성 알고리즘의 개발이 필수적이다. LODECAP이 서로 다른 구조의 논리회로를 생성한 후 이들의 면적과 딜레이를 측정된 결과가 그림5a에 나타나 있다. 면적은 254-407 등가 게이트 수만큼의 가변되고 딜레이는 4.27-9.22 ns 만큼 가변되었다. 그림5b는 임계경로 최소화 툴



〈그림 3〉 LODECAP 설계흐름관리기의 최상위 메뉴판

〈표 2〉 LODECAP의 자동설계를 지원하는 합성 기술

합성 기술	입력 정보	셀	시간	출력 정보
논리합성	논리식, 진리표	기초 셀	딜레이	조합회로
FSM 합성	상태전이도	기초 셀	딜레이	순서회로
VHDL 합성	VHDL Code	기초 셀	딜레이	조합/순서회로
상위수준합성	HardwareC Code	RTL 셀	클럭	특정 구조

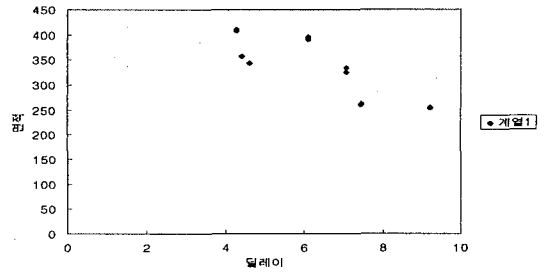


〈그림 4〉 LODECAP에 구축된 모든 합성의 설계 흐름도

에 의해 딜레이를 최소화시키는 과정을 나타낸다. 400여회를 반복하며 임계경로를 찾아 딜레이의 감소시키면 면적의 점진적인 증가를 유발시킴을 알 수 있다.

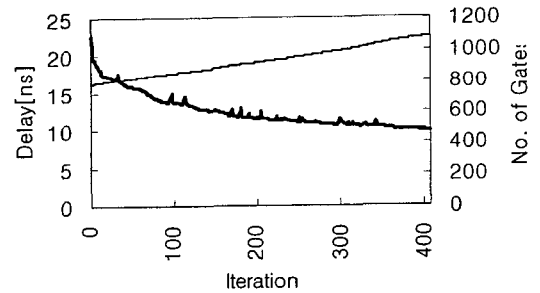
#### 4. Technology Migration에 의한 회로 자동변환

설계가 완료된 회로를 다른 공정에서 제조해야 하는 경우, FPGA나 하드웨어 에뮬레이터로 하드웨어적인 검증은 설계 현장에서 하는 경우 회로를 변환해야 한다. 회로변환에는 portable 라이브러리 방식, 매핑 테이블 방식과 논리합성 방식이 있다. Portable 라이브러리 방식은 회로변환이 필요 없지만 동일 회사제품만이어야 하는 제약조건이 있다. 매핑 테이블 방식은 변환속도가 빠르나 잉여의 회로가 삽입되어 변환된 회로의 성능이 떨어진다. 논리합성 방식은 면적과 성능을 조율할 기회를 제공



(a)

실험 회로: misex3



(b)

〈그림 5〉 LODECAP 합성기의 설계공간 탐색

하나 변환 속도가 느리다. LODECAP은 매핑 테이블 방식과 논리합성 방식을 혼용해 변환속도를 늘리면서 성능을 최적화 할 수 있는 기회가 제공된 technology migration 기능을 구축하였다. 논리합성에 의해 자동 변환시 성능을 최적화할 첫 번째 기회가 틀에 의해 제공된다. LODECAP에서 변환된 회로는 설계자가 정의한 계층구조가 그대로 유지되므로 용이하게 최적화 작업을 수동으로 진행할 수 있다.

5. LODECAP 활성화를 위한 정책

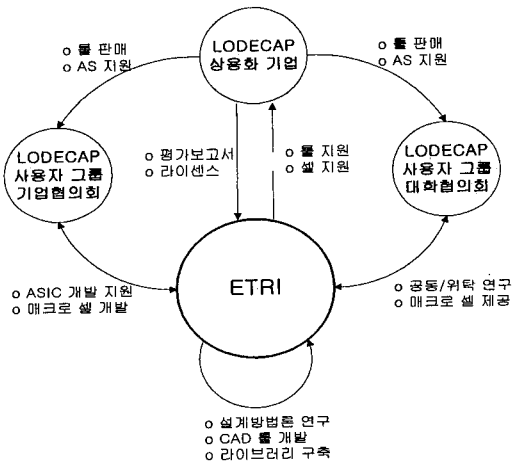
LODECAP은 1995년 6월 29일 “S/W 기술공급을 위한 LODECAP 기술설명회”가 개최된 이래 꾸준히 개선 발전되어왔다. 정통부 출연 CAD 사업에서 개발되는 기술들은 LODECAP을 중심으로 계속 축적되고 있다. 현재 정통부 출연 “중소기업 경쟁력 강화를 위한 ASIC 개발” 사업에서 중소기업들을 대상으로 한 ASIC 교육 및 설계에 LODECAP이 활용되고 있다.

LODECAP을 국내 대학 및 산업체에 활용되도록 하기 위하여 그림6과 같은 “LODECAP 사용자

그룹”을 운영하고 있다. 현재 29개 대학이 가입하여 있는 대학협의회는 폐쇄자 연구그룹으로 운영되고 있다. 학과과정에서 디지털 설계, VHDL 합성 설계 등의 실습용 CAD 시스템으로 LODECAP을 활용하는 대학이 늘어가고 있다. 또한 ETRI와 공동으로 CAD 연구를 수행하여 새로운 CAD 툴이나 셀들이 개발되어 LODECAP에 집적되고 있다.

기업협의회는 현재 29개의 중소기업으로 이루어져 있는데 ASIC 설계 교육 및 개발에 활용되고 있다. 중소기업협의회에 가입한 업체는 LODECAP을 1년 동안 무상입대 받아 활용하면서 설계현장에서 발생하는 문제점들을 보고하고 있다. 중소기업이 현재까지 LODECAP으로 설계된 ASIC이 개발 성공한 사례는 표 3과 같으며 현재도 LODECAP을 이용하여 ASIC 개발이 이루어지고 있다.

LODECAP 사용자들에게 배포 및 지원 서비스를 전담하는 기업체를 선정하여 용역을 진행하고 있다. 또한 LODECAP 사용자와 개발자가 양방향으로 질의하고 응답할 수 있는 가상공간 그림7을 internet상에 구축하고 있다. 이 곳을 통하여 질의된 내용은 24시간 내에 개발자의 응답을 들을 수 있으며 현재 성능향상을 위해 진행되고있는 현황에 대해서도 실시간으로 파악할 수 있다. 또한 LODECAP의 안정화된 기능에 대해서는 상용화를 목표로 정통부에 산학연 과제를 제안하고 있다.

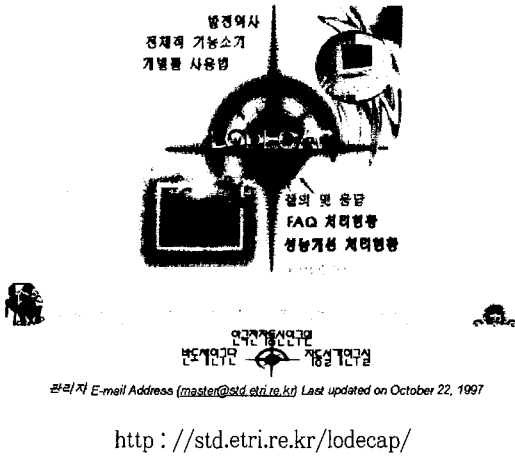


<그림 6> LODECAP 활성화를 위한 발전 모델

<표 3> LODECAP을 이용한 ASIC 개발 성공사례

연 도	회사명	ASIC 기능	동작속도 (MHz)	게이트수	패키지
1996	S사	사운드 콘트롤러	16	6K	QFP80
1996	G사	자막화상제어	27	13K	PLCC84
1996	J사	FM Signal Generator	30	11K	QFP160
1996	J사	AM Signal Generator	30	11K	QFP144
1997	C사	Frequency Counter의 Register Counter	20	3K	QFP80
1997	D사	변인시스템에서 데이터 비교	50	1K	SDIP64
1997	DH사	데이터다중화 PCM 데이터 송수신	15	2K	PLCC84





〈그림 7〉 LODECAP의 Home Page 화면

### III. 결 론

### 참 고 문 헌

ETRI 자동설계연구실은 ASIC front-end 설계를 위한 한국형 CAD 시스템, LODECAP을 개발하여 국내 대학 및 중소기업에서 ASIC 교육 및 설계에 활용하고 있다. LODECAP에는 다음과 같은 CAD 기술이 축적되어 있다.

- Xlib/Motif를 이용한 그래픽 툴 개발 기술
- 논리합성, FSM 합성, VHDL 합성 및 상위수준합성 기술에 의한 설계 자동화 CAD 기술
- 회로도편집기를 이용한 수동설계 및 회로 검증 기술
- 모든 설계 데이터를 VHDL 프로그램으로 자동 변환 기술
- ASIC과 FPGA 회로간의 자동 회로 변환 기술
- 매크로 셀 재활용을 위한 설계 데이터 관리 기술
- 설계흐름관리 그래픽 툴에 의한 CAD 툴 integration 기술

현재 한국과학기술원 반도체설계교육센터 (IDEC)을 통하여 LODECAP으로 설계된 회로를

MPW(multi-project wafer) 프로그램으로 ASIC을 제작 지원하는 프로그램을 추진되고 있다. 또한 동남아 국가와의 국제 협력에 의한 LODECAP 해외 진출도 가시적인 수준까지 협의가 진행되고 있다.

1997연말까지 micro-controller를 목표로 한 상위수준합성 기능의 구축을 위한 연구가 진행 중에 있다. 본 연구에 이어 1998년부터는 프로세서 내장형 ASIC의 혼합설계를 위한 연구가 계획되고 있어 하드웨어와 소프트웨어가 혼용된 시스템 ASIC의 설계를 자동화 할 수 있는 CAD 기술의 개발이 이루어질 것이다. 이 연구에는 ETRI뿐만 아니라 국내 대학의 CAD 전문가와 공동연구의 형태로 긴밀한 협조체제로 연구를 진행할 계획이다.

- [1] "Worldwide Semiconductor Forecast and Trends", Dataquest, SCND-WW-MT-9702, October 20 1997.
- [2] Raul Camposano, Wayne Wolf, 'Design Automation for Embedded Systems', Kluwer Academic Publisher, 1996.
- [3] 박인학, 이철동, 유영욱, "전자회로 설계를 위한 개인용 CAE 시스템", CAD.반도체.재료 및 부품연구회 합동학술대회 논문집, pp. 11-14, 1985년 5월
- [4] 박인학, 이철동, 유영욱, "EDAS-P 시스템에서 Graphic Tool의 Man-machine Interface", 대한전자공학회 추계종합학술대회 논문집 Vol. 9 No. 2, pp.927-930, 1986년 12월
- [5] Y. H. Bae, I Kang, W. H. Kim, I. H. Park, C. D. Lee, 'Engineering Designer in EDAS', ICVC'89, pp.154-157, Nov. 1989.
- [6] 배영환, 박인학, 김경수, "XEGAL: CAD 그래픽 편집기 개발도구," '95 하계종합학술대

회, 대한전자공학회, 1995년 6월  
 [7] 김상필, 배영환, 박영수, 박인학, “네트워크  
 를 기반으로 한 CAD 툴 관리기 개발”,

ASIC Design Workshop, 대한전자공학회  
 CAD 및 VLSI 설계연구회, pp. 97-104,  
 1996년 7월

## 저 자 소 개



朴 仁 學

1958年 3月 6日生

1980年 2月 고려대학교 전자공학과 학사

1983年 9月 고려대학원 전자공학과 석사

1992年 9月 국립폴리테크닉연구소(INPG), 전자공학 박사

1982年 3月~1985年 11月 한국전자기술연구소, 연구원

1985年 11月~현재 한국전자통신연구소 (ETRI), 연구원

1988年 4月~1992年 9月 프랑스 INPG 정규교육파견

1992年 9月~현재 한국전자통신연구원 (ETRI), 실장

주관심분야: VLSI CAD, 상위수준합성, 그래픽스